circuite integrate
CMOS

Manual de utilizare

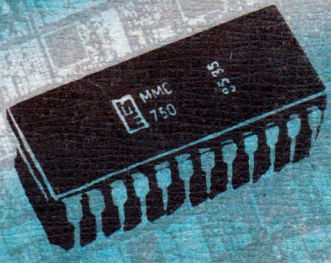
AUTOMATICĂ

ELECTRONICĂ

SERIA PRACTICA

INFORMATICA

MANAGEMENT



AUTOMATICA
INFORMATICA
ELECTRONICA
SERIA PRACTICĂ
MANAGEMENT

BIBLIOTECA DE AUTOMATICĂ, INFORMATICĂ, ELECTRONICĂ, MANAGEMENT

SERIA PRACTICĂ

- Automatică
- Informatică
- Electronică
- Management

M. K. Starr. **Conducerea producției. Sisteme de execuție**
V. Crăciunoiu ș.a. **Elemente de execuție**
A. Vlădescu ș.a. **Radioreceptoare**
M. Mayer. **Tiristoare în practică. Mutatoare cu comutație forțată**
G. Mölttgen **Tiristoare în practică. Mutatoare cu comutație de la rețea**
L. Zamfirescu, I. Oprescu. **Automatizarea cuptoarelor industriale**
I. Papadache. **Automatică aplicată, ediția I-a și a II-a**
Șt. Alexandru. **Automatizarea proceselor tehnologice în industria lemnului**
V. H. Lisicikin. **Prognoza tehnico-științifică în ramurile industriei**
G. Raymond. **Tehnica televiziunii în culori**
J. J. Samuelly, J. Pignaret, A. Sarazin. **Instrumentația electronică în fizica nucleară**
T. Homoș. **Capacitate de producție în construcții de mașini**
S. Radu, D. Filoti. **Centrale telefonice automate. Sisteme de comutație**
D. N. Sapiro. **Proiectarea radioreceptoarelor**
V. Antonescu, M. Popovici. **Ghid pentru controlul statistic al calității producției**
N. Stanciu ș.a. **Tehnica imaginii în cinematografie și televiziune**
P. Vezeanu, Șt. Pătrașcu. **Măsurarea temperaturii în tehnică**
T. Penescu, V. Petrescu. **Măsurarea presiunii în tehnică**
P. Popescu, P. Mihordea. **Măsurarea debitului în tehnică**
P. Vezeanu. **Măsurarea nivelului în tehnică**
C. Hidoș, P. Isac **(coordonatori). Studiul muncii, vol. I—VIII**
V. Baltac ș. a. **Calculatorul FELIX C-256, Structură și programare**
R. L. Morris. **Proiectarea cu circuite integrate TTL**
Iskikawa Kaoru. **Controlul de calitate pentru maiștri**
A. M. Buhliarov ș.a. **Culegere de probleme de programare**
P. Constantinescu. **Sisteme informatice, modele ale conducerii și sistemelor conduse**
E. S. Buffa. **Conducerea modernă a producției, vol. I și II**
A. Vătășescu ș.a. **Dispozitive semiconductoare. Manual de utilizare**
A. Nadolo. **Măsurarea volumului și calității lichidelor în industrie**
Gh. Jones **Design. Metode și aplicații**
Gh. Pisău ș.a. **Elaborarea și introducerea sistemelor informatice**
G. Hidos. **Analiza și proiectarea circuitelor informaționale în unitățile economice**
A. Vătășescu ș.a. **Circuite integrate liniare. Manual de utilizare, vol. 1, 2, 3 și 4**
M. Silisteanu ș.a. **Scheme de televizoare, magnetofoane, picupuri vol. 1 și 2 eda, a II**
D. W. Davies. **Rețele de interconectarea calculatoarelor**
V. Pescaru ș.a. **Fișiere, baze și bănci de date**
Gh. Baștiurea ș.a. **Comanda numerică a mașinilor-unelte**
N. Sprinceană ș.a. **Automatizări discrete în industrie, Culegere de probleme**
M. Florescu. **Cibernetică, automatică, informatică în industria chimică**
S. Călin. **Optimizări în automatizări industriale**
S. Maican. **Sisteme numerice cu circuite integrate**
I. Ristea ș.a. **Manualul muncitorului electronist**
M. Simonescu. **Proiectare unitară a circuitelor electronice**
C. Cluceru. **Tehnica măsurărilor în telecomunicații**
P. Nițulescu. **Electroalimentarea instalațiilor de telecomunicații**
R. Răpeanu ș.a. **Circuite integrate analogice. Catalog**
Șt. Lozneanu ș.a. **Casetofoane, Depanare, Funcționare**
T. Rădulescu ș.a. **Centrale telefonice automate**
N. Iosif ș.a. **Tristoare și module de putere. Catalog**
P. Postelnicu. **Sisteme și linii de transmisiuni telefonice**
M. Silisteanu, ș.a. **Receptoarele TV în culori**
M. Bășoiu ș.a. **Funcționarea și depanarea TV color**
C. Găzdaru, M. Constantinescu. **Îndreptar pentru electroniști vol. 1**
C. Rădoi ș.a. **Circuite și echipamente electronice industriale**

IULIAN ARDELEAN
HORIA GIUROIU
LIVIU-LICĂ PETRESCU

CIRCUITE INTEGRATE CMOS

Manual de utilizare

Coordonarea ciclului „Manuale de utilizare" pentru circuitele produse de Microelectronica : ing. **Gh. Constantinescu**

EDITURA TEHNICĂ
București – 1986

Colegilor noștri care au făcut posibilă realizarea seriei MMC4XXX

Control științific : **ing. Mircea Bodea**
Redactor : **ing. Smaranda Dimitriu**
Tehnoredactor : **Maria Trăsnea**
Coperta : **Mihai Măneseu**

Bun de tipar 3.XI.1986.
Coli de tipar 31,5. C.Z. 621.382

Întreprinderea poligrafică „Oltenia"
Str. Mihai Viteazul, nr. 4
Comanda 197

Cuvînt înainte

Din 1965 se acordă în țara noastră o atenție tot mai mare tehnologiilor electronice de vîrf, progresul înregistrat în domeniul electronicii culminînd cu stadiul cel mai înalt atins prin microelectronică.

Profunde sentimente de stimă și respect nutresc toți oamenii muncii din domeniul componentelor electronice față de secretarul general al partidului, tovarășul Nicolae Ceaușescu, pentru contribuția inestimabilă adusă la făurirea Microelectronicii Românești, pentru grija deosebită pe care o poartă dezvoltării și modernizrăii industriei electronice, sporirii contribuției acestei ramuri la progresul patriei noastre.

În puținii ani de la înființare, Microelectronica a creat premisele realizării de noi mijloace de automatizare și robotizare pentru dezvoltarea și modernizarea bazei tehnico-materiale și economiei în țara noastră.

În lumea utilizatorilor și fabricanților de componente electronice semiconductoare apar frecvent cuvintele : sisteme, tehnologie, circuite MOS, *investiții, litografie, expert, generație, memorii, CAD, test, școală, LED, VLSI, microprocesor...*

Cartea de față — structurată ca manula de utilizare — este un ecou al proceselor ce se petrec la interfața producător-utilizator de circuite MOS.

Apariția sa constituie unul din rezultatele eforturilor conjugate ale Editurii Tehnice și ale întreprinderilor din Platforma Băneasa (cunoscută și sub numele, care se răspîndește tot mai mult, de „Pădurea siliciului") de a pune la îndemîna utilizatorului literatură tehnică specifică domeniului.

În această direcție, manualul de utilizare, scris de cei implicați direct în proiectarea, fabricarea și utilizarea componentelor, constituie, alături de catalogul de produse, sursa de informare de prim ordin.

Prin scrierea acestui manual de utilizare, consacrat circuitelor CMOS din seria 4000 B, circuite care s-au impus ca standard industrial, întreprinderea Microelectronica își afirmă atît dorința de a purta un dialog cu utilizatorii circuitelor pe care le produce, cît și respectul față de munca lor, fiind una din întreprinderile care oferă, astfel, un suport științific și tehnic sub forma unor materiale tipărite. Totodată — și acest fapt este deosebit de important — apariția acestui manual de utilizare certifică succesul asimilării în România a tehnologiei CMOS.

Manualul de față este organizat în trei mari părți.

Prima parte este consacrată prezentării caracteristicilor circuitelor din familia CMOS 4000 B, urmărindu-se informarea utilizatorului asupra aspectelor esențiale pentru proiectarea cu circuite CMOS. Prezentarea particularităților acestor circuite — generatoare de avantaje esențiale și dezavantaje minore din

punctul de vedere al utilizărilor curente — conduce la concluzia că circuitele CMOS 4000 B s-au impus ca o familie dominantă pentru familiile de circuite logice.

A doua parte oferă, sub forma unui catalog condensat, *informațiile esențiale pentru activitatea curentă, cu creionul sau cu ciocanul de lipit în mînă.*

Partea a treia constituie o trecere în revistă a aplicațiilor pe care le putem genera cu circuitele CMOS din seria 4000 B. Desigur că această trecere în revistă nu este și nu poate fi exhaustivă.

Selecția aplicațiilor prezentate este făcută cu mult discernămînt, astfel că utilizatorul nu rămîne sufocat de o avalanșă de idei și tehnici de circuit, ci poate dezvolta fie sugestiile cuprinse în aplicațiile prezentate, fie idei proprii. De altfel, aplicațiile prezentate sînt o colecție de idei de proiectare, care trebuie privite în lumina principiului cea mai bună componentă este aceea pe care o ai.

Apariția acestui manual de utilizare marchează o etapă a dezvoltării industriei românești de componente semiconductoare și oferă temeiul pentru constituirea unei serii de manuale de utilizare Microelectronica, odată cu asimilarea de tehnologii și circuite noi, pe măsura dotării și resurselor umane de o deosebită calitate de care dispune.

București, 15 Octombrie 1986

Ing. **Gh. Constantinescu**
Director I. Microelectronica

CUPRINS

Introducere 13

1. Structuri fundamentale în circuitele digitale CMOS 15

1.1. Tranzistorul MOS 15
1.1.1. Tensiunea de prag a tranzistorului MOS 16
1.1.2. Caracteristicile curent-tensiune ale tranzistorului MOS 18
1.1.3. Dependența de temperatură a caracteristicilor tranzistorului MOS . . . 20
1.2. Ce înseamnă simetrie complementară (CMOS)? 20
1.3. Inversorul CMOS 21
1.3.1. Caracteristica de transfer a inversorului CMOS 22
1.3.2. Caracteristicile de comutare ale inversorului CMOS 25
1.3.3. Puterea disipată de inversor 26
1.3.4. Buffer-e și inversoare *3-state* 29
1.3.5. Inversoare, neinversoare și buffer-e în seria 4000 29
1.4. Convenții și simboluri logice 30
1.5. Porți logice CMOS 32
1.5.1. Porți logice SAU-NU (NOR) 32
1.5.2. Porți logice ȘI-NU (NAND) 33
1.5.3. Porți logice fundamentale fabricate în seria CMOS 4000 34
1.5.4. Porți de transmisie 34
1.6. Funcții logice secvențiale 36
1.6.1. Circuit bistabil tip *RS* 36
1.6.2. Circuit bistabil *master-slave* tip *D* 37
1.6.3. Circuit bistabil *master-slave* tip *JK* 39
1.7. Registre de deplasare 40
1.7.1. Celule folosite în registre de deplasare statice 40
1.7.2. Registre de deplasare statice 42
1.8. Numărătoare 43
1.8.1. Celule de bază folosite în construcția numărătoarelor 44
1.8.2. Realizarea numărătoarelor din seria CMOS 4000 45
Bibliografie 48

2. Proiectarea cu circuite integrate CMOS 4000 49

2.1. Introducere 49
2.2. Caracteristici generale ale circuitelor CMOS seria 4000 49
2.2.1. Performanțele seriei CMOS *MMC 4XXX* 49
2.2.2. Codificarea circuitelor 52
2.2.3. Valori limită absolută și condiții de funcționare recomandate 53
2.2.4. Caracteristici electrice statice 57
2.2.5. Definirea parametrilor dinamici 59
2.3. Familia CMOS 4000 60
2.3.1. Interconectarea circuitelor 60
2.3.2. Alimentarea circuitelor 81
2.3.3. Temporizare 84
2.3.4. Zgomote 85

2.4. Interfațarea circuitelor CMOS 95
2.4.1. Interfața CMOS - TTL 95
2.4.2. Interfața CMOS - HTL (HNIL) 97
2.4.3. Interfața CMOS - PMOS 97
2.4.4. Interfața CMOS - NMOS 98
2.4.5. Interfețe CMOS — diapozitive discrete și electromecanice 100
2.4.6. Interfața CMOS — amplificator operațional 103
2.4.7. Interfața CMOS - ECL 104
2.5. Aspecte specifice ale utilizării circuitelor CMOS 105
2.5.1. Rețele de protecție 105
2.5.2. Agățarea. Fenomene de *latch-up* 106
2.5.3. De la utilizatorul de circuite TTL la utilizatorul de circuite CMOS . . 109
2.5.4. Manipularea circuitelor CMOS 112
2.5.5. Scheme de măsurare la utilizator 113
2.6. De reținut pentru utilizare 114
Bibliografie 116

3. Circuite integrate realizate în seria CMOS 4000 (*MMC 4 XXX*) 117

4. Realizarea de circuite logice combinaționale 245

4.1. Implementarea funcțiilor logice de bază 245
4.2. Aplicații ale circuitului MMC 4007 245
4.3. Aplicații cu poarta cu ieșire *open-drain* MMC 40107 250
4.4. Aplicații cu poarta ȘI-SAU (AND-OR) cu selectare MMC 4019 252
Bibliografie 255

5. Aplicații ale porților de transfer. Multiplexoare/Demultiplexoare analogice 256

5.1. Rețea de rezistențe controlată digital 256
5.2. Amplificator cu cîștig controlat digital 257
5.3. Rețea de condensatoare controlată digital 257
5.4. Oscilator de relaxare cu frecvența controlată digital 258
5.5. Circuit *squelch* 258
5.6. Circuit de eșantionare și memorare 259
5.7. Sistem de comunicație cu modularea impulsurilor în amplitudine cu 4 canale multiplexate în timp 259
5.8. *Chopper* pentru osciloscop 261
5.9. Circuit pentru comanda triacelor 262
5.10. Circuit de selectare a sursei de semnal pentru un preamplificator de audiofrecvență 263
5.11. Comutator pentru semnale analogice 264
5.12. Multiplexor/Demultiplexor analogic cu MMC 4007 265
5.13. Generator de curent programabil digital 265
5.14. Logică cu porți de transfer 266
5.15. Amplificator inversor cu cîștigul controlat digital 267
5.16. Amplificator neinversor cu cîștigul controlat digital 267
5.17. Amplificator cu polaritatea controlabilă 267
5.18. Circuit de interpolare liniară 267
Bibliografie 270

6. Aplicații ale decodificatoarelor 271

6.1. Decodificator de 16 căi cu MMC 4028 271
6.2. Decodificator de 64 căi cu MMC 4028 271
6.3. Comanda unui afișaj cu descărcare în gaz 272
6.4. Demultiplexor 1 : 8 272
6.5. Demultiplexor 1 : 4 cu intrare de inhibare 274
6.6. Demultiplexor 1 : 32 cu intrare de inhibare 274
6.7. Semnalizarea existenței unei singure intrări în starea 1 logic 274
6.8. Scăzător complet de 1 bit 274
6.9. Grupe de termeni canonici care pot fi generați cu decodificatorul MMC 4028 276
6.10. Comanda unui afișaj cu cristale lichide cu MMC 4055 277

6.11. Comanda unui afișaj cu cristale lichide cu 6 cifre cu circuitul MMC 4055 . . 277
6.12. Comanda cu MMC 4056 și MMC 4054 a unui afișaj de 3 1/2 cifre 277
6.13. Comanda afișajelor cu MMC 4511 280
6.14. Comanda afișajelor cu MMC 4543 281
6.15. Convertor 7 segmente/zecimal 282
6.16. Schimbarea unui display cu afișare de *H* în display cu afișare de *F* 282
6.17. Convertoare de reprezentare. 283
6.18. Convertor serial din cod Gray în cod binar 285
6.19. Convertor paralel din cod Gray în cod binar 285
6.20. Convertor serial din cod binar în cod Gray 285
6.21. Convertor paralel din cod binar în cod Gray 286
6.22. Generatoare de complement față de 9 286
6.23. Convertor BCD serie/paralel 287
Bibliografie 288

7. Realizarea de circuite aritmetice 289
7.1. Semnalele de transport în sumatoarele binare paralele 289
7.1.1. Transportul succesiv 289
7.1.2. Transportul anticipat 289
7.2. Modalități de reprezentare a numerelor 290
7.3. Adunarea și scăderea numerelor binare 290
7.4. *Overflow* 291
7.5. Sumator complet de 1 bit cu porți 291
7.6. Sumator serial de 1 bit 291
7.7. Sumator/scăzător serial de 1 bit 291
7.8. Sumator pe 3 biți cu MMC 40181 291
7.9. Două sumatoare independente cu MMC 40181 293
7.10. Sumator serial de 3 variabile cu MMC 40181 293
7.11. Generarea *overflow*-ului 293
7.12. Circuitul 40182 295
7.13. Cascadarea circuitelor MMC 40181 cu transport succesiv 295
7.14. Cascadarea cu transport anticipat a circuitelor MMC 40181 298
7.15. Folosirea numerelor reprezentate în complement față de 1 298
7.16. Folosirea numerelor reprezentate în complement față de 2 299
7.17. Eliminarea zeroului fals la sumarea în complement față de 1 301
7.18. Sumator/Scăzător serial pentru numere reprezentate în BCD 301
7.19. Multiplicator binar paralel de 4 × 4 biți 303
7.20. Comparator serial 304
7.21. Comparator serial (compararea începe cu bitul cel mai puțin semnificativ) . 304
7.22. Comparator serial (compararea începe cu bitul cel mai semnificativ) 305
7.23. Alte comparatoare seriale (cu semnalizarea relației de ordine) 305
7.24. Comparator paralel pentru cuvinte de 4 biți cu semnalizarea identității . . 306
7.25. Comparator paralel pentru cuvinte de 4 biți cu semnalizarea diferenței . . . 307
7.26. Comparator paralel pentru cuvinte de 8 biți 307
7.27. Compararea cu MMC 40181 307
Bibliografie 308

8. Aplicații cu monostabile/astabile. Trigger Schmitt. Oscilatoare 309
8.1. Aplicații ale triggerelor Schmitt, monostabilelor și astabilelor construite cu porți 309
8.1.1. Astabil cu 2 inversoare 309
8.1.2. Astabil cu 2 inversoare, cu frecvența semnalului generat insensibilă la variațiile tensiunii de alimentare 310
8.1.3. Astabil comandat 311
8.1.4. Astabil cu controlul factorului de umplere 311
8.1.5. Monostabil cu inversoare 312
8.1.6. Monostabil compensat 313
8.1.7. Variante de circuit pentru monostabile cu porți 314
8.1.8. Monostabil cu consum mic 315
8.1.9. Astabil cu reglarea precisă a limitelor domeniului frecvenței de oscilație 315
8.1.10. Oscilator în inel cu inversoare 316
8.1.11. Oscilator cu trigger Schmitt 317
8.1.12. Oscilator comandat în curent 318

8.1.13. Oscilator comandat în tensiune cu MMC 4007 319
8.1.14. Oscilator comandat în tensiune cu triggerul Schmitt MMC 4093 . . . 319
8.1.15. Modulator de impulsuri în durată comandat în tensiune (cu MMC 4007) 320
8.1.16. Monostabil cu trigger Schmitt 320
8.1.17. Bistabilul MMC 4013 ca monostabil 221
8.1.18. Monostabil/astabil sincronizat 323
8.1.19. Trigger Schmitt cu porți neinversoare MMC 4050 324
8.1.20. Circuit de întîrziere cu trigger Schmitt cu MMC 4050 324
8.1.21. Detector de fronturi cu trigger Schmitt cu MMC 4050 325
8.1.22. Oscilator cu trigger Schmitt cu MMC 4050 325
8.1.23. Monostabil cu porți neinversoare. 326
8.1.24. Circuit de întîrziere cu MMC 4013 327
8.1.25. Semnal dreptunghiular sincron cu rețeaua 328
8.1.26. Comutator cu trigger Schmitt 328
8.1.27. Trigger Schmitt cu poartă de transfer 329
8.1.28. Astabil cu porți de transfer 329
8.1.29. Generator de semnal dreptunghiular 330
8.1.30. Imitator 1 330
8.1.31. Imitator 2 330
8.2. Circuite cu MMC 4047, MMC 4098 332
8.2.1. Circuit pentru verificarea limitelor perioadei unui semnal 332
8.2.2. Oscilator comandat în tensiune cu MMC 4098 332
8.2.3. Multiplicator/divizor analogic 333
8.2.4. Circuit pentru eliminarea tranzițiilor parazite 336
8.2.5. Discriminator de zgomot 336
8.2.6. Convertor frecvență-tensiune 337
8.2.7. Filtru trece-jos 337
8.2.8. Generator de impulsuri 337
8.3. Oscilatoare cu cuarț 339
8.3.1. Cristalul de cuarț 339
8.3.2. Configurația rețelei de reacție 340
8.3.3. Amplificatorul CMOS pentru oscilator 341
8.3.4. Încărcarea capacitivă a cuarțului 342
8.3.5. Scheme practice de oscilatoare de cuarț 342
Bibliografie 345

9. Latch-uri. Latch-uri adresabile 346

9.1. Aplicații ale latch-urilor 346
9.1.1. Circuite pentru eliminarea tranzițiilor parazite 346
9.1.2. Memorarea și multiplexarea datelor de pe 4 busuri de 4 biți 348
9.1.3. Conectarea latch-ului *3-state* MMC 4508 pe un bus de 4 biți 348
9.1.4. Multiplexarea a două busuri cu selectarea funcției 348
9.1.5. Convertor serie paralel de 8 biți cu ieșire *3-state* 349
9.1.6. Adresarea cu decodificator a latch-urilor MMC 4508 conectate pe un bus de 4 biți 350
9.1.7. Registru 1 *Master/7 Slave* 353
9.1.8. Registru de deplasare cu MMC 4508 353
9.1.9. Schemă de multiplexare pentru un afișaj cu 4 cifre cu catod comun 356
9.2. Aplicații ale latch-urilor adresabile 356
9.2.1. Moduri de funcționare și recomandări de folosire pentru circuitele MMC 4099, MMC 4599 356
9.2.2. Latch adresabil cu *RESET* prioritar 357
9.2.3. Demultiplexor cu memorare 358
9.2.4. Latch adresabil cu *RESET* adresabil 358
9.2.5. Latch adresabil extins 358
9.2.6. Demultiplexor 1 : 8 activ în starea SUS 359
9.2.7. Decodificator 1 : 16 360
9.2.8. Demultiplexor 1 : 16 360
9.2.9. Matrice de comutare 4×4 361
9.2.10. Circuit cu latch adresabil pentru comandarea unor elemente de execuție 361
Bibliografie 363

10. Aplicații ale registrelor 364

10.1. Numărătoare cu registre de deplasare 364
10.1.1. Numărătoare în inel 364
10.1.2. „Numărătoare" Johnson 366
10.2. Generatoare liniare de secvențe (cu registre de deplasare) 370
10.2.1. Generatoare de numere pseudoaleatoare 370
10.2.2. Numărătoare generatoare liniare cu registre de deplasare. 372
10.2.3. Generator de zgomot alb cu generator de numere pseudoaleatoare . 375
10.2.4. Simulator de prezență 377
Bibliografie 378

11. Circuite cu numărătoare 379

11.1. Numărătoarele sincrone MMC 4518, MMC 4520 379
11.2. Numărătoarele sincrone MMC 4510, MMC 4516, MMC 4029 379
11.3. Numărătoarele sincrone MMC 40192, MMC 40193 381
11.4. „Numărătoarele" Johnson MMC 4017, MMC 4022 382
11.5. Numărătoarele asincrone MMC 4020, MMC 4024, MMC 4040, MMC 4060 . 382
11.6. Dublarea vitezei de numărare pentru circuitele MMC 40192/40193 384
11.7. Intrări separate de numărare pentru circuitele MMC 4029, MMC 4510, MMC 4516 384
11.8. Sincronizarea și prevenirea comandării simultane a numărării înainte și înapoi pentru numărătoarele cu intrări separate de numărare 386
11.9. Prevenirea depășirii limitei de numărare 386
11.10. Comanda numărării înainte și înapoi la numărătoarele MMC 40192/40193 387
Bibliografie 388

12. Divizoare de frecvență 389

12.1. Divizoare de frecvență neprogramabile 389
12.1.1. Divizoare de frecvență realizate cu bistabili 389
12.1.2. Divizoare cu semnal de ieșire cu factor de umplere 1/2 401
12.1.3. Divizoare cu semnale de ieșire defazate 402
12.2. Divizoare programabile 403
12.2.1. Configurații de bază pentru divizorul programabil MMC 4018 . . . 403
12.2.2. Divizarea printr-unul din doi factori 404
12.2.3. Divizoare programabile cu numărătoarele MMC 40192/40193 407
12.2.4. Divizoare de frecvență cu un număr compus 407
12.2.5. Divizoare de frecvență cu o sumă de două numere 409
12.2.6. Divizoare programabile cu numărătoarele MMC 4510, 4516, 4029 . . 411
12.2.7. Divizor programabil cu MMC 4018 (factori de divizare 2÷999) . . 412
12.2.8. Divizor programabil cu MMC 4018 (factori de divizare 3÷999) . . 414
12.2.9. Divizoare pentru aplicații de temporizare 414
Bibliografie 417

13. Unitatea de control industrial MMC 4500 418

13.1. Un sistem minimal construit cu MMC 4500 418
13.2. Probleme de programare pentru MMC 4500 419
13.3. O implementare concretă a unui sistem minimal și probleme de hardware . 429
13.4. Sistem de dezvoltare cu MMC 4500 431
Bibliografie 435

14. Aplicații diverse 436

14.1. Aplicații analogice 436
14.1.1. Inversorul ca amplificator 436
14.1.2. Amplificatoare cu mai multe etaje 439
14.2. Generatoare de funcții și formatoare de semnal 440
14.2.1. Generator de funcții (I). 440
14.2.2. Generator de funcții (II) 442
14.2.3. Formator de semnal sinusoidal cu numărător cu 3 442
14.2.4. Formator de semnal sinusoidal cu multiplexorul analogic MMC 4051 442
14.2.5. Formator de semnal sinusoidal cu registrul de deplasare MMC 4015 . 444
14.2.6. Formator de semnal triunghiular cu rețea R-$2R$ 444
14.2.7. Generator programabil de semnal sinusoidal 445

14.3. Convertoare D/A și A/D 449
14.3.1. Convertor D/A de 5 biți 449
14.3.2. Convertor D/A cu MMC 4007 449
14.3.3. Convertor D/A de 4 biți cu porți de transmisie 449
14.3.4. Convertor D/A cu rețea *R-2R* atacată în tensiune 450
14.3.5. Convertor D/A cu rețea *R-2R* atacată în curent 450
14.3.6. Convertor A/D cu aproximații succesive 451
14.3.7. Convertor A/D paralel 452
14.4. Circuite cu calare de fază sau de frecvență 454
14.4.1. Demodulator *MF* cu circuitul MMC 4046 454
14.4.2. Demodulator din cod bifazic în cod *NRZ* cu circuitul MMC 4046 . . 455
14.4.3. Indicator de calare pentru MMC 4046 456
14.4.4. Sintetizoare de frecvență (scheme bloc) 457
14.4.5. Sintetizor de frecvență cu circuitul MMC 4046 459
14.4.6. Multiplicator cu *m/n* pentru generatoarele de ton 460
14.4.7. Comandă programabilă pentru triac 462
14.4.8. Comparator de fază cu bistabil *D* 463
14.4.9. Circuit *PLL* cu MMC 4011 464
14.4.10. Comparator de fază cu circuit de eșantionare și memorare 465
14.4.11. Circuit cu calare de frecvență 465
14.5. Aplicații diverse 466
14.5.1. Numărător sincron cu increment programabil 466
14.5.2. Circuit de numărare pînă la 2^{70} 467
14.5.3. Circuit de întîrziere 470
14.5.4. Comparator cu fereastră 470
14.5.5. Detector de semnale în cuadratură 471
14.5.6. Generarea/Verificarea bitului de paritate 472
14.5.7. Bistabili *SET/RESET* cu acționare manuală 473
14.5.8. Oscilator cu comandă senzorială *START-STOP* 474
14.5.9. Latch cu porți neinversoare 475
14.5.10. Comanda unor porți de transfer cu MMC 4051 475
14.5.11. Circuit de comandă a LED-urilor 475
14.5.12. Schemă pentru interfațarea TTL-CMOS 477
14.5.13. Tester pentru o memorie RAM 477
14.5.14. Fazmetru 479
14.5.15. Detector de fronturi 479
14.5.16. Generator de armonici 481
14.5.17. Voltmetru de 3 3/4 cifre cu circuitul integrat MMP 190 482
14.5.18. Amplificator de audiofrecvență cu modularea impulsurilor în durată 482
14.5.19. Generator de rată de *bauds* 482
14.5.20. Diapazon 485
14.5.21. Modulator *FSK* 486
14.5.22. Dublor de tensiune 486
14.5.23. Convertoare cc-cc cu inversarea polarității tensiunii generate . . 486
14.5.24. Convertor cc-cc de curent mare 488
14.5.25. Invertor pilotat cu circuitul MMC 4047 488
14.5.26. Detector de proximitate 490
14.5.27. *Jackpot* 491
14.5.28. Circuit de avertizare 491
14.5.29. Turometru cu comandă optică 494
14.5.30. Tahometru 494
14.5.31. Cifru electronic 496

Introducere

Circuitele integrate CMOS *(Complementary-symmetry Metal-Oxide-Semiconductor)* au fost dezvoltate în laboratoarele firmei RCA din S.U.A., la începutul anilor 1960. Prima serie comercială de circuite integrate CMOS a fost disponibilă începînd cu 1968, tot de la firma RCA.

Introducerea în fabricație a familiei standard CMOS de către firma RCA, urmată de firmele Motorola, Solid State Scientific, Harris Semiconductor, National Semiconductor etc., a oferit proiectanților de scheme logice o alternativă, cu consum redus, la familia logică TTL pentru aplicațiile în care nu este solicitată viteză mare.

Principalele avantaje ale CMOS-ului sînt: *imunitatea la zgomot* (margine de zgomot de 1,5 V, față de 0,4 V la TTL) și *consum de putere redus* (o rețea logică de 100 porți consumă mai puțin de 1 mW, la viteze medii). Gama tensiunii de alimentare este 3...18 V pentru prima familie de circuite integrate CMOS disponibilă comercial — seria 4000 varianta A, și 3...20 V pentru seria 4000 varianta B.

Varianta B de circuite CMOS standard a apărut în anul 1974, iar circuitele fabricate în această variantă tehnologică, pe lîngă gama extinsă de tensiuni de alimentare, sînt prevăzute cu etaje buffer pe intrări și ieșiri.

Factorul de calitate, timp de propagare-putere disipată, pentru porțile logice CMOS este printre cele mai bune din ansamblul familiilor logice utilizate curent (fig. 1), lucru care a impus familia logică CMOS pe piața de semiconductoare. *Această familie are parametrii cei mai apropiați de aceia ai unei familii logice ideale*, care ar trebui să aibă: consum zero în regim static, timpi de propagare egali cu zero, fronturi controlabile, imunitate la zgomot egală cu 50% din diferența între tensiunile corespunzătoare nivelelor logice.

În plus, la nivel de sistem, *schemele realizate cu circuite CMOS revin mai ieftine decît cele realizate cu circuite TTL.*

Cea mai cunoscută familie logică CMOS este seria 4 000, care a fost lansată de RCA în 1968. Alternativa la seria 4000 este reprezentată de familia 54C/74C, introdusă de firma National Semiconductor.

Familia 54C/74C reprezintă echivalentul pin la pin al circuitelor TTL din familia 54/74. Astfel, proiectanții obișnuiți cu circuitele TTL își pot extrapola experiența asupra unui proiect cu familia 54C/74C.

O serie de producători au introdus circuite noi în seria 4000, pentru a putea răspunde la cererile de circuite CMOS mai complexe. Astfel, firma Motorola a adăugat la seria 4000 seria 4500, care oferă un număr sporit de funcții MSI.

Ca un supliment la seria 4000A, varianta B a circuitelor CMOS standard este în prezent disponibilă de la majoritatea fabricanților de circuite CMOS.

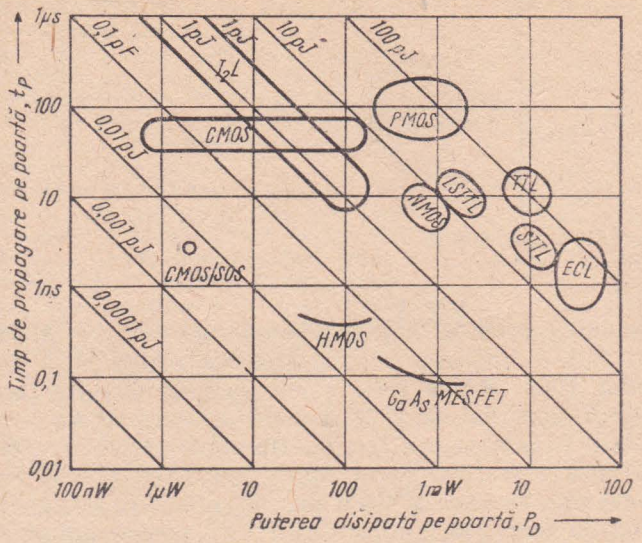


Fig. 1. Factorul de calitate putere disipată—timp de propagare pentru diverse familii logice.

Caracteristicile superioare de intrare, ieșire și transfer conduc la o mai facilă utilizare a variantei B din seria 4000, comparativ cu varianta A inițială. În prezent, *circuitele familiei 4000 B au devenit standarde industriale* și sînt fabricate de o mare parte din marile firme producătoare de pe piața mondială.

Tehnologia CMOS cu poartă de aluminiu elaborată la Microelectronica este perfect compatibilă cu tehnologiile CMOS existente pe plan mondial, lucru care *a permis realizarea de circuite CMOS cu performanțe identice cu cele ale circuitelor produse de firmele mari producătoare.*

Circuitele din seria 4000 produse la Microelectronica sînt echivalente cu cele din seria 4000 B, adică gamă extinsă de tensiuni de alimentare (3...20 V) și cu etaje buffer la intrări și ieșiri.

Din cele peste 110 tipuri de circuite din seria 4000, *Microelectronica produce în prezent aproape 80 tipuri*, intenționînd să completeze seria.

Prezentul manual de utilizare al circuitelor integrate CMOS din seria 4000, fabricate la Microelectronica se dorește a fi o familiarizare a utilizatorilor cu circuitele CMOS și oferă o parte de aplicații posibile pentru aceste circuite.

1. Structuri fundamentale în circuitele digitale CMOS

Vom încerca să vă familiarizăm cu elementele fundamentale utilizate în *circuitele integrate digitale CMOS (complementary symmetry metal-oxide-semiconductor*/structuri metal-oxid-semiconductor (MOS) cu simetrie complementară).

Studiul tranzistorului MOS este urmat de descrierea inversorului, a porților logice și de transmisie, a bistabililor, a registrelor și a numărătoarelor. Această prezentare ne va ajuta să înțelegem mai bine structura și funcționarea circuitelor integrate CMOS standard din seria 4000.

1.1. Tranzistorul MOS

Un tranzistor „metal-oxid-semiconductor" (MOS) cu canal *n* constă din două regiuni de tip *n*, realizate prin difuzie sau implantare ionică într-un substrat din siliciu de tip *p* (fig. 1.1).

În funcționare, regiunea mai pozitivă este denumită *„drenă"* iar cealaltă regiune este denumită *„sursă"*. Regiunea de la suprafață cuprinsă între sursă și drenă este denumită *„canal"*. Conducția prin acest canal este controlată de potențialul de pe *„grilă"* (sau *„poartă"*), care este, în cazul nostru, din metal (aluminiu). Poarta este separată de canal printr-un strat dielectric subțire, de dioxid de siliciu (SiO_2), de unde și denumirea de *structură metal-oxid-semiconductor* (MOS).

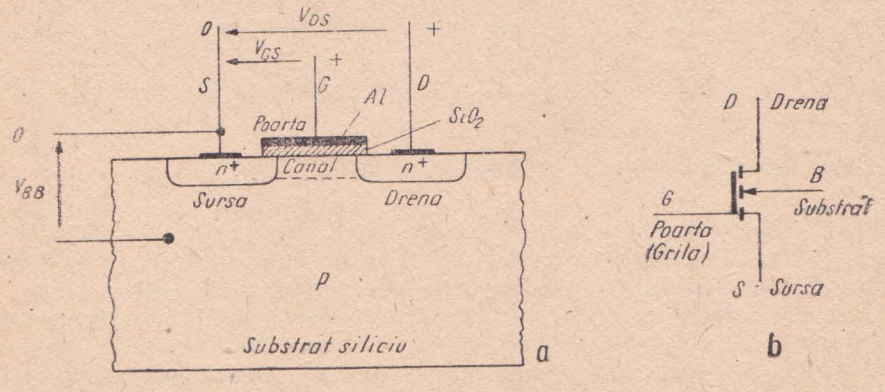


Fig. 1.1. Secțiune simplificată printr-un tranzistor MOS cu canal *n* (*a*) și simbolul acestuia (*b*).

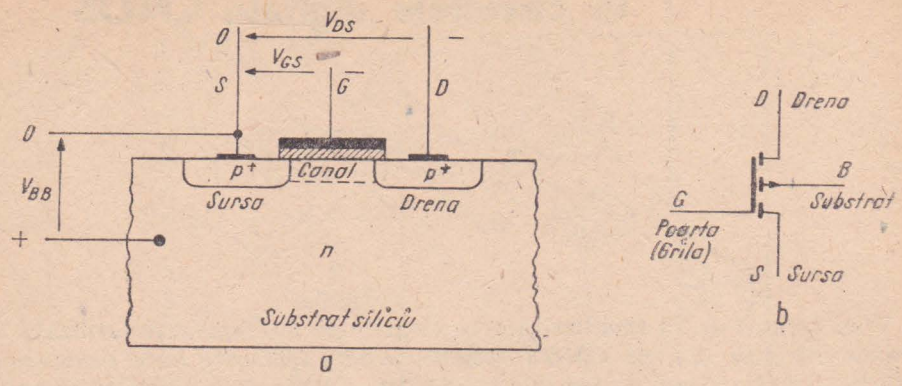


Fig. 1.2 Secțiune simplificată printr-un tranzistor MOS cu canal p (a) și simbolul acestuia (b).

Aplicarea unei diferențe de potențial grilă-sursă negative va atrage o concentrație sporită de sarcini electrice pozitive libere (goluri) din substrat la suprafața siliciului, suprafața *acumulînd* purtători. Dacă aplicăm o diferență de potențial grilă-sursă pozitivă, purtătorii liberi (golurile) din siliciul tip p vor fi îndepărtați (respinși) de la suprafața siliciului și regiunea din apropierea suprafeței va deveni *golită* total de sarcini mobile, dar vor rămîne sarcini negative fixe sub formă de impurități acceptoare ionizate.

Mărind în continuare diferența de potențial grilă-sursă, la suprafața siliciului vor fi atrași electroni mobili (sarcini electrice negative). Cînd suficienți electroni au fost atrași la suprafața siliciului, tipul conducției se modifică dintr-una cu goluri predominante (siliciu de tip p) în alta cu electroni predominanți (siliciu de tip n) și se spune că suprafața siliciului s-a *„inversat"*. Astfel, în această nouă situație există două regiuni de tip n difuzate (sursa și drena dispozitivului) interconectate printr-un strat de inversie (sau canal) de tip n, de aici și nomenclatura de *tranzistor MOS cu canal n*.

Tranzistorul MOS cu canal p are o structură similară (fig. 1.2) și se obține prin interschimbarea zonelor de tip p și n din siliciu.

Vom prezenta în continuare, pentru simplitate, funcționarea și caracteristicile tranzistorului MOS cu canal n. Comportarea tranzistorului MOS cu canal p este identică, inversîndu-se doar polaritățile tensiunilor și sensurile curenților.

Potențialul sursei va reprezenta totdeauna potențialul de referință.

1.1.1. Tensiunea de prag a tranzistorului MOS

Cînd potențialul grilă-sursă V_{GS} este zero, printr-un tranzistor MOS nu trece curent. În cazul tranzistorului MOS cu canal n, vor exista foarte puțini electroni (sarcini mobile negative) la suprafața siliciului de tip p, fapt care nu permite trecerea purtătorilor (în cazul acesta electroni) între drenă și sursă, regiuni de tip n, deci cu mulți electroni liberi. Crescînd diferența de potențial V_{GS} în valoare absolută *(pozitivă pentru tranzistorul MOS cu canal n, negativă pentru tranzistorul MOS cu canal p)*, conducția începe

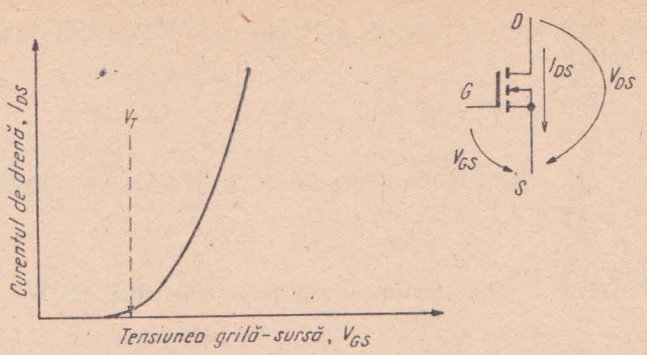


Fig. 1.3. Curentul de drenă, funcție de tensiunea grilă-sursă la un tranzistor MOS.

la o anumită valoare, denumită *tensiune de prag* V_T (tipic +1,5 V pentru tranzistorul MOS cu canal *n*, respectiv −1,5 V pentru tranzistorul MOS cu canal *p*).

Mărind diferența de potențial grilă-sursă V_{GS}, crește curentul prin dispozitiv, după cum se vede în figura 1.3.

Valoarea tensiunii de prag este dată de parametrii de proces tehnologic, de parametrii de material și de polarizarea substratului față de sursa tranzistorului (tensiunea V_{BB}).

Tensiunea de prag V_T pentru un tranzistor MOS cu canal *n* se poate scrie [1] sub forma:

$$V_T = V_{T0} + \Delta V_T(V_{BB}) \tag{1-1}$$

În lipsa polarizării substratului ($V_{BB} = 0$), tensiunea de prag este calculată [2] cu formula:

$$V_{T0} = \Phi_{MS} - \frac{Q_{SS}}{C_{ox}} + 2\Phi_f \frac{Q_B}{C_{ox}} \tag{1-2}$$

unde

Φ_{MS} este diferența de lucru de ieșire metal-semiconductor;
Q_{SS} — densitatea de sarcini fixe de la interfața Si-SiO_2; depinde de procesul tehnologic și orientarea cristalografică a siliciului;
Φ_f — potențialul Fermi al substratului;
Q_B — cantitatea de sarcină a atomilor acceptori (respectiv donori în cazul tranzistorului MOS cu canal *p*) ionizați din volumul siliciului;
C_{ox} — capacitatea specifică pe unitatea de arie a porții tranzistorului, care se calculează cu formula

$$C_{ox} = \frac{\varepsilon_0 \cdot \varepsilon_{ox}}{t_{ox}} = \frac{\varepsilon}{t_{ox}} \tag{1-3}$$

unde ε este permitivitatea electrică a dioxidului de siliciu $\varepsilon = \varepsilon_0 \cdot \varepsilon_{ox}$;
t_{ox} — grosimea oxidului.

Dependența tensiunii de prag de polarizarea substratului (tensiunea V_{BB}) este de forma [1]:

$$\Delta V_T(V_{BB}) = \gamma[(|V_{BB}| + 2\Phi_f)^{1/2} - (2\Phi_f)^{1/2}] \tag{1-4}$$

unde

γ = factorul de substrat și depinde de concentrația substratului (notată C_B) prin $C_B^{1/2} \cdot C_{ox}^{-1}$.

1.1.2. Caracteristicile curent-tensiune ale tranzistorului MOS

Două familii de caracteristici sînt importante pentru tranzistorul MOS:

- caracteristica *curent de drenă* I_{DS} — *tensiune drenă-sursă* V_{DS} la polarizare dată a substratului V_{BB};
- caracteristica *curent de drenă* I_{DS} — *tensiune grilă-sursă* V_{GS} la polarizare dată a substratului V_{BB}.

Caracteristica $I_{DS} - V_{GS}$ este prezentată în figura 1.3, iar dependența de polarizarea substratului V_{BB} este conform relațiilor (1-1) și (1-4).

Caracteristica $I_{DS} - V_{DS}$ (fig. 1.4) pune în evidență trei regiuni de funcționare a tranzistorului [1], [2], [3]:

a. Regiunea de tăiere, unde (v. fig. 1.3)

$$V_{GS} < |V_T| \tag{1-5}$$

$$I_{DS} \simeq 0 \tag{1-6}$$

Această regiune mai este denumită și *regiunea de conducție sub prag*· curentul drenă-sursă I_{DS} fiind mult mai mic (neglijabil) decît în cazul în care $V_{GS} > |V_T|$.

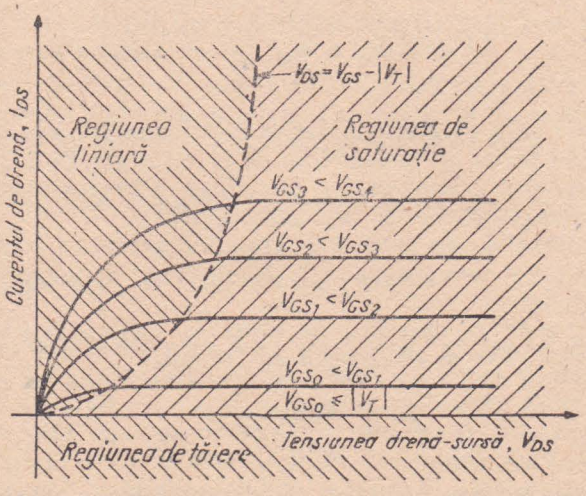


Fig. 1.4. Caracteristica curent de drenă I_{DS} — tensiune drenă-sursă V_{DS}, pentru un tranzistor MOS.

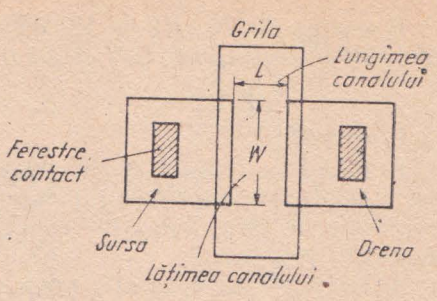


Fig. 1.5. Geometria simplificată a unui tranzistor MOS.

Curentul I_{DS} care trece prin dispozitiv crește *exponențial* cu V_{DS} și V_{GS} [3].

b. Regiunea liniară sau de triodă, unde

$$0 \leqslant V_{DS} \leqslant (V_{GS} - |V_T|) \tag{1-7}$$

$$I_{DS} = K\left[(V_{GS} - |V_T|)V_{DS} - \frac{V_{DS}^2}{2}\right] \tag{1-8}$$

c. Regiunea de saturație, unde

$$0 \leqslant (V_{GS} - |V_T|) \leqslant V_{DS} \tag{1-9}$$

$$I_{DS} = \frac{K}{2}(V_{GS} - V_T)^2 \tag{1-10}$$

unde

$$K = \mu C_{ox}\frac{W}{L} = K'\frac{W}{L} \tag{1-11}$$

și

W este lățimea canalului tranzistorului MOS (fig. 1.5);
L — lungimea canalului tranzistorului MOS (în direcția fluxului de curent, din spațierea sursă-drenă — fig. 1.5);
μ — mobilitatea de suprafață a purtătorilor (μ_n în cazul electronilor pentru tranzistorul MOS cu canal n și μ_p în cazul golurilor pentru tranzistorul MOS cu canal p);
V_T — tensiunea de prag;
C_{ox} — capacitatea specifică pe unitatea de arie a porții tranzistorului;
K' — factorul de conducție intrinsec;
K — factorul de conducție (notat K_N pentru tranzistorul MOS cu canal n și K_P pentru tranzistorul MOS cu canal p).

Factorul de conducție intrinsec K' este dependent de tehnologie și specific unui proces tehnologic dat. Valorile tipice ale acestui parametru pentru dispozitivele MOS cu canal n și MOS cu canal p pentru un proces tehnologic CMOS standard sînt cele din tabelul 1.1 [4].

Tabelul 1.1

K′	Minim	Tipic	Maxim	UM
K'_N	12	16	20	μA/V²
K'_P	4	6	8	μA/V²

Raportul dintre K'_N și K'_P diferă de unitate datorită diferenței dintre mobilitățile electronilor (μ_n) și golurilor (μ_p). Uzual [2]:

$$\mu_n \approx 2{,}5\mu_p \tag{1-12}$$

Observații

1. Ecuațiile (1-8) și (1-10) reprezintă *ecuațiile simplificate* ale tranzistorului MOS sau *ecuațiile Sah* [5]. Acestea sînt acoperitoare în plaja unei erori acceptabile de 10%. Ecuațiile exacte ale tranzistorului MOS sînt mult mai complicate [6].

2. Regiunea de saturație pentru tranzistorul MOS nu are aceeași semnificație cu cea corespunzătoare tranzistorului bipolar. Aici reprezintă regiunea de limitare a curentului de drenă cu creșterea tensiunii drenă-sursă, limitare datorată fenomenului de strangulare a canalului („*pinch-off*") la tensiunea $V_{DS} = V_{GS} - |V_T|$ [1], [2], [3], [5], [6].

1.1.3. Dependența de temperatură a caracteristicilor tranzistorului MOS [7]

În ecuațiile caracteristicilor curent de drenă I_{DS} — tensiune drenă-sursă V_{DS} (1-8, 1-10), sînt dependenți de temperatură parametrii tensiune de prag V_T și factorul de conducție intrinsec K'.

Tensiunea de prag V_T (relația 1-2) depinde de temperatură [7] prin intermediul potențialului Fermi Φ_f și al cantității de sarcină a atomilor ionizați din volumul siliciului, Q_B. Valoarea absolută a valorii de prag V_T scade liniar cu temperatura cu:

$$\frac{dV_T}{dT} = \frac{K_T}{T} \tag{1-13}$$

Factorul de conducție intrinsec K' depinde de temperatură [1] prin intermediul mobilității purtătorilor:

$$\frac{K'}{K'_0} = \left[\frac{T}{T_0}\right]^{-3/2} \tag{1-14}$$

unde K'_0 este valoarea factorului de conducție intrinsec K' la temperatura ambiantă ($T_0 = 298°K$) și T este temperatura absolută (°K).

Temperatura afectează atît tensiunea de prag V_T cît și mărimea K', astfel încît efectele asupra curentului de drenă I_{DS} se pot anula reciproc. Astfel, tranzistoarele MOS pot fi polarizate așa încît să aibă coeficientul de variație cu temperatura al curentului de drenă I_{DS} pozitiv, negativ sau nul [1].

1.2. Ce înseamnă simetrie complementară (CMOS) ?

În circuitele integrate CMOS, ambele tranzistoare, MOS cu canal *n* și MOS cu canal *p*, sînt fabricate în aceeași plachetă de siliciu, cu interconexiuni de metal între perechile de intrări (grilele tranzistoarelor) și ieșiri (drenele tranzistoarelor), după cum se poate observa și în figura 1.6.

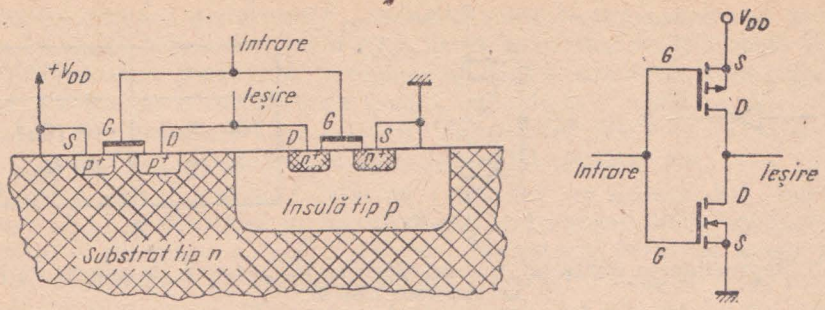


Fig. 1.6. Structura cu simetrie complementară utilizată în CMOS

Deoarece tranzistoarele MOS cu canal *n* și MOS cu canal *p* au difuzii cu dopări de polarități opuse, acestea funcționează cu tensiuni de polarități opuse. Astfel, o tensiune pozitivă va deschide tranzistorul MOS cu canal *n* și va bloca tranzistorul MOS cu canal *p*; o tensiune negativă va deschide tranzistorul MOS cu canal *p* și va bloca tranzistorul MOS cu canal *n*.

Grila dispozitivului CMOS este, practic, un capacitor (metalul grilei și substratul sînt cele două armături, iar SiO_2 este dielectricul), astfel că nu există curent de intrare. Dacă ieșirea dispozitivului este conectată la intrarea altui dispozitiv CMOS, nu există cădere de tensiune drenă-sursă datorată curentului de intrare. Deci, nivelele de tensiune de ieșire sînt, practic, valorile tensiunilor de alimentare V_{DD} și V_{SS}. Întrucît grilele perechii de tranzistoare MOS cu canal *n* și MOS cu canal *p* sînt legate împreună, unul din cele două tranzistoare este întotdeauna blocat, ținînd seama de polaritatea semnalului de pe grila comună. Astfel, în regim static nu va exista o cale directă de curent între alimentări, singurul curent dintre V_{DD} și V_{SS} fiind curentul rezidual al dispozitivului MOS blocat. Deci *puterea statică consumată de dispozitivul CMOS este, practic, nulă!*

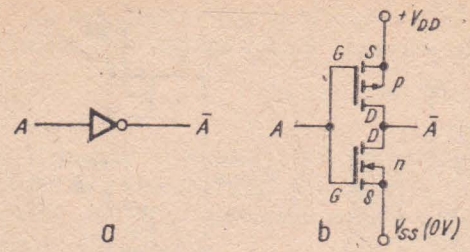
1.3. Inversorul CMOS

În figura 1.6 este prezentată o pereche de tranzistoare MOS cu canal *n* și MOS cu canal *p*, care reprezintă un inversor, blocul fundamental al circuitelor integrate CMOS.

Figura 1.7 oferă reprezentarea logică, schema electrică și tabela de adevăr a unui inversor.

O tensiune pozitivă de valoare ridicată ($+V_{DD}$), adică **SUS**, aplicată pe terminalul comun al grilei deschide tranzistorul MOS cu canal *n* și blochează tranzistorul MOS cu canal *p*, ceea ce face ca ieșirea să fie comutată la o valoare coborîtă a tensiunii (V_{SS}), adică **JOS**.

Similar, o tensiune de valoare coborîtă sau nulă (V_{SS}), adică **JOS**, prezentă pe grilă, va deschide tranzistorul MOS cu canal *p* și va bloca tranzistorul MOS cu canal *n*, ieșirea comutîndu-se la o valoare ridicată a tensiunii ($+V_{DD}$), adică **SUS**.



Intrare	Ieșire
Sus (V_{DD})	Jos (V_{SS})
Jos (V_{SS})	Sus (V_{DD})

c

Fig. 1.7. Reprezentarea logică (*a*), schema electrică (*b*) și tabela de adevăr (*c*) pentru un inversor CMOS.

1.3.1. Caracteristica de transfer a inversorului CMOS

Caracteristica de transfer a inversorului CMOS este prezentată în figura 1.8.

Această caracteristică poate fi împărțită în cinci regiuni distincte în care funcționarea tranzistoarelor Q_N și Q_P este rezumată în tabelul 1.2. Cu V_{TN} am notat tensiunea de prag a tranzistorului MOS cu canal *n* (tranzistorul Q_N), iar cu V_{TP} tensiunea de prag a tranzistorului MOS cu canal *p* (tranzistorul Q_P). Mai presupunem că tensiunea V_{SS} este potențialul de referință (zero volți).

Tabelul 1.2

TENSIUNEA DE INTRARE V_{IN}	REGIUNEA	Q_P	Q_N
$0 \leq V_{IN} \leq V_{TN}$	I	LINIAR	BLOCAT
$V_{OUT} - \lvert V_{TP}\rvert \geq V_{IN} \geq V_{TN}$	II	LINIAR	SATURAT
$V_{OUT} - \lvert V_{TP}\rvert \leq V_{IN} \leq V_{OUT} + V_{TN}$	III	SATURAT	SATURAT
$V_{OUT} + V_{TN} \leq V_{IN} \leq V_{DD} - \lvert V_{TP}\rvert$	IV	SATURAT	LINIAR
$V_{DD} - \lvert V_{TP}\rvert \leq V_{IN} \leq V_{DD}$	V	BLOCAT	LINIAR

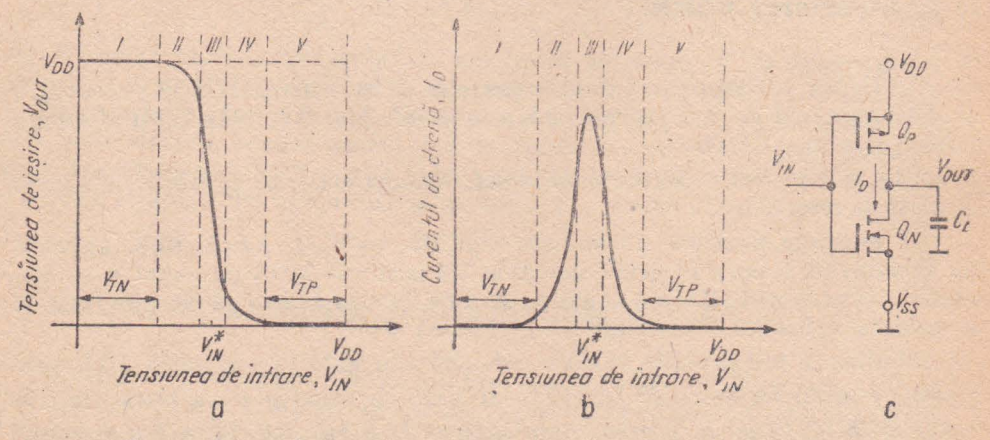


Fig. 1.8. Caracteristica de transfer (*a*), caracteristica de curent (*b*) pentru un inversor CMOS (*c*).

Dacă tensiunea de intrare V_{IN} este mai mică decît tensiunea de prag V_{TN} a tranzistorului MOS cu canal n (Q_N), acest tranzistor va fi blocat. Tranzistorul MOS cu canal p (Q_P) este în regiunea liniară a caracteristicilor (figura 1.4) și este deschis de o tensiune pe poartă aproximativ egală cu V_{DD}. Ieșirea este acum la nivelul $+V_{DD}$, întrucît tranzistorul MOS cu canal n blocat fiind, prin acesta va trece un curent neglijabil (practic nul).

Aceasta este *regiunea I*. Mărind tensiunea de intrare V_{IN} intrăm în *regiunea II* a caracteristicii de transfer. Aici tranzistorul MOS cu canal n (Q_N) este saturat (întrucît $V_{TN} \leqslant V_{IN}$), iar tranzistorul MOS cu canal p (Q_P) este în continuare în regiunea liniară (întrucît $V_{OUT} - |V_{TP}| \geqslant V_{IN}$).

Numai în *regiunea III* ambele tranzistoare sînt saturate și funcționează ca surse de curent. Aceasta este *regiunea de cîștig ridicat a caracteristicii de transfer*. *În regiunea IV*, tranzistorul MOS cu canal n (Q_N) este în regiunea liniară, deoarece $V_{OUT} + V_{TN} \leqslant V_{IN}$, iar tranzistorul MOS cu canal p (Q_P) este saturat, deoarece $V_{IN} \leqslant V_{DD} - |V_{TP}|$. În *regiunea V*, tranzistorul MOS cu canal p (Q_P) este blocat ($V_{IN} \geqslant V_{DD} - |V_{TP}|$), iar tranzistorul MOS cu canal n (Q_N) este în regiunea liniară.

În regiunile I, II și III, inversorul apare privit dinspre ieșire ca o rezistență de valoare coborîtă spre V_{DD} (500 Ω...1 kΩ) și în regiunile I, II ca o rezistență de valoare ridicată spre V_{SS}. În regiunea III, inversorul prezintă o rezistență mică între ieșire și V_{DD} și, de asemenea, între ieșire și V_{SS}. În regiunile II, III și IV (ambele tranzistoare sînt fie saturate fie în regiunea liniară), curentul trece între V_{DD} și V_{SS}. Figura 1.8, *b* prezintă variația curentului I_D cu tensiunea de intrare V_{IN}.

Caracteristica de curent a inversorului (fig. 1.8, *b*) arată dependența de tensiunea de intrare V_{IN} a curentului I_D care trece prin inversor (între V_{DD} și V_{SS}). În cazul în care pe intrare se aplică un semnal pulsatoriu (fronturi între 20...200 ns), curentul mediu care trece prin inversor, I_D, va fi mic și depinde de durata fronturilor semnalului de intrare. Aceasta se poate explica astfel: să presupunem tranzistorul Q_P blocat (regiunea V), iar tranzistorul Q_N deschis (deci ieșirea este la zero volți); cum tensiunea pe intrare V_{IN} comută de la V_{DD} la V_{SS}, va exista o perioadă de timp în care ambele tranzistoare Q_N și Q_P vor fi deschise (regiunile II, III și IV). Datorită capacității de sarcină C_L, tensiunea de ieșire este aproximativ zero volți cînd atît Q_N cît și Q_P sînt deschise. Astfel, prin tranzistorul Q_N va trece spre V_{SS} un curent mic. Acest lucru explică faptul că puterea disipată de circuitele CMOS, în comutare, este funcție, în totalitate, de încărcarea capacitivă a ieșirii (vezi § 1.3.3).

Caracteristica de transfer statică a inversorului CMOS se poate determina din caracteristicile simplificate curent-tensiune. În regiunea de cîștig ridicat a caracteristicii de transfer (regiunea III), unde

$$V_{OUT} - |V_{TP}| \leqslant V_{IN} \leqslant V_{OUT} + V_{TN} \tag{1-15}$$

curentul este

$$I_{DN} + I_{DP} = 0 \tag{1-16}$$

Ambele tranzistoare fiind saturate, folosind formulele (1-10) și (1-16) putem calcula valoarea tensiunii de comutare a inversorului V_{IN}^*:

$$V_{IN}^* = \frac{V_{DD} + V_{TP} + V_{TN}\sqrt{K_N/K_P}}{1 + \sqrt{K_N/K_P}} \tag{1-17}$$

Alegînd corespunzător parametrii tranzistoarelor MOS cu canal n și MOS cu canal p, valoarea tensiunii de comutare a inversorului poate fi proiectată pentru o imunitate la zgomot maximă, adică

$$V_{IN}^* = \frac{V_{DD}}{2} \tag{1-18}$$

Aceasta se obține pentru

$$V_{TN} = |V_{TP}| \tag{1-19}$$

cînd

$$K_N = K_P \tag{1-20}$$

Chiar dacă valorile tensiunilor de prag ale tranzistoarelor diferă, din proiectarea geometriei tranzistoarelor se obține valoarea dorită a tensiunii de comutare a inversorului V_{IN}^*.

Pentru regiunile II, III și IV se poate calcula dependența tensiunii de ieșire, V_{OUT}, de tensiunea de intrare, V_{IN}, cu formulele:
Regiunea II:

$$V_{OUT} = V_{TP} + \left[(V_{DD} - V_{TP} - V_{IN})^2 - \frac{K_N}{K_P}(V_{IN} - V_{TN})^2\right]^{1/2} \tag{1-21}$$

Regiunea III:

$$V_{IN} = V_{IN}^* \text{ pentru } V_{IN}^* - V_{TN} \leqslant V_{OUT} \leqslant V_{IN}^* - V_{TP} \tag{1-22}$$

Regiunea IV:

$$V_{OUT} = V_{IN} - V_{TN} - \left[(V_{IN} - V_{TN})^2 - \frac{K_P}{K_N}(V_{IN} - V_{DD} - V_{TP})^2\right]^{1/2} \tag{1-23}$$

Astfel, caracteristica de transfer a inversorului CMOS pune în evidență nivele logice bine definite și o regiune de cîștig ridicat foarte abruptă. Această caracteristică se apropie de cea a unui comutator ideal.

Inversorul reprezintă elementul fundamental al oricărui circuit integrat MOS. Pe baza lui se pot realiza porțile logice și, deci, toate celelalte funcții necesare în circuite logice. Calculele efectuate asupra inversorului se extind și asupra porților logice.

Observație. Din caracteristica de transfer (figura 1.8, *a*) rezultă că valoarea minimă a tensiunii de alimentare V_{DD} este:

$$V_{DD\,min} = V_{TN} + |V_{TP}| \tag{1-24}$$

Dacă valoarea tensiunii de alimentare V_{DD} este mai mică decît această valoare, inversorul va prezenta o caracteristică de transfer cu histerezis (fig. 1.9) și nu va mai putea fi utilizat ca poartă logică.

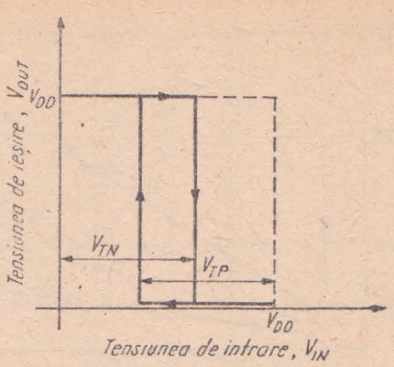


Fig. 1.9. Caracteristica de transfer cu histerezis pentru un inversor CMOS cu tensiunea de alimentare $V_{DD} < (V_{TN} + |V_{TP}|)$

Cum valoarea tipică a tensiunii de prag pentru procesul CMOS standard este

$$V_{TN} \simeq |V_{TP}| \simeq 1{,}5 \text{ V} \tag{1-25}$$

obținem

$$V_{DDmin} = 3 \text{ V} \tag{1-26}$$

care este valoarea minimă a tensiunii de alimentare pentru orice circuit integrat CMOS din seria 4 000.

1.3.2. Caracteristicile de comutare ale inversorului CMOS [8]

Dacă aplicăm un semnal dreptunghiular ideal (cu amplitudinea între 0 și V_{DD}) la intrarea unui inversor CMOS, putem calcula timpii de încărcare/descărcare ai capacității de sarcină C_L a inversorului (fig. 1.8, *c*) (prin tranzistorul MOS cu canal *p*, respectiv MOS cu canal *n*) de la un nivel logic $V_1 \simeq V_{DD}$ la altul $V_0 \simeq 0$, cu formulele:

$$t_{dis} = \frac{C_L}{K_N(V_{DD} - V_{TN})}\left[\frac{2}{\frac{V_{DD}}{V_{TN}} - 1} + \ln\left(\frac{2(V_{DD} - V_{TN})}{V_0} - 1\right)\right] \tag{1-27}$$

$$t_{ch} = \frac{C_L}{K_P(V_{DD} - |V_{TP}|)}\left[\frac{2}{\frac{V_{DD}}{|V_{TP}|} - 1} + \ln\left(\frac{2(V_{DD} - |V_{TP}|)}{V_{DD} - V_1} - 1\right)\right] \tag{1-28}$$

Nivelele de tensiune V_1 și V_0 sînt apropiate de V_{DD}, respectiv de V_{SS} (considerat potențial de referință), diferența fiind datorată de căderi de tensiune pe tranzistor, determinată de curentul rezidual prin tranzistorul blocat (conducția sub prag).

Timpul de propagare prin inversor, măsurat între nivelele de $V_{DD}/2$ este:

$$t_p = \frac{0{,}9C_L}{V_{DD} \cdot K_N}\left[\frac{1}{\left(1 - \frac{V_{TN}}{V_{DD}}\right)^2} + \frac{1}{\frac{K_P}{K_N}\left(1 - \frac{|V_{TP}|}{V_{DD}}\right)^2}\right] \tag{1-29}$$

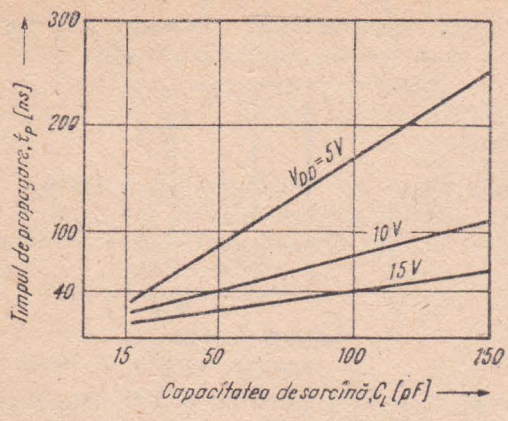


Fig. 1.10. Timpul de propagare, funcție de capacitatea de sarcină la diverse valori ale tensiunii de alimentare V_{DD} pentru un inversor CMOS dat.

După cum observăm din relația (1-29), influența tensiunii de prag a tranzistoarelor asupra timpului de propagare este redusă, timpul de propagare t_p variind liniar cu factorii (C_L/V_{DD}) și $1/K_N$. Acest lucru este exemplificat în figura 1.10.

Observație. Capacitatea de intrare în dispozitivul CMOS este o funcție de semnalul de intrare (fig. 1.11), datorită capacităților parazite grilă-drenă inerente construcției tranzistorului MOS cu poartă de aluminiu. În timpul comutării, capacitatea statică de intrare (tipic 5 pF) crește de 5...10 ori datorită efectului Miller cauzat de capacitatea de reacție grilă-drenă C_{gd} și transconductanța g_m a dispozitivului (în regiunea de cîștig ridicat a caracteristicii de transfer, amplificarea dispozitivului este mare). Întrucît un dispozitiv CMOS comandă, de obicei, un alt dispozitiv CMOS (deci are ca sarcină capacitatea de intrare a unui dispozitiv CMOS) acest fenomen poate deveni supărător la frecvențe mari, limitînd performanțele de viteză ale circuitului.

1.3.3. **Puterea disipată de inversor**

Puterea totală disipată de un inversor CMOS are 3 componente:

- puterea dinamică disipată datorită încărcării/descărcării sarcinii capacitive a dispozitivului CMOS (notată P_{d1});

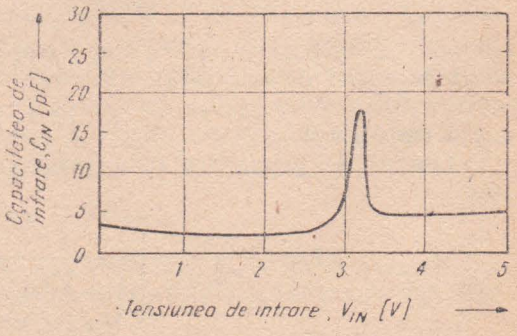


Fig. 1.11. Creșterea capacității de intrare a inversorului CMOS, datorită reacției prin capacități parazite.

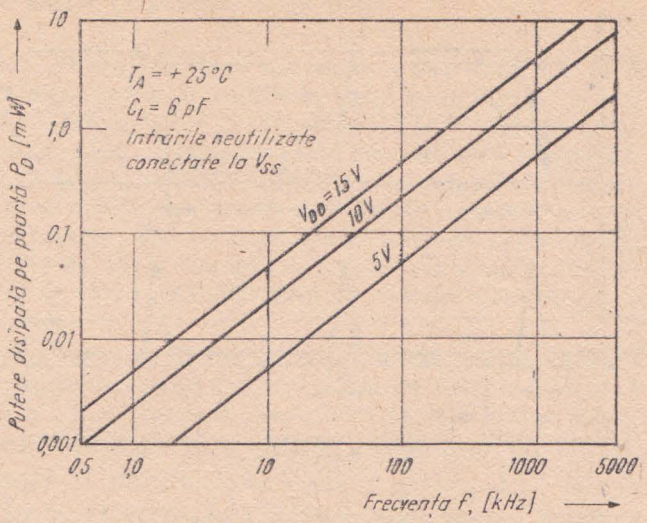


Fig. 1.12. Puterea disipată de o poartă CMOS, funcție de frecvența de lucru la diverse valori ale tensiunii de alimentare.

- puterea dinamică disipată în momentul comutării dispozitivului, cînd fronturile semnalului de comandă sînt nenule (notată P_{d2});
- puterea statică disipată cînd dispozitivul este într-o stare stabilă, datorită curentului rezidual prin tranzistorul blocat (notată P_{st}).

Puterea dinamică disipată, corespunzătoare sarcinii capacitive, va fi o funcție de frecvența f, la care capacitatea de sarcină C_L va fi încărcată și descărcată. Se poate calcula această putere [8], obținînd:

$$P_{d1} = C_L \cdot V_{DD}^2 \cdot f \tag{1-30}$$

În figura 1.12 se prezintă puterea disipată, tipică, de o poartă CMOS, funcție de frecvența de lucru f, pentru diverse tensiuni de alimentare.

A doua componentă a puterii dinamice disipate apare datorită faptului că formele de undă ale tensiunii de intrare (și, implicit, ale celei de ieșire) au fronturi finite. Forma de undă a curentului absorbit din sursa de alimentare V_{DD} este prezentată în figura 1.13 și puterea disipată are expresia:

$$P_{d2} = V_{DD} \cdot I_{mediu} = \frac{I_{max}}{2}\left[\frac{V_{DD} - (V_{TN} + |V_{TP}|)}{V_{DD}}\right]\left(\frac{t_1 + t_2}{T}\right) \tag{1-31}$$

Dacă t_1, $t_2 \ll T$ (cazul tipic), atunci $P_{d2} \ll P_{d1}$

În regim static, inversorul CMOS consumă o putere de ordinul nanowați, datorată scurgerii de curent ($I_{leakage}$) prin tranzistorul blocat.
Acest curent de scurgere crește rapid cu temperatura (la fiecare 10°C crește cu un factor de 2).

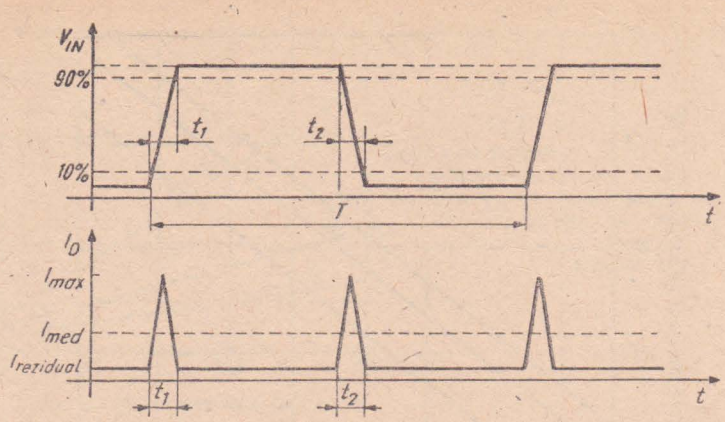


Fig. 1.13. Curentul consumat în comutare de către un inversor CMOS.

În tabelul 1.3 sînt date exemple de puteri disipate pentru diferite circuite CMOS. Se observă că *puterea disipată de dispozitivul CMOS este, practic, numai puterea disipată în regim de comutație.* Valorile date în tabelul 1.3 presupun dispozitivul atacat cu semnale treaptă (ideal, fronturi zero). Această situație nu este valabilă cînd semnalul de intrare are fronturi lente și, deci, puterea disipată crește (formula (1-31)). Uzual, această problemă nu este critică, întrucît în circuitele complexe CMOS, doar cîteva porți sînt atacate cu semnale de intrare cu fronturi lente.

Tabelul 1.3

V_{DD}	5 V		10 V		15 V		C_L
	P_{st}[nW]	P_d[μW/kHz]	P_{st}[nW]	P_d[μW/kHz]	P_{st}[nW]	P_d[μW/kHz]	
Porți (MMC4001)	25	0,8	50	2,8	100	7	25pF
(Bistabil PMMC 4027)	50	1	200	5	400	12	15pF
Numărător (MMC 4510)	500	6	1 000	20	2 000	40	15pF

Observație. Relația de calcul (1-30) a puterii disipate dinamice P_d este aproximativă, aceasta fiind calculată presupunînd un semnal treaptă de intrare (uzual se utilizează semnale cu fronturi de 20 ns) și nivele logice V_{DD}, respectiv V_{SS}.

În tabelul 1.3 se observă că variația P_d nu este proporționată chiar cu V_{DD}^2. Alt factor care contribuie este variația capacității de intrare cu tensiunea de intrare (v. fig. 1.11).

1.3.4. Etaje buffer și inversoare „3-state"

Circuitele integrate CMOS din seria 4 000 fabricate la noi în țară sînt prevăzute cu etaje buffer la intrări și ieșiri (excepție fac tipurile MMC 4007, MMC 4041, MMC 4049 și MMC 4069). Etajele de tip buffer (sau tampon) sînt, în esență, niște inversoare (schema electrică identică) care asigură o separare a intrărilor și ieșirilor circuitului de etajele lui interioare. Separarea etajelor interioare ale unui circuit de intrările și ieșirile lui ușurează încărcarea nodurilor interne, deci, scade capabilitatea de curent a etajelor interioare și, implicit, aria de siliciu ocupată de acestea. În general, *etajele buffer au capabilitate sporită de curent, caracteristică de transfer abruptă* și, deci, *margine de zgomot excelentă.*

Etajele buffer asigură dispozitivelor o impedanță de ieșire independentă de oricare condiție logică la intrări (și pentru toate condițiile logice posibile), atît anterioară cît și prezentă. La intrări etajele buffer asigură imunitate la zgomot sporită dispozitivului CMOS, comparativ cu un dispozitiv CMOS fără etaj buffer la intrare. Dezavantajul principal al dispozitivelor CMOS cu etaje buffer la intrări și ieșiri (*buffered*) este timpul de propagare mai mare comparativ cu al dispozitivelor CMOS fără etaje buffer la intrări și ieșiri (*unbuffered*).

Un inversor „3-state" (sau „tristate", „three-state") este un inversor care posedă o intrare suplimentară de validare (*ENABLE*) a ieșirii care, cînd este activată, pune ieșirea într-o stare de impedanță ridicată (sau de gol). Vom exemplifica pe parcursul cărții diverse etaje de ieșire „3-state" (de exemplu, etajele de ieșire ale circuitelor MMC 4043, MMC 4044, MMC 4503, MMC 4508 etc.). Etajele de ieșire „3-state" permit conectarea, în paralel, a mai multor circuite pe un bus comun de date.

1.3.5. Inversoare, neinversoare și etaje buffer în seria 4 000

În cadrul seriei 4 000 fabricate la Microelectronica se găsesc mai multe tipuri de circuite integrate care realizează funcțiile de inversor, neinversor și buffer:

- MMC 4000 — conține două porți SAU-NU (NOR) cu 3 intrări și un inversor;
- MMC 4007 — conține două perechi complementare de tranzistoare MOS cu canal *n* și MOS cu canal *p* și un inversor;
- MMC 4041 — conține patru etaje buffer inversoare/neinversoare (*true/complement buffer*);
- MMC 4049 — conține șase etaje buffer inversoare;
- MMC 4050 — conține șase etaje buffer neinversoare;
- MMC 4069 — conține șase inversoare fără etaje buffer la intrări și ieșiri;
- MMC 4503 — conține șase etaje buffer neinversoare, cu ieșiri „3-state".

1.4. Convenții și simboluri logice

În continuare, vom stabili cîteva convenții care se folosesc în această lucrare.

Pentru tranzistoarele MOS cu canal *n* și MOS cu canal *p*, vom folosi simbolurile din figurile 1.14, *a*, respectiv 1.14, *c* doar în cazurile în care polarizarea substratului față de sursa tranzistorului joacă un rol important în funcționarea dispozitivului. În rest, vom folosi simbolurile simplificate din figura 1.14, *b*, pentru tranzistorul MOS cu canal *n* și, respectiv, din figura 1.14, *d*, pentru tranzistorul MOS cu canal *p*.

Pe parcursul acestei lucrări *vom utiliza convenția logică pozitivă* [10], [11]. Simbolurile logice booleene sînt reprezentate prin nivele de tensiune. Logică pozitivă (nivele active **SUS**) înseamnă că nivelul de tensiune maxim pozitiv (denumit și nivel **SUS** sau **HIGH**, notat **H**) este definit ca starea de **1** logic, iar nivelul de tensiune minim negativ (denumit și nivel **JOS** sau **LOW**, notat **L**) este definit ca starea de **0** logic.

Variațiile produse de toleranțele componentelor realizate practic, cît și cele datorate distorsiunilor și zgomotului, fac ca situația ideală a două nivele unice de tensiune, corespunzătoare celor două valori logice, să fie imposibil de obținut practic. Astfel, informația va fi reprezentată practic prin domenii sau benzi de tensiune. Pentru a se putea distinge între cele două stări, trebuie prevăzută o regiune intermediară interzisă valorilor posibile ale tensiunii. Prin urmare definim (fig. 1.15) :

- V_{OH} — nivelul de tensiune de ieșire în starea **1** (**SUS**). În cazul seriei CMOS 4000 este *minim* „V_{DD} — 0,05 V“ (tipic „V_{DD} — 0,01 V“)
- V_{OL} — nivelul de tensiune de ieșire în starea **0** (**JOS**). Valoarea sa *maximă* garantată este „0,05 V“ (tipic „0,01 V“).
- V_{IH} — nivelul de tensiune de intrare în starea **1** (**SUS**), pentru care nivelul logic de la ieșire nu se schimbă. Valoarea *minimă* garantată este „70% V_{DD}“.
- V_{IL} — nivelul de tensiune de intrare în starea **0** (**JOS**), pentru care nivelul logic de la ieșire nu se schimbă și valoarea *maximă* garantată este „30% V_{DD}“.

Imunitatea la zgomot se definește ca tensiunea maximă de zgomot prezentă la intrarea unui inversor (poartă logică), care nu comută inversorul dintr-o stare logică în alta. Există două puncte pe caracteristica de transfer, în care cîștigul inversorului este unitar, cu care se definesc marginile de zgomot [2].

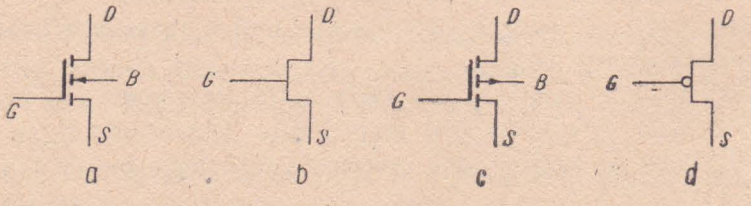


Fig. 1.14. Simbolurile tranzistoarelor MOS cu canal *n* (*a*, *b*) și MOS cu canal *p* (*c*, *d*).

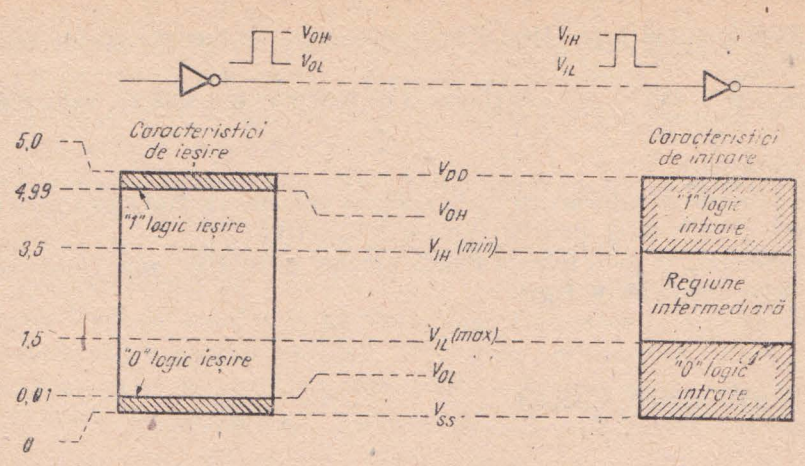


Fig. 1.15. Caracteristicile nivelelor logice ieșire-intrare.

Circuitele CMOS rejectează impulsuri parazite de tensiune, de valori pînă la 45% din valoarea tensiunii de alimentare, dar valoarea garantată de majoritatea fabricanților este de 30% (vezi definițiile V_{IH}, V_{IL} și fig. 1.16).

Se definesc imunitățile la zgomot :

- V_{NIL} — imunitatea la zgomot pentru nivelul **JOS**.
- V_{NIH} — imunitatea la zgomot pentru nivelul **SUS**.

Acestea au valori garantate de 30% din valoarea tensiunii de alimentare, ceea ce constituie al doilea avantaj (după consum) important al circuitelor CMOS. Practic, imunitatea la zgomot este de 45...50% din valoarea tensiunii de alimentare.

Definim drept *tranziție pozitivă* a unui semnal, trecerea (frontul) semnalului din nivel logic **JOS** în nivel logic **SUS**, iar *tranziție negativă* — din nivel

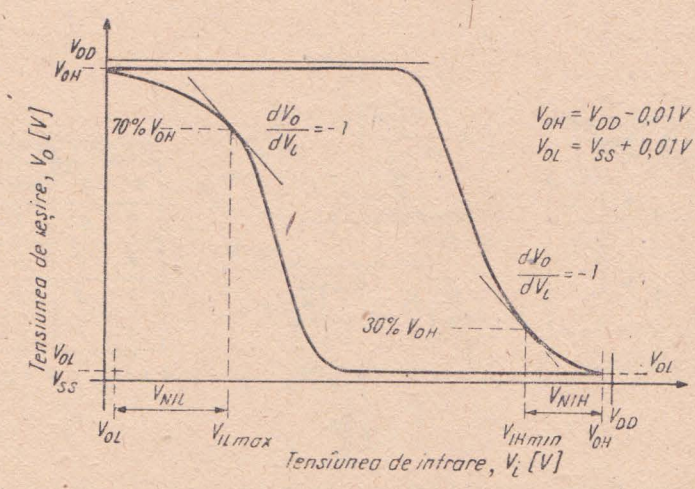


Fig. 1.16. Definiția imunității la zgomot de tensiune.

logic **SUS** în nivel logic **JOS**. Dacă acționarea se face pe front, aceasta se notează sau . Acționarea pe palier se notează cu valoarea logică corespunzătoare.

În tabelele de adevăr, cu *X* se notează valorile variabilelor logice care nu contează (*don't care*) pentru funcția respectivă.

Simbolul „○" pe o intrare indică nivelul activ **JOS**, adică intrarea acționează pe nivelul de **0** logic.

1.5. Porți logice CMOS

1.5.1. Porți logice SAU-NU (NOR)

Pentru a realiza o poartă logică CMOS, este necesară cîte o pereche complementară de tranzistoare pentru fiecare intrare, deci o structură de inversor.

Pentru poarta SAU-NU (NOR), tranzistoarele MOS cu canal *p* corespunzătoare intrărilor sînt legate în serie, iar tranzistoarele MOS cu canal *n* în paralel, după cum se vede în figura 1.17 pentru o poartă SAU-NU (NOR) cu 2 intrări. Porțile tranzistoarelor Q_1 și Q_3 sînt legate împreună ca să formeze intrarea A corespunzătoare inversorului de bază. Porțile corespunzătoare tranzistoarelor Q_2 și Q_4 formează intrarea B.

O tensiune **SUS** ($+V_{DD}$) prezentă pe oricare dintre intrări (A sau B) va duce la blocarea tranzistorului MOS cu canal *p* și deschiderea tranzistorului MOS cu canal *n* corespunzător intrării respective, ieșirea comutînd **JOS** (V_{SS}). Ambele semnale de intrare (A și B), trebuie să fie **JOS** ca să deschidă

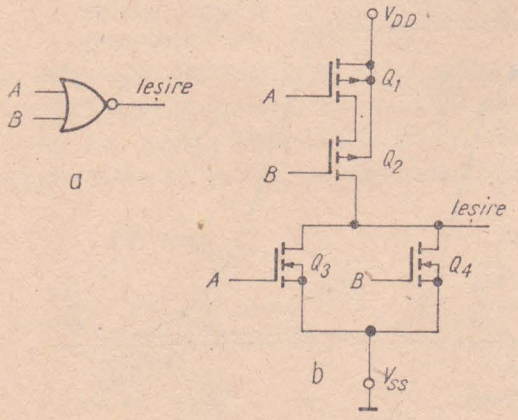


Tabela de adevăr

A	B	Ieșire
0	0	1
0	1	0
1	0	0
1	1	0

1 = $+V_{DD}$; **0** = V_{SS}

c

Fig. 1.17. Poarta logică SAU-NU (NOR): simbol (*a*), schemă electrică (*b*) și tabelă de adevăr (*c*).

ambele tranzistoare MOS cu canal *p* și să le blocheze pe cele MOS cu canal *n*, astfel încît ieșirea să comute la o tensiune **SUS** ($+V_{DD}$).

Tabela de adevăr a funcției SAU-NU (NOR) este prezentată în figura 1.17, *c*, cu convenția unei logici pozitive.

Dacă la ieșirea funcției SAU-NU (NOR) adăugăm un inversor, se obține funcția SAU (OR) pentru cele două intrări A și B.

Porți SAU-NU (NOR) cu mai multe intrări se obțin prin adăugare de perechi complementare de tranzistoare în mod corespunzător, adică „m" tranzistoare MOS cu canal *n* în paralel și „m" tranzistoare MOS cu canal *p* în serie formează o poartă SAU-NU (NOR) cu „m" intrări.

În cadrul seriei de circuite CMOS 4000, se fabrică mai multe tipuri de funcții SAU-NU (NOR) și SAU (OR) cu 2, 3, 4 și 8 intrări (tabelul 1.4).

1.5.2. Porți logice ȘI-NU (NAND)

Poarta logică ȘI-NU (NAND) se construiește similar cu poarta logică SAU-NU (NOR). Acum, tranzistoarele MOS cu canal *n* sînt conectate în serie, iar cele MOS cu canal *p* în paralel (fig. 1.18).

Ieșirea stă la o tensiune **JOS** (V_{SS}) numai în cazul cînd ambele tranzistoare MOS cu canal *n* (Q_3 și Q_4) sînt deschise, deci, cînd ambele intrări A și B, sînt la o tensiune **SUS** ($+V_{DD}$). Tabela de adevăr este prezentată în figura 1.18*c*.

Funcția ȘI (AND) se obține inversînd semnalul de ieșire al funcției ȘI-NU (NAND), deci, folosind un inversor la ieșire.

Adăugînd perechi complementare de tranzistoare, corespunzător, se fabrică porți ȘI-NU (NAND) și ȘI (AND) cu 2, 3, 4 și 8 intrări (tabelul 1.4).

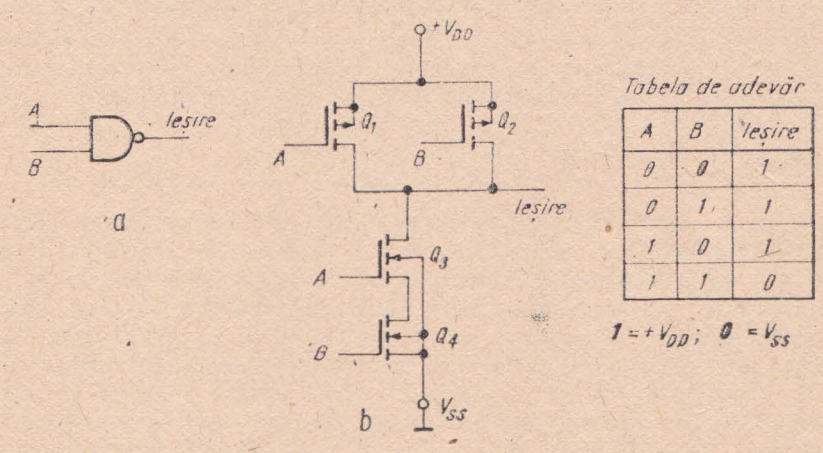


Fig. 1.18. Poarta logică ȘI-NU (NAND): simbol (*a*), schemă electrică (*b*) și tabelă de adevăr

1.5.3. Porți logice fundamentale fabricate în seria CMOS 4 000

Porțile logice SAU-NU (NOR), ȘI-NU (NAND), SAU (OR) și ȘI (AND) fabricate în cadrul seriei CMOS 4000 la Microelectronica sînt prezentate în tabelul 1.4.

Tabelul 1.4

TIPURI DE PORȚI	SAU-NU (NOR)	ȘI-NU (NAND)	SAU (OR)	ȘI (AND)
4 porți cu 2 intrări	MMC 4001	MMC 4011	MMC 4071	MMC 4081
3 porți cu 3 intrări	MMC 4025	MMC 4023	MMC 4075	MMC 4073
2 porți cu 4 intrări	MMC 4002	MMC 4012	MMC 4072	MMC 4082
2 porți cu 3 intrări și 1 inversor	MMC 4000			
1 poartă cu 8 intrări	MMC 4078	MMC 4068	MMC 4078	MMC 4068
4 porți cu 2 intrări trigger Schmitt		MMC 4093		

Dacă nu se utilizează toate intrările unei porți, *intrările nefolosite nu pot fi lăsate flotante* („*în vînt*"). Astfel, orice acumulare de sarcină statică la intrarea de impedanță mare neutilizată poate cauza creșterea potențialului grilei la un nivel care va deschide ambele tranzistoare, MOS cu canal *n* și MOS cu canal *p*, obținîndu-se o disipare de putere excesivă. De exemplu, dacă poarta MMC 4078 de 8 intrări se folosește ca o poartă *SAU-NU* (*NOR*) cu 7 intrări, *intrarea neutilizată trebuie legată la „V_{SS}" sau la una din intrările active*, pentru a fi siguri că toate tranzistoarele MOS cu canal *p* sînt deschise și cele MOS cu canal *n* blocate, cînd toate intrările active sînt **JOS**. Pentru o poartă *ȘI-NU* (*NAND*), *intrarea nefolosită trebuie legată la „+V_{DD}" sau la o intrare activă* pentru a ne asigura că toate tranzistoarele MOS cu canal *n* sînt deschise și cele MOS cu canal *p* blocate, cînd toate intrările active sînt **SUS**.

Observație. Legarea intrărilor nefolosite la una din intrările active nu se recomandă în cazul în care se dorește performanțe de viteză ridicată. Legarea împreună a mai multor intrări conduce la creșterea capacității de intrare, deci creșterea timpului de propagare (relația (1-29)).

1.5.4. Porți de transmisie

Un bloc fundamental în construcția de circuite integrate CMOS este poarta de transmisie (*transmission gate*), prezentată în figura 1.19. Aceasta constă dintr-o pereche complementară de tranzistoare conectate în paralel. Se comportă ca un comutator, variabila logică A fiind intrarea de control.

Cînd poarta de transmisie este deschisă, între intrare și ieșire apare o rezistență serie mică (ideal nulă), ceea ce permite trecerea curentului în ambele direcții. Valoarea tensiunii pe intrare trebuie să fie pozitivă în raport cu substratul (V_{SS}) tranzistorului MOS cu canal *n* și negativă în raport cu substratul (V_{DD}) tranzistorului MOS cu canal *p*. Poarta de transmisie este deschisă cînd intrarea de control A este **SUS** (V_{DD}), respectiv $\overline{A}$ este **JOS** (V_{SS}).

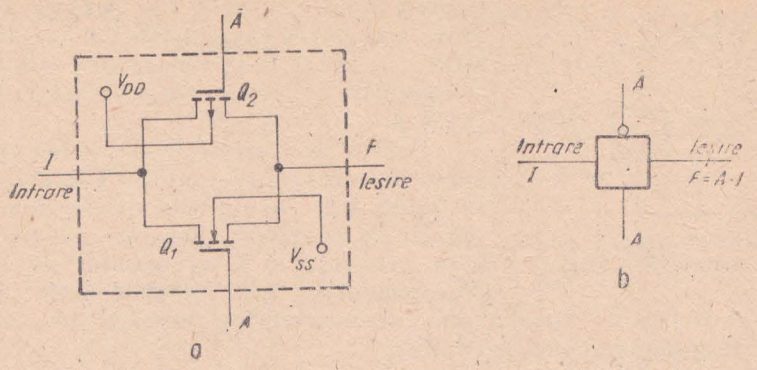


Fig. 1.19. Poarta de transmisie CMOS (*a*) și simbolul ei (*b*).

Cînd intrarea A este JOS (V_{SS}) și $\overline{A}$ este SUS (V_{DD}), poarta de transmisie este blocată între intrare și ieșire, apărînd o rezistență de valoare foarte mare ($\sim 10^9\ \Omega$).

Avantajul prezenței perechii complementare de tranzistoare în paralel, constă în faptul că excursia de semnal pe intrare nu va fi limitată de valorile tensiunilor de prag ale tranzistoarelor și aceasta va fi pe toată gama tensiunilor de alimentare. Cum sursele și drenele dispozitivelor MOS sînt interschimbabile, nu are nici o importanță sensul de curgere al curentului prin poarta de transmisie.

Valoarea rezistenței serie intrare-ieșire R_{ON}, corespunzătoare stării de deschidere a porții de transmisie este dependentă de valoarea tensiunii aplicate la intrare, de diferența de potențial dintre cele două substrate ($V_{DD}-V_{SS}$) și de sarcina pe care debitează ieșirea. Rezistența R_{ON} este definită ca rezistența serie intrare-ieșire a porții de transmisie, care lucrează pe o sarcină de 10 kΩ între ieșire și masă.

Figura 1.20 exemplifică un efect de creștere a valorii rezistenței serie R_{ON} cu tensiunea de intrare V_{IN} aplicată porții de transfer din figura 1.19.

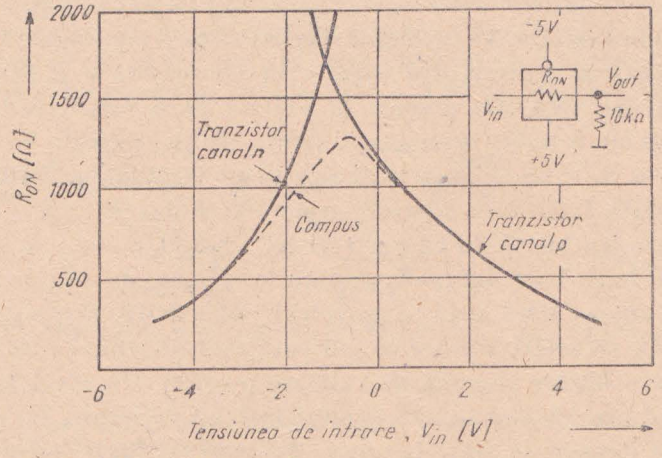


Fig. 1.20. Dependența rezistenței serie R_{ON} de tensiunea de intrare V_{in}, pentru o poartă de transmisie CMOS.

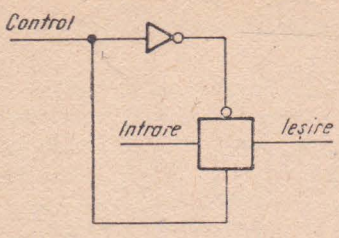


Fig. 1.21. Schema logică pentru un comutator CMOS.

Pantele diferite ale curbei se datorează sensibilității mai mari a caracteristicilor tranzistorului MOS cu canal *n* la polarizarea substratului, comparativ cu cea a tranzistorului MOS cu canal *p*.

Poarta de transmisie împreună cu un inversor formează un comutator bilateral, precum în figura 1.21. Acum este nevoie de un singur semnal de comandă, deoarece inversorul asigură existența și a semnalului de comandă complementat, deci tranzistoarele MOS cu canal *n* și MOS cu canal *p* sînt deschise (*ON*), respectiv blocate (*OFF*) simultan de către semnalul de control.

Circuitul integrat MMC 4016 conține 4 astfel de comutatoare bilaterale pe capsulă și este identic pin cu pin cu circuitul MMC 4066. În plus, circuitul MMC 4066 are o structură modificată a comutatorului (polarizarea substratului tranzistorului MOS cu canal *n* prin intermediul unui etaj suplimentar) în scopul obținerii unei valori constante a rezistenței serie R_{ON} a comutatorului pe toată plaja tensiunilor de intrare.

Aceeași structură modificată de comutator este folosită și la realizarea multiplexoarelor analogice cu 16 canale MMC 4067, respectiv cu 8 canale diferențiale MMC 4097 cum și pentru multiplexoarele analogice cu 8 canale MMC 4051, cu 4 canale diferențiale MMC 4052, respectiv triplu cu 2 canale MMC 4053.

1.6. Funcții logice secvențiale

1.6.1. Circuitul bistabil tip RS (*Reset-Set*)

Circuitul bistabil tip *RS* (denumit și *latch*) este cel mai simplu tip de circuit bistabil și poate fi realizat prin conectarea încrucișată a 2 porți SAU-NU (NOR) sau SI-NU (NAND), precum în figura 1.22, *a*, respectiv 1.22, *b*.

Acest circuit bistabil memorează starea logică prezentă pe oricare din intrările *R* sau *S*. Trebuie observat că în cazul bistabilului realizat cu porți SAU-NU (NOR), informația rămîne memorată pentru $R = S = 0$, respectiv $\bar{R} = \bar{S} = 1$ pentru bistabilul cu porți SI-NU (NAND).

În cadrul seriei 4000 sînt realizate ambele variante de circuite bistabile *RS* (latch-uri) și anume MMC 4043 cu porți SAU-NU (NOR), respectiv MMC 4044 cu porți SI-NU (NAND). Fiecare circuit conține 4 bistabili cu ieșiri „3-state", controlate de o intrare comună de validare (*enable*). Un nivel logic **JOS (0)** pe această intrare, deconectează circuitul bistabil de ieșirea sa, obținîndu-se o condiție de impedanță mare la ieșire. Această facilitate este utilă pentru conectarea circuitelor pe o magistrală (bus) comună de date.

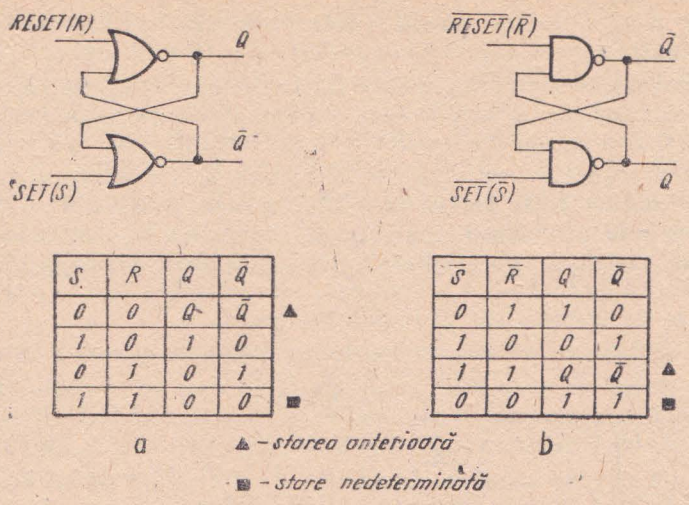


Fig. 1.22. Schema logică și tabelul de adevăr pentru bistabilul RS, realizat cu porți SAU-NU (NOR) (*a*), respectiv porți ȘI-NU (NAND) (*b*).

1.6.2. Circuit bistabil master-slave tip *D**

Schema de principiu a unui circuit bistabil master-slave tip *D* este prezentată în figura 1.23. Bistabilul (latch-ul) *master*, ca și cel *slave*, este realizat cu două inversoare și două comutatoare (practic, porți de transmisie). Semnalul de control al comutatoarelor este denumit acum semnal de tact (ceas), deoarece determină succesiunea operațiilor în timp.

Cînd comutatorul K_1 este scurtcircuit iar comutatorul K_2 este în gol, bistabilul *master* va prelua data prezentă la intrare, în timp ce bistabilul *slave* reține data care a fost prezentă pe intrare la momentul anterior de timp și o livrează la ieșire. Cînd K_1 este în gol și K_2 scurtcircuit, data va fi menținută în bistabilul *master* și va fi preluată de bistabilul *slave*.

Comutatoarele K_1 și K_2 sînt realizate cu porți de transmisie comandate în antifază de către semnalul de tact (ceas). Poarta de transmisie K_1 va fi

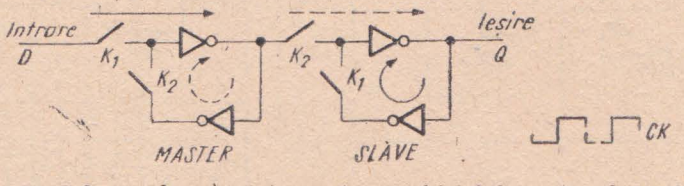


Fig. 1.23. Schema de principiu pentru un bistabil master-slave tip *D*.

---

* — Vom folosi nomenclatura din limba engleză *master-slave* în locul celei românești, mai puțin răspîndită, *stăpîn-sclav*.

— Denumirea *de tip D* vine de la termenul din limba engleză *delayed*, adică *întîrziat*.

blocată, iar poarta de transmisie K_2 va fi deschisă cînd ceasul este **SUS** (**1** logic), situația inversîndu-se cînd ceasul este **JOS** (**0** logic).

Bistabilul master-slave tip *D* este static și își menține starea un timp nedefinit dacă nu apar impulsuri de tact suplimentare, deci memorează starea intrării anterioare ultimului impuls de tact aplicat.

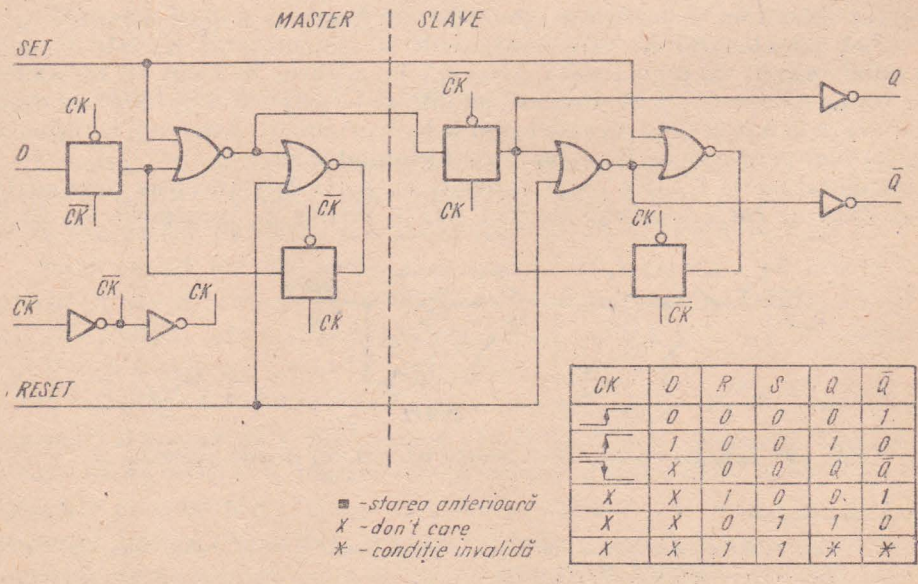
Acționarea se face pe frontul pozitiv al ceasului. La fiecare tranziție din **0** în **1** a semnalului de tact, bistabilul *D* va prelua intrarea pe nivelul de **0** al tactului și va menține această valoare pe nivelul de ieșire pînă la următoarea tranziție **0** în **1**. Astfel, el *întîrzie* o schimbare a datelor la intrare pînă la sfîrșitul perioadei semnalului de tact cînd schimbarea este prezentă la ieșire. De aici provine definiția de bistabil tip *D* (adică *delayed*).

Porțile de transmisie solicită existența atît a semnalului de ceas, cît și a complementului acestuia (CK, respectiv $\overline{CK}$), ceea ce se obține folosind un inversor. Dacă inversoarele se înlocuiesc cu porți SAU-NU (NOR), putem obține un bistabil tip *D* cu comenzi asincrone de set și reset (fig. 1.24).

După cum se vede în tabela de adevăr, un nivel **SUS** pe intrarea reset R pune ieșirea Q **JOS**, iar un nivel **SUS** pe intrarea set S pune ieșirea Q **SUS**. În cazul în care aceste intrări nu se folosesc ele trebuie legate **JOS**, ca poarta să nu floteze.

Schema prezentată în figura 1.24 reprezintă o jumătate din circuitul integrat MMC 4013, care conține 2 bistabili master-slave tip *D*.

Există realizate circuite bistabile *D* simple (jumătate dintr-un master-slave), adică latch-uri tip *D* și anume MMC 4042, care conține 4 latch-uri tip *D*, MMC 4508 care conține 2 latch-uri tip *D* de 4 biți cu ieșiri „3-state", MMC 4076 care conține 4 latch-uri tip *D* cu ieșiri „3-state".



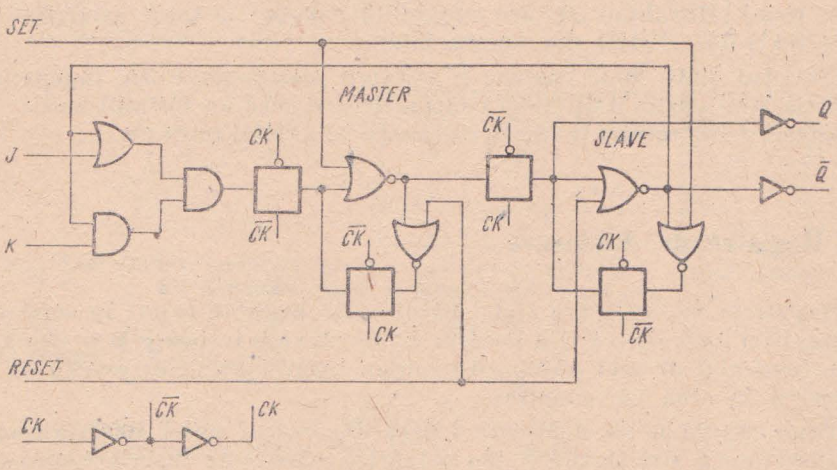
CK	D	R	S	Q	$\overline{Q}$
↓	0	0	0	0	1
↓	1	0	0	1	0
↓	X	0	0	■	■
X	X	1	0	0	1
X	X	0	1	1	0
X	X	1	1	*	*

Fig. 1.24. Schema logică și tabelul de adevăr pentru un bistabil master-slave tip *D*, cu capabilitate de set-reset.

1.6.3. Circuit bistabil master-slave tip *JK**

Figura 1.25 prezintă schema logică și tabelul de adevăr pentru un circuit bistabil master-slave tip *JK*.

Bistabilul tip *JK* este similar cu cel tip *D*, dar are intrări separate, J și K, pentru a stabili starea următoare din starea existentă. Bistabilul *JK* poate fi privit ca un bistabil *RS* validat pe tact și cu o comportare definită pentru orice combinație de intrări. Cînd ambele intrări J și K sînt egale cu 1, bistabilul basculează la fiecare impuls de tact (modul de lucru *toggle* — bista-



t_{n-1}						t_n	
CK	J	K	S	R	Q	Q	$\bar{Q}$
↑	1	X	0	0	0	1	0
↑	X	0	0	0	1	1	0
↑	0	X	0	0	0	0	1
↑	X	1	0	0	1	0	1
↓	X	X	0	0	X	■	■
X	X	X	1	0	X	1	0
X	X	X	0	1	X	0	1
X	X	X	1	1	X	*	*

■ = Starea anterioară
X = Don't care
* = Condiție invalidă
t_{n-1} = Perioada de timp anterioară unei tranziții pozitive a ceasului
t_n = Perioada de timp posterioară tranziției pozitive a ceasului

Fig. 1.25. Schema logică și tabelul de adevăr pentru un bistabil master-slave tip *JK*.

* Denumirea de bistabil tip *JK* provine de la termenii din limba engleză *jamkeep*, adică *forțează-păstrează*.

bilul devine de tip *T* [10], [11], [12]); pentru restul combinațiilor, intrarea J se comportă ca o intrare de SET sincronă pe tact, iar intrarea K precum o intrare de RESET sincronă pe tact.

În operare, bistabilul master-slave *JK* primește starea de intrare (J și K) în secțiunea *master*, cînd tactul este **JOS**, conținutul secțiunii *slave* rămînînd memorat. Cînd tactul trece **SUS**, conținutul din *master* este memorat și vărsat în *slave*.

Operarea ca un bistabil tip *T** se obține pentru J = K = **1**, cînd starea următoare a ieșirii (Q_{n+1}) va fi totdeauna complementara celei anterioare (Q_n).

Bistabilul JK este, de asemenea, *acționat pe frontul pozitiv al semnalului de tact (ceas)*. Bistabilul *JC* are capabilități de set și reset asincrone (prin porțile SAU-NU (NOR) din fiecare latch).

Circuitul MMC 4027 conține 2 bistabili master-slave *JK* independenți. Circuitele MMC 4095/MMC 4096 conțin, fiecare, cîte un bistabil master-slave cu 3 intrări J și 3 intrări K legate cu funcții SI (AND) între ele.

1.7. Registre de deplasare

Registrele de deplasare sînt alcătuite din bistabili legați în serie (uzual tip *D*), astfel încît ieșirea Q a fiecărei celule devine intrarea D a următoarei celule. Semnalul de tact (ceas) este comun tuturor celulelor pentru ca toată deplasarea să aibă loc simultan.

Toate registrele de deplasare CMOS din cadrul seriei 4000 fabricate la Microelectronica sînt statice**. Nu se fabrică registre de deplasare dinamice**, deși acestea există la alți producători.

1.7.1. Celule folosite în registre de deplasare statice

Configurațiile de celule fundamentale utilizate în construcția registrelor de deplasare statice sînt prezentate în figurile 1.26 și 1.27.

Celula reprezentată în figura 1.26 este compusă din două latch-uri legate într-o configurație de *circuit bistabil master-slave tip D*. Celula are posibilitatea de reset direct, prin intermediul a 2 porți SAU-NU (NOR). Aceasta reprezintă celula standard folosită în construcția registrelor de deplasare.

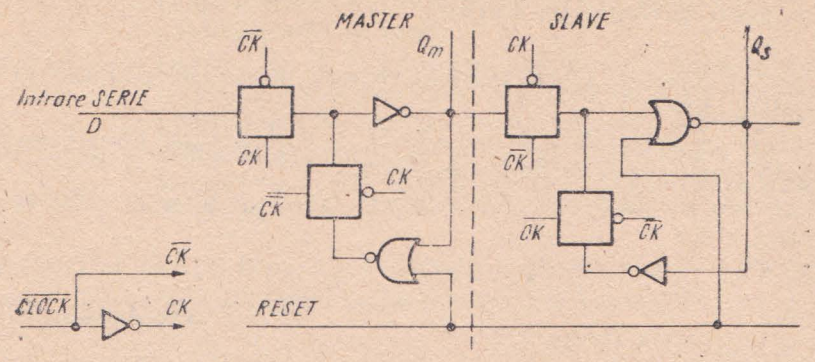
Prin adăugarea a 2 porți de transmisie (TG1, respectiv TG2) la configurația prezentată anterior, putem construi celule de registru de deplasare cu facilitate de intrare paralel.

Cu ajutorul unei intrări de control paralel/serie, celula registrului poate fi încărcată direct (facilitate de set) cu data disponibilă paralel (fig. 1.27).

---

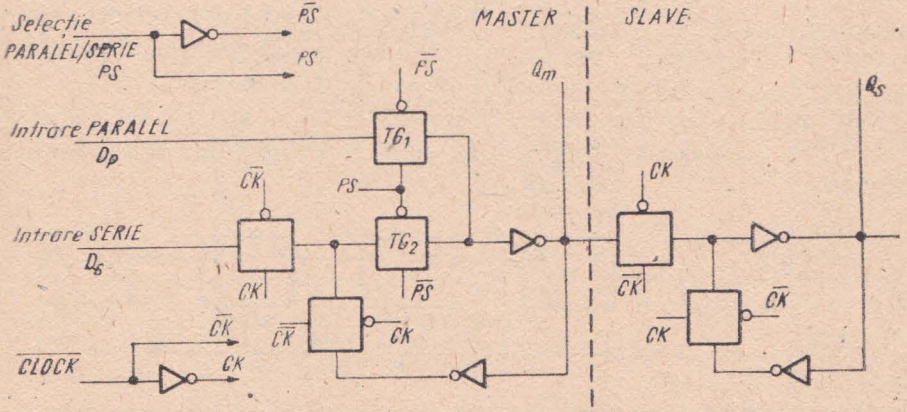
* — Termenul tip *T* vine de la cuvîntul din lb. engleză *toggle*, adică *basculant*.

** — Înțelegem prin static orice dispozitiv care își poate menține starea sa logică un timp nedefinit și indiferent de existența unui semnal de tact permanent. Dinamic va fi dispozitivul care, pentru a-și îndeplini funcția sa logică trebuie să i se aplice un semnal de tact exterior, permanent.



CLOCK	D	Q_m (master)	Q_S (slave)
↓	0	1	0
↓	1	0	1
↓	X	X	Q_n

Fig. 1.26. Celula standard pentru registre de deplasare statice (bistabil *D* master-slave) și tabelul său de adevăr.



	P/S	CLOCK	D_S	D_P	Q_m	Q_S
Intrare serie	0	↓	0	X	1	0
	0	↓	1	X	0	1
	0	↓	X	X	X	Q_n
Intrare paralel	1	↓	X	0	1	0
	1	↓	X	1	0	1
	1	↓	X	0	1	Q_n (0)
	1	↓	X	1	0	Q_n (1)

X = Don't care ; Q_n = Starea anterioară

Fig. 1.27. Celulă de registru de deplasare cu facilitate de intrare paralel (bistabil *D* master-slave) și tabelul de adevăr corespunzător acesteia.

1.7.2. Registre de deplasare statice

Există o varietate foarte mare de registre de deplasare statice în cadrul seriei CMOS 4000.

Schema de principiu este prezentată în figura 1.28. Funcționarea este explicitată prin formele de undă din figură.

Registrele de deplasare statice CMOS fabricate în seria 4000 la Microelectronica sînt:

- MMC 4014 — registru de deplasare static de 8 biți cu intrare sincronă paralel sau serie și ieșire serie, folosește celula prezentată în figura 1.27.
- MMC 4015 — două registre de deplasare statice de 4 biți cu intrare serie/ieșire paralel; folosește o celulă tip *D* master-slave identică cu cea prezentată în figura 1.26.
- MMC 4021 — registru de deplasare static de 8 biți cu intrare asincronă paralel sau sincronă serie și ieșire serie; celulele sînt bistabili master-slave tip *D* și cu intrare paralel (fig. 1.27).
- MMC 4031 — registru de deplasare static de 64 biți și folosește bistabili master-slave tip *D* (fig. 1.26) fără intrare de reset; circuitul are și intrare de recirculare a datelor selectabilă printr-o intrare de control al modului de lucru.
- MMC 4035 — registru de deplasare static de 4 biți cu intrări și ieșiri paralel și intrări *JK* serie, ieșiri inversate sau neinversate;

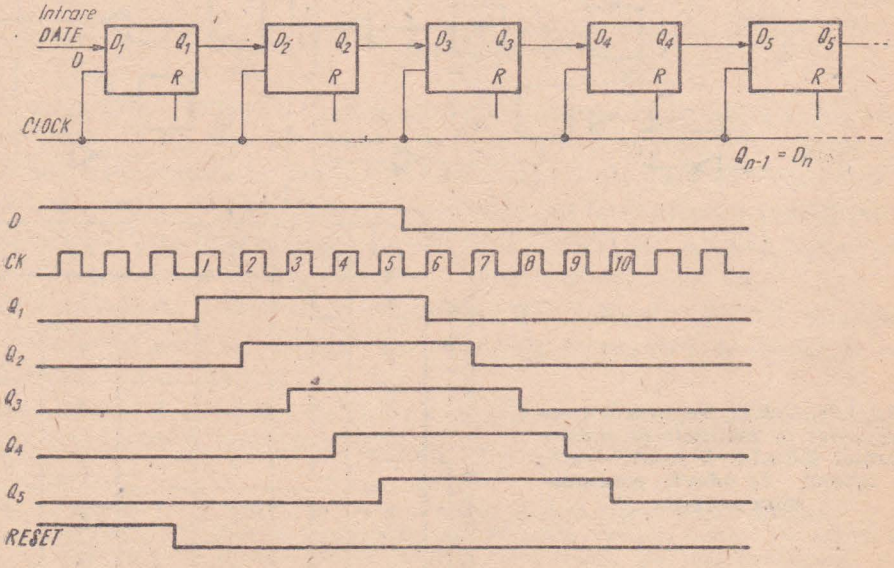


Fig. 1.28. Schema bloc și formele de undă pentru un registru de deplasare static cu mai multe etaje.

celula este de tipul celei prezentate în figura 1.27, cu intrare suplimentară de reset.

- MMC 4076 — registru de 4 biți intrare paralel/ieșire paralel, construit cu celule tip *D* (fig. 1.26) și posedă intrări de validare atît pentru intrările de date cît și pentru ieșiri, care sînt „3-state".
- MMC 40104 — registru de deplasare universal bidirecțional de 4 biți și folosește o celulă simplă tip *D* (fig. 1.26) fără posibilitate de reset.

1.8. Numărătoare

Numărătoarele din familia CMOS 4000 se pot clasifica precum în tabelul 1.5.

Tabelul 1.5

COD / FUNCȚIE	BCD	BINAR		JOHNSON	
Tip	Numărător Sincron	Numărător Sincron	Numărător asincron	Numărător octal	Numărător decadic
ÎNAINTE	MMC 4518 (dual)	MMC 4520 (dual)	MMC 4020 MMC 4024 MMC 4040 MMC 4060	MMC 4022	MMC 4017 MMC 4018 (divizor cu N)
REVERSIBIL, PRESETABIL	MMC 4510 MMC 4029 MMC 40192	MMC 4516 MMC 4029 MMC 40193			

Clasificarea a fost făcută după 2 criterii:

- codul de operare al numărătoarelor;
- modul de lucru al numărătoarelor.

În cadrul numărătoarelor standard există 3 tipuri de coduri folosite uzual:

- codul binar;
- codul zecimal codat binar (BCD);
- codul Johnson, octal sau zecimal.

Aceste tipuri de coduri sînt descrise pe larg în literatura de specialitate [10], [11].

Vom exemplifica principalele tipuri de celule utilizate în construcția numărătoarelor.

1.8.1. Celule de bază folosite în construcția numărătoarelor

Sînt trei tipuri diferite de celule de bază care se utilizează în construcția numărătoarelor :

— bistabilul *D* master-slave cu intrare de reset directă și este folosit la construcția numărătoarelor Johnson (v. cap. 4 și [11], [12]) ;

— bistabilul *T (toggle)* care este folosit pentru realizarea numărătoarelor asincrone ;

— bistabilul *TE (toggle enable)* cu intrare de set controlabilă de intrarea de validare a presetării *(preset enable)* și intrarea de reset directă; acest bistabil se folosește în construcția numărătoarelor sincrone presetabile.

Vom descrie în continuare aceste trei tipuri de celule fundamentale.

• *Bistabilul master-slave de tip D*

Bistabilul master-slave tip *D* utilizat la construcția numărătoarelor Johnson este similar cu cel folosit în construcția registrelor de deplasare și este prezentat în figura 1.29.

Funcția de reset se realizează prin forțarea unui 1 logic la ieșirea porții SAU-NU (NOR). Trebuie observat că valoarea datei prezente la intrare este transmisă la ieșirea Q pe tranziția pozitivă a semnalului de tact.

• *Bistabilul master-slave de tip T*

Un bistabil tip *T* se obține prin legarea ieșirii $\overline{Q}_i$ la intrarea de date D, corespunzătoare unui bistabil master-slave tip *D* [12]. Semnalul de tact controlează toate porțile de transmisie ale bistabilului. Această reacție de la ieșirea $\overline{Q}_i$ la intrarea D ne asigură că ieșirea Q, la impulsul $n + 1$ al tactului, este totdeauna complementarul intrării D_n (adică intrarea D la tactul n).

Bistabilul de tip *T* (*toggle*) divide cu 2 frecvența semnalului de tact [11].

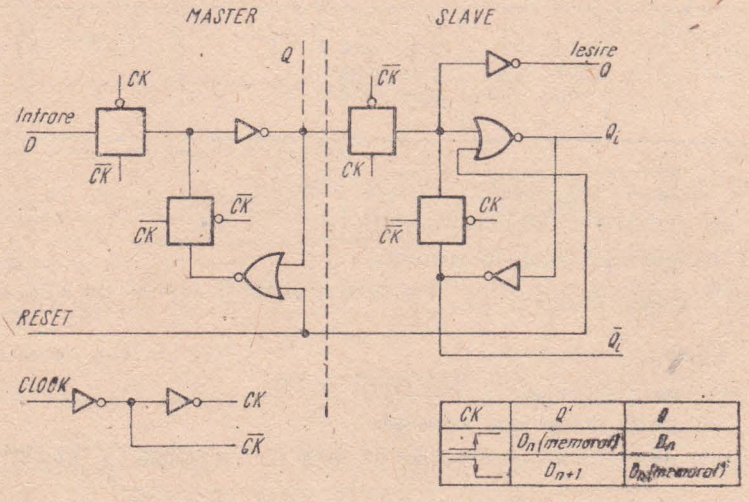


Fig. 1.29. Schema logică și tabela de adevăr pentru bistabilul master-slave tip *D*, folosit în numărătoare.

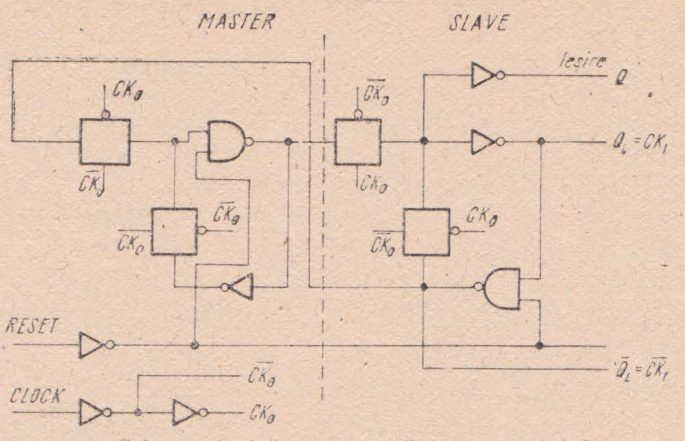


Fig. 1.30. Schema logică corespunzătoare bistabilului master-slave tip T folosit în numărătoare cu transport succesiv.

Figura 1.30 ne prezintă schema logică a unui bistabil de tip T.

Ieșirile Q_t (și $\overline{Q}_t$) formează semnalul de tact care va fi aplicat etajului următor în cazul structurii de numărător asincron (cu transport succesiv). Intrarea principală de reset forțează 1 logic la ieșirea porților SI-NU (NAND) din reacția bistabilului.

• *Bistabilul master-slave de tip TE*

Bistabilul tip *TE* (*toggle enable*) are o configurație similară cu bistabilul tip *T* [13]. Diferența notabilă constă din faptul că intrarea de tact este validată de o intrare de validare a modului de funcționare tip *toggle* (*toggle enable*) care, funcție de valoarea sa logică, controlează semnalul de tact aplicat porților de transmisie ale bistabilului. Această configurație de bistabil este utilizată în numărătoarele presetabile. Figura 1.31 exemplifică un bistabil de tip *TE*.

Structura tipică a acestui bistabil conține intrări de presetare și validare a presetării (*preset*, respectiv *preset enable*), care permit bistabilului să fie presetat prin logică suplimentară.

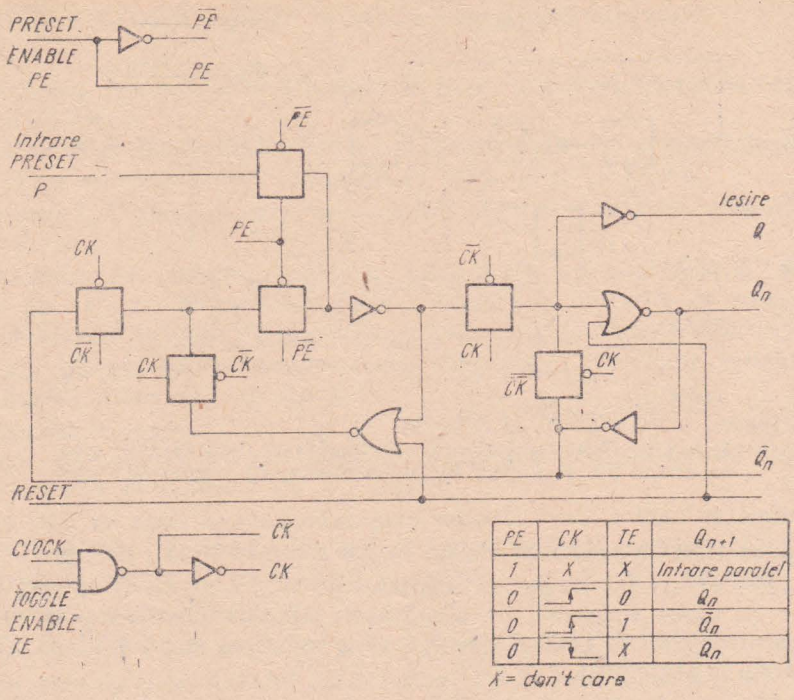
Intrarea de reset principală acționează identic cu situațiile prezentate anterior (bistabilul *D* și *T*).

Acționarea bistabilului tip *TE* se face pe frontul pozitiv al semnalului de tact.

Bistabilul de tip *TE* permite construcția numărătoarelor sincrone. Celelalte tipuri de celule nu permit construcția numărătoarelor sincrone.

1.8.2. Realizarea numărătoarelor din seria CMOS 4 000

Schema din figura 1.32 exemplifică un numărător binar asincron, care utilizează o celulă de tip *T* (fig. 1.30). Formele de undă prezentate în figură explică funcționarea numărătorului. Numărătorul avansează la fiecare tranziție negativă a semnalului de tact.



PE	CK	TE	Q_{n+1}
1	X	X	Intrare paralel
0	↓	0	Q_n
0	↓	1	$\bar{Q}_n$
0	↑	X	Q_n

X = don't care

Fig. 1.31. Schema logică și tabela de adevăr pentru un bistabil master-slave tip TE presetabil, utilizat în construcția numărătoarelor presetabile.

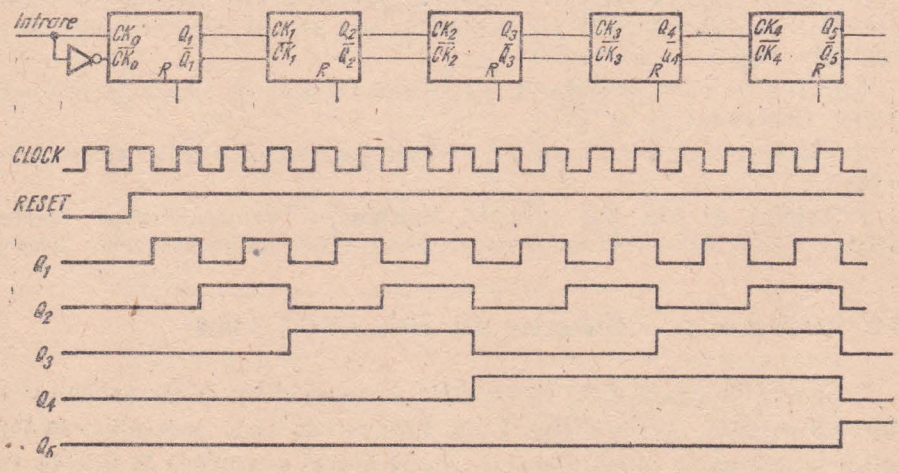


Fig. 1.32. Schema logică și formele de undă pentru un numărător asincron cu mai multe etaje.

Tot astfel se pot construi tipurile de numărătoare fabricate la noi în țară din seria CMOS 4000 :

- MMC 4017 — numărător decadic Johnson conține 5 etaje și 10 ieșiri decodate ; celula este de tip *D* master-slave (fig. 1.29) ; circuitul are și o intrare de inhibare a semnalului de tact *(clock inhibit)* ;
- MMC 4018 — numărător presetabil divizor cu N. Este, în esență, un numărător Johnson cu 5 etaje ; celula este identică cu cea prezentată în figura 1.27. Circuitul poate diviza cu orice număr între 2 și 10 în funcție de reacțiile care i se aplică ;
- MMC 4022 — numărător octal Johnson care conține 4 etaje (celulă *D* master-slave, fig. 1.29) și 8 ieșiri decodate ; posed ăintrare de inhibare a semnalului de tact (clock inhibit) ;
- MMC 4020/ 4024/4040/ 4060 — numărătoare asincrone (*ripple counter*) cu 14 etaje, 7 etaje, 12 etaje și, respectiv, 14 etaje cu oscilator încorporat ; celulele sînt master-slave tip *T* (fig. 1.31) și avansarea numărătorului se produce la fiecare tranziție negativă a semnalului de tact ; schema de principiu a unui astfel de numărător este prezentată în figura 1.32.
- MMC 4029 — numărător sincron reversibil presetabil binar sau BCD ; folosește celule tip *TE* master-slave (fig. 1.31) ; există intrări de selecție a modului de lucru, adică înainte sau înapoi, binar sau BCD ;
- MMC 4510 — numărător sincron BCD reversibil presetabil ; este construit cu 4 celule tip *TE* master-slave (fig. 1.31) fără facilitatea de *toggle enable* ;
- MMC 4516 — numărător sincron binar reversibil presetabil cu structură similară cu circuitul MMC 4510 ;
- MMC 4518 — numărător sincron BCD dual cu 4 celule tip *T* master-slave (fig. 1.20) ; intrările de tact (respectiv validare—enable) sînt interschimbabile, făcînd ca avansarea numărătorului să se facă fie pe tranziția pozitivă, fie pe cea negativă a semnalului de tact ;
- MMC 4520 — numărător sincron binar dual, similar constructiv cu circuitul MMC 4518 ;
- MMC 40192 — numărător sincron BCD reversibil presetabil ; celula de tip *T* master-slave (fig. 1.30) care conține și facilitate de set (vezi § 1.6.2) ; are o intrare pentru numărare înainte și alta pentru numărare înapoi ;
- MMC 40193 — numărător sincron binar reversibil și presetabil și este similar constructiv cu circuitul MMC 40192.

BIBLIOGRAFIE

[1] M. I. Elmary . Digital MOS Integrated Circuits : A Tutorial. Digital MOS Integrated Circuits, IEEE Press 1981, p. 4.
[2] W. N. Carr, J. P. Mize. MOS/LSI Design and Application, McGraw-Hill, 1972.
[3] R. S. C. Cobbold. Theory and Applications of Field-Effect Transistors, Wiley Interscience, 1970.
[4] * * * Fundamentals of Circuit Elements of COS/MOS IC's, RCA Corporation, 1973.
[5] C. T. Sah. Characteristics of Metal-Oxide-Semiconductor Transistors, IEEE Transactions of Electron Devices, *ED-11*, p. 324.
[6] H. K. J. Ihantola, J. L. Moll. Design Theory of Surface Field-Effect Transistor, Solid State Electronics, *9*, p. 847.
[7] P. Richman. MOS Field-Effect Transistors and Integrated Circuits, Wiley Interscience, 1973.
[8] J. R. Burns. Switching Response of Complementary-symmetry MOS Transistor Logic Circuits, RCA Review, *25*, p. 627.
[9] * * * COS/MOS Integrated Circuits Manual, RCA Corporation, 1979.
[10] A. Vătăşescu, ş.a. Dispozitive semiconductoare. Manual de utilizare. Ed. Tehnică, 1975.
[11] R. L. Morris, J. R. Miller. Designing with TTL Integrated Circuits, Mc Graw-Hill, 1971.
[12] G. M. Ştefan, ş.a. Circuite integrate digitale, Ed. Didactică şi Pedagogică, 1984.
[13] * * * Mc MOS Handbook, Motorola Inc., 1974.

2. Proiectarea cu circuite integrate CMOS 4000

2.1. Introducere

În capitolul de față vom face referiri concrete la caracteristicile dispozitivelor CMOS din seria *MMC 4XXX* [1]. În același timp, vom căuta să-i familiarizăm pe utilizatorii de circuite CMOS cu termenii de bază folosiți pentru caracterizarea performanțelor și funcționării circuitelor din această familie logică.

Vom aborda problemele noi apărute pentru proiectantul care utilizează circuite integrate CMOS, cum ar fi: prezentarea specificului manipulării circuitelor CMOS, considerente — absolut necesare — privind modul de funcționare și utilizare a diverselor terminale ale circuitelor în discuție (intrări, ieșiri, surse de alimentare).

Pentru completarea cunoștințelor necesare însușirii regulilor de bază privind utilizarea familiei CMOS 4000, spre finalul capitolului se tratează problemele de interfațare. Un spațiu aparte am acordat problemelor referitoare la imunitatea la zgomot a circuitelor din această familie.

În vederea familiarizării tuturor categoriilor de utilizatori cu profilul familiei logice CMOS 4000, tratarea se face comparativ cu alte familii logice.

2.2. Caracteristici generale ale circuitelor CMOS seria 4000

2.2.1. Performanțele seriei CMOS *MMC 4XXX*

Dezvoltarea de circuite integrate în tehnologie CMOS pe care și-a propus-o Microelectronica urmărește acoperirea gamei de circuite cunoscută pe plan internațional sub denumirea de seria CMOS 4000B [2], [3]. Avantajele pe care le prezintă circuitele din această serie, comparativ cu „sora" ei mai în vîrstă — seria 4000A, se pot sintetiza prin următoarele aspecte calitative: curent la ieșire mare, caracteristici de ieșire simetrice (rezultate din simetria caracteristicilor tranzistoarelor cu canal *p* și cu canal *n*) și îmbunătățirea circuitelor de protecție electrostatică.

Performanțele enumerate mai sus au fost posibile, în primul rînd, prin completarea schemei electrice a fiecărui tip de circuit, atît la intrare cît și la

ieșire, cu cîte un etaj de tip buffer. Cea mai mare parte din circuitele din seria *MMC 4XXX* au structura : *buffer-circuit funcție-buffer*.

În cazul circuitelor cu buffer la ieșire, impedanța de ieșire în starea *ON* (deschis) este independentă de structura internă (funcția logică).

În tabelul 2.1 se prezintă o comparație calitativă între versiunile cu și fără buffer a porților SAU-NU (NOR) și SI-NU (NAND) [4].

Tabelul 2.1

CARACTERISTICI	CU BUFFER	FĂRĂ BUFFER
Timp de propagare	MEDIU	MAI MIC (STABIL)
Margine de zgomot	EXCELENTĂ	BUNĂ
Impedanța de ieșire și timpul de tranziție la ieșire	CONSTANTĂ	VARIABILĂ
Amplificarea	MARE	SCĂZUTĂ
Oscilații la ieșire pentru semnale lent variabile la intrări	DA	NU
Capacitate la intrare	MICĂ	MARE

Din punctul de vedere al aplicațiilor circuitelor cu și fără buffer, trebuie arătat că cele cu buffer sînt de preferat în următoarele tipuri de aplicații : zgomote (paraziți) puternice, dar sisteme de mică viteză, aplicații combinaționale reclamînd impedanță constantă la ieșire (de exemplu, convertoare D/A cu rețea de tip R-$2R$), aplicații cu caracter liniar care presupun amplificare mare și frecvență joasă.

Circuitele fără buffer la ieșire pot fi preferate, în detrimentul celor cu buffer, în sistemele care lucrează la frecvențe foarte mici ($\sim$1 kHz) sau cu fronturi mai mari de 1 ms.

Pentru ca utilizatorul să-și poată crea o imagine cît mai completă despre posibilitățile și performanțele circuitelor din seria *MMC 4XXX* prezentăm în continuare o comparație cantitativă a principalilor parametri electrici ai diverselor familii tehnologice de circuite integrate logice (tabelul 2.2). După cum se poate constata, fiecare familie logică de circuite integrate prezintă aspecte care nu pot fi ignorate în cadrul strict al aplicației la utilizator. Astfel, în aplicațiile în care viteza de lucru nu este un parametru esențial, dar se pune problema unui consum redus de energie, precum și a lucrului într-un mediu parazitat, familia de circuite integrate CMOS *MMC 4XXX* se poate folosi cu rezultate din cele mai bune.

Relativ la tabelul 2.2, trebuie făcută următoarea precizare : *fan-out*-ul (deci numărul de intrări comandate de o singură ieșire) se referă la comanda de circuite din aceeași familie logică. Între performanțele care detașează familia CMOS 4000 de celelalte familii logice, putem enumera :

- valori minime pentru curentul static de alimentare (I_L) pe toate cele trei categorii de complexitate tehnologică ;
- curent maxim rezidual la intrare (I_{IH}, I_{IL}) = ± 1 μA la V_{DD} = +18 V, pentru tipurile G și H și V_{DD} = + 15 V, pentru tipurile E și F, indiferent de tensiunea de la intrare și de valorile temperaturii de funcționare ;

Tabelul 2.2

FAMILIE LOGICĂ	TENSIUNI DE ALIMENTARE RECOMANDATE [V]	MARGINE DE ZGOMOT [V]	TIMP DE PROPAGARE t_{PHL} [ns]	FRECV. MAXIMĂ DE TACT [MHz]	PUTERE DISIPATĂ DE POARTĂ [nW]	FAN OUT
CMOS *MMC 4XXX*	3...15(3...18)	$40\%V_{DD}$	40...20	8...16	10	50
CMOS *74CXXX*	3...15 (3...18)	$40\%V_{DD}$	50...30	3... 8	10...30	50
CMOS *74SCXXX*	3...7	$40\%V_{DD}$	36	30	10	50
CMOS *74HCXXX*	2...6	$30\%V_{DD}$	6	60	10	10LS TTL
CMOS *74HCTXXX*	2...6	$30\%V_{DD}$	6	60	10^3	10LS TTL
CMOS *74HCUXXX*	2...6	$30\%V_{DD}$	6	60	10^3	10LS TTL
TTL *74XXXN*	5	1	10	35	10^7	10
TTL *74LXXXN*	5	1	33	3	10^8	10
TTL *74SXXXN*	5	1	3	125	$1{,}9\times10^7$	10
TTL *74LSXXXN*	5	1	10	45	2×10^8	20
TTL *74ASXXXN*	5	1	1,5		$2{,}2\times10^7$	20
TTL *74ALSXXXN*	5	1	4	50	10^8	20
DTL	5	0,7	30	5	8×10^8	10
HTL	15	4	85	3	3×10^7	10
ECL 10 000	−5,2	0,17	2	125	$2{,}5\times10^7$	70

- nivelele logice ale tensiunii de intrare și ieșire, complet independente de temperatură ;
- imunitate la zgomot foarte mare : 45% V_{DD} tipic ;
- curentul la ieșire capabil să comande în tot domeniul de temperaturi de funcționare două sarcini *low power TTL* sau o sarcină *low power Schottky TTL*.

Acestea sînt cîteva din performanțele seriei *MMC 4XXX*. În cele ce urmează, vom căuta să prezentăm și alte calități importante ale acesteia.

Observație. Circuitele fără buffer la intrare sau ieșire sînt codificate la multe firme producătoare ale seriei 4000 cu sufixul *UB — unbuffered*. În mod similar, circuitele cu buffer au în cod sufixul *B — buffered*. În codificarea Microelectronica nu se întîlnește această specificație datorită, pe de o parte, numărului redus de circuite fără buffer la intrare sau ieșire produse, iar pe de altă parte, datorită faptului că în foaia de catalog sînt date toate specificațiile necesare pentru lămurirea utilizatorului de circuite CMOS seria 4000B asupra structurii interne a circuitului.

2.2.2. Codificarea circuitelor

Pentru o mai bună familiarizare cu circuitele din seria *MMC 4XXX* este necesară, în cele ce urmează, prezentarea modului de codificare. Din codificare se pot extrage informații utile în vederea folosirii variantei optime de circuit pentru aplicația dorită.

În *codificarea circuitului* s-a avut în vedere *specificarea tipului, a gamei de temperaturi de operare și a tipului de capsulă*. Circuitele din seria CMOS *MMC-4XXX* operează în două game de temperaturi [1]:

I. gama normală de temperaturi de operare, cuprinsă între −40°C și +85°C;

II. gama extinsă de temperaturi de operare, cuprinsă între −55°C și +125°C.

Tipurile de capsule utilizate în producția curentă pentru circuitele din seria *MMC 4XXX* sînt: capsule din plastic, capsule ceramice „frit-seal", capsule ceramice multistrat. Aceste capsule au, în funcție de complexitatea circuitului, 14, 16 sau 24 terminale. Toate capsulele utilizate pentru circuitele CMOS sînt de tipul *dual-in-line*. Forma și dimensiunile tuturor acestor tipuri de capsule sînt prezentate în Anexa A2.

Astfel, în codificarea circuitelor CMOS *MMC 4XXX*, s-au introdus următoarele sufixe:

E — pentru circuitele în capsulă din plastic operînd în gamă normală de temperaturi;

F — pentru circuitele în capsulă ceramică „frit-seal" operînd în gamă normală de temperaturi;

G — pentru circuitele în capsulă ceramică multistrat operînd în gamă extinsă de temperaturi;

H — pentru circuitele în capsulă ceramică „frit-seal", operînd în gamă extinsă de temperaturi.

O sinteză a modului de codificare a circuitelor *MMC 4XXX* este prezentată în figura 2.1.

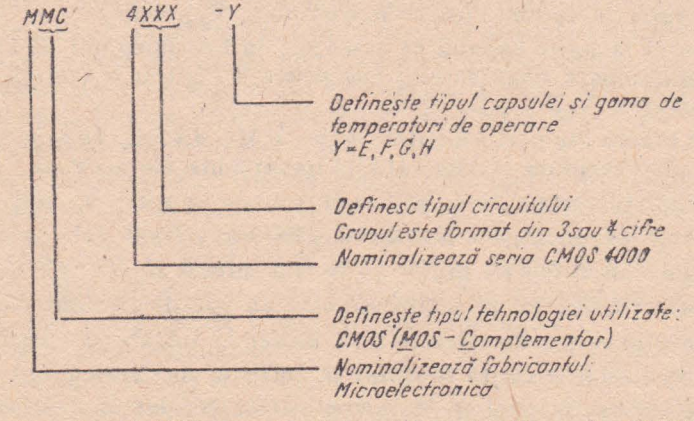


Fig. 2.1. Codificarea circuitelor integrate din seria CMOS *MMC 4XXX*.

2.2.3. Valori limită absolută și condiții de funcționare recomandate

Valorile limită absolută și condițiile de funcționare recomandate reprezintă parametrii cei mai importanți pentru orice dispozitiv semiconductor. Respectarea acestor parametri asigură o utilizare corectă și obținerea performanțelor maxime ale dispozitivului. În afara plajei de valori specificate, fabricantul nu mai garantează buna funcționare a circuitelor. Depășirea acestor valori poate conduce, în majoritatea cazurilor, la degradarea tuturor performanțelor sau chiar distrugerea circuitului. În tabelul 2.3 se prezintă valorile limită absolută pentru circuitele din seria CMOS *MMC 4XXX* [1].

Tabelul 2.3

PARAMETRUL	SIMBOL	LIMITE	U.M.
Tensiunea de alimentare	V_{DD}		
— tipurile *G* și *H*		−0,5...20	V
— tipurile *E* și *F*		−0,5...18	V
Tensiunea la intrare	V_I	$-0,5...V_{DD}+0,5$	V
Curentul continuu la intrare (orice intrare)	I_I	±10	mA
Puterea totală disipată pe capsulă	P_{tot}	200	mW
Puterea disipată pe tranzistorul de ieșire, pe întreg domeniul de temperaturi de operare (T_A)		100	mW
Gama temperaturilor de operare	T_A		
— tipurile *G* și *H*		−55...+125	°C
— tipurile *E* și *F*		−40...+85	°C
Gama temperaturilor de stocare	T_{stg}	−65...+150	°C

Din rațiuni care se bazează pe studiul fenomenelor electrice ce se petrec într-un dispozitiv CMOS, majoritatea producătorilor de circuite integrate logice CMOS, recomandă utilizatorilor operarea în condițiile specificate în tabelul 2.4 [1].

Tabelul 2.4

PARAMETRUL	SIMBOL	LIMITE	U.M.
Tensiunea de alimentare	V_{DD}		
— tipurile *G* și *H*		3...18	V
— tipurile *E* și *F*		3...15	V
Tensiunea la intrări	V_I	$0...V_{DD}$	V
Gama temperaturilor de operare	T_A		
— tipurile *G* și *H*		−55...+125	°C
— tipurile *E* și *F*		−40...+85	°C

Atît în cazul valorilor limită absolută cît și în cazul condițiilor de funcționare recomandate, trebuie făcută precizarea că toate valorile de tensiune sînt măsurate în raport cu potențialul terminalului V_{SS}.

Tabelul 2.5

Caracteristici electrice statice

PARAMETRU		CONDIŢII DE TEST				VALORI						U.M.
		V_I [V]	V_O [V]	I_O [μA]	V_{DD} [V]	T_{jos} Min.	T_{jos} Max.	25°C Min.	25°C Max.	T_{sus} Min.	T_{sus} Max.	
I_L Curent static de alimentare pe circuit (porţi)	tip *G, H*	0/5			5		0.25		0.25		7.5	μA
		0/10			10		0.5		0.5		15	
		0/15			15		1		1		30	
		0/20			20		5		5		150	
	tip *E, F*	0/5			5		1		1		7.5	μA
		0/10			10		2		2		15	
		0/15			15		4		4		30	
I_L Curent static de alimentare pe circuit (buffere şi bistabile)	tip *G, H*	0/5			5		1		1		30	μA
		0/10			10		2		2		60	
		0/15			15		4		4		120	
		0/20			20		20		20		600	
	tip *E, F*	0/5			5		4		4		30	μA
		0/10			10		8		8		60	
		0/15			15		16		16		120	
I_B Curent static de alimentare pe circuit (MSI)	tip *G, H*	0/5			5		5		5		150	μA
		0/10			10		10		10		300	
		0/15			15		20		20		600	
		0/20			20		100		100		3 000	
	tip *E, F*	0/5			5		20		20		150	μA
		0/10			10		40		40		300	
		0/15			15		30		80		600	

V_{OH} Tensiune de ieşire în starea **SUS**		0/5 0/10 0/15		<1 <1 <1	5 10 15	4.95 9.95 14.95		4.95 9.95 14.95		4.95 9.95 14.95		V
V_{OL} Tensiune de ieşire în starea **JOS**		5/0 10/0 15/0		<1 <1 <1	5 10 15		0.05 0.05 0.05		0.05 0.05 0.05		0.05 0.05 0.05	V
V_{IH} Tensiune de intrare în starea **SUS**			0.5/4.5 1/9 1.5/13.5	<1 <1 <1	5 10 15	3.5 7 11		3.5 7 11		3.5 7 11		V
V_{IL} Tensiune de intrare în starea **JOS**			4.5/0.5 9/1 13.5/1.5	<1 <1 <1	5 10 15		1.5 3 4		1.5 3 4		1.5 3 4	V
I_{OH} Curent de ieşire în starea **SUS**	tip *G, H*	0/5 0/5 0/10 0/15	2.5 4.6 9.5 13.5		5 5 10 15	−2 −0.64 −1.6 −4.2		−1.6 −0.51 −1.3 −3.4		−1.15 −0.36 −0.9 −2.4		mA
	tip *E, F*	0/5 0/5 0/10 0/15	2.5 4.6 9.5 13.5		5 5 10 15	−1.53 −0.52 −1.3 −3.6		−1.36 −0.44 −1.1 −3		−1.1 −0.36 −0.9 −2.4		mA
I_{OL} Curent de ieşire în starea **JOS**	tip *G, H*	0/5 0/10 0/15	0.4 0.5 1.5		5 10 15	0.64 1.6 4.2		0.51 1.3 3.4		0.36 0.9 2.4		mA
	tip *E, F*	0/5 0/10 0/15	0.4 0.5 1.5		5 10 15	0.52 1.3 3.6		0.44 1.1 3		0.36 0.9 2.4		mA
I_{IL}, I_{IH} Curent rezidual de intrare	tip *G, H*	0/18	Oricare intrare		18		±0.1		±0.1		±1	µA
	tip *E, F*	0/15			15		±0.3		±0.3		±1	

Tabelul 2.5 (continuare)

PARAMETRU		CONDIȚII DE TEST				VALORI						U.M.
		V_I [V]	V_O [V]	I_O [μA]	V_{DD} [V]	T_{jos} ●		25°C		T_{sus} ●		
						Min.	Max.	Min.	Max.	Min.	Max.	
I_{OH}, I_{IH} Curent rezidual la ieșire în *3-state*	tip *G, H*	0/18			18		±0.4		±0.4		±12	μA
	tip *E, F*	0/15			15		±1		±1		±7.5	μA
C_I Capacitate de intrare									7.5			pF

● $T_{jos} = -40$°C pentru tipurile *E, F* și $T_{jos} = -55$°C pentru tipurile *G, H*.
● $T_{sus} = +85$°C pentru tipurile *E, F* și $T_{sus} = +125$°C, pentru tipurile *G, H*.

Marginea de zgomot pentru nivel logic SUS și JOS este:
1 V minim pentru $V_{DD} = 5$ V;
2 V minim pentru $V_{DD} = 10$ V;
2,5 V minim pentru $V_{DD} = 15$ V.

După cum se poate observa, un fapt important este acela că temperatura de funcționare nu impune valori restrictive pentru condițiile de funcționare recomandate, comparativ cu valorile limită absolută.

2.2.4. Caracteristicile electrice statice

Caracteristicile electrice statice corespunzătoare tuturor tipurilor de circuite integrate din seria CMOS *MMC 4XXX* sînt sintetizate în tabelul 2.5. Măsurarea caracteristicilor s-a făcut în condițiile de operare recomandate.

După cum se poate remarca, valorile parametrilor caracteristicilor electrice statice sînt specificate pentru variantele tehnologice *E*, *F*, *G* și *H*, precum și în funcție de complexitatea circuitului. Un fapt demn de semnalat este uniformitatea caracteristicilor parametrilor diverselor tipuri de circuite, asigurată de structura cu buffer la intrare și ieșire.

Relativ la complexitatea tehnologică (care se reflectă prin valoarea curentului static de alimentare) a circuitelor, se pot observa trei mari categorii de circuite, grupate în:

1. Porți, inversoare,
2. Circuite buffer, bistabile, latch-uri și porți multinivel,
3. MSI (circuite cu integrare pe scară medie).

Uniformitatea caracteristicilor statice este „perturbată" numai de diferențele ce apar între curenții statici de alimentare I_L corespunzători diverselor categorii de circuite menționate anterior. Gruparea circuitelor în cele trei clase (pentru circuitele aflate, pînă în prezent, în catalogul Microelectronica [1]) este dată în tabelul 2.6.

Totodată, trebuie făcută precizarea că marginea de zgomot între nivelul de tensiune **SUS** (**1** logic) și nivelul de tensiune **JOS** (**0** logic) este:

minim 1 V pentru $V_{DD} = 5$ V
minim 2 V pentru $V_{DD} = 10$ V
minim 2,5 V pentru $V_{DD} = 15$ V.

Tabelul 2.6

PORȚI/ INVERSOARE	CIRCUITE BUFFER; BISTABILI LATCH-URI PORȚI MULTINIVEL	CIRCUITE COMPLEXE (MSI)
MMC 4000	MMC 4013	MMC 4014
MMC 4001	MMC 4019	MMC 4015
MMC 4002	MMC 4027	MMC 4017
MMC 4007	MMC 4030	MMC 4018
MMC 4011	MMC 4041	MMC 4020
MMC 4012	MMC 4042	MMC 4021
MMC 4016	MMC 4043	MMC 4022
MMC 4023	MMC 4044	MMC 4024
MMC 4025	MMC 4047	MMC 4028
MMC 4048	MMC 4049	MMC 4029
MMC 4066	MMC 4050	MMC 4031
MMC 4068	MMC 4070	MMC 4035
MMC 4069	MMC 4077	MMC 4040
MMC 4071	MMC 4093	MMC 4046
MMC 4072	MMC 4095	MMC 4051
MMC 4073	MMC 4096	MMC 4052
MMC 4075	MMC 4098	MMC 4053
MMC 4078	MMC 4099	MMC 4054
MMC 4081	MMC 40107	MMC 4055
MMC 4082	MMC 4503	MMC 4056
	MMC 4599	MMC 4060
		MMC 4067
		MMC 4076
		MMC 4097
		MMC 4500
		MMC 4508
		MMC 4510
		MMC 4511
		MMC 4516
		MMC 4518
		MMC 4520
		MMC 4543
		MMC 40104
		MMC 40181
		MMC 40192
		MMC 40193

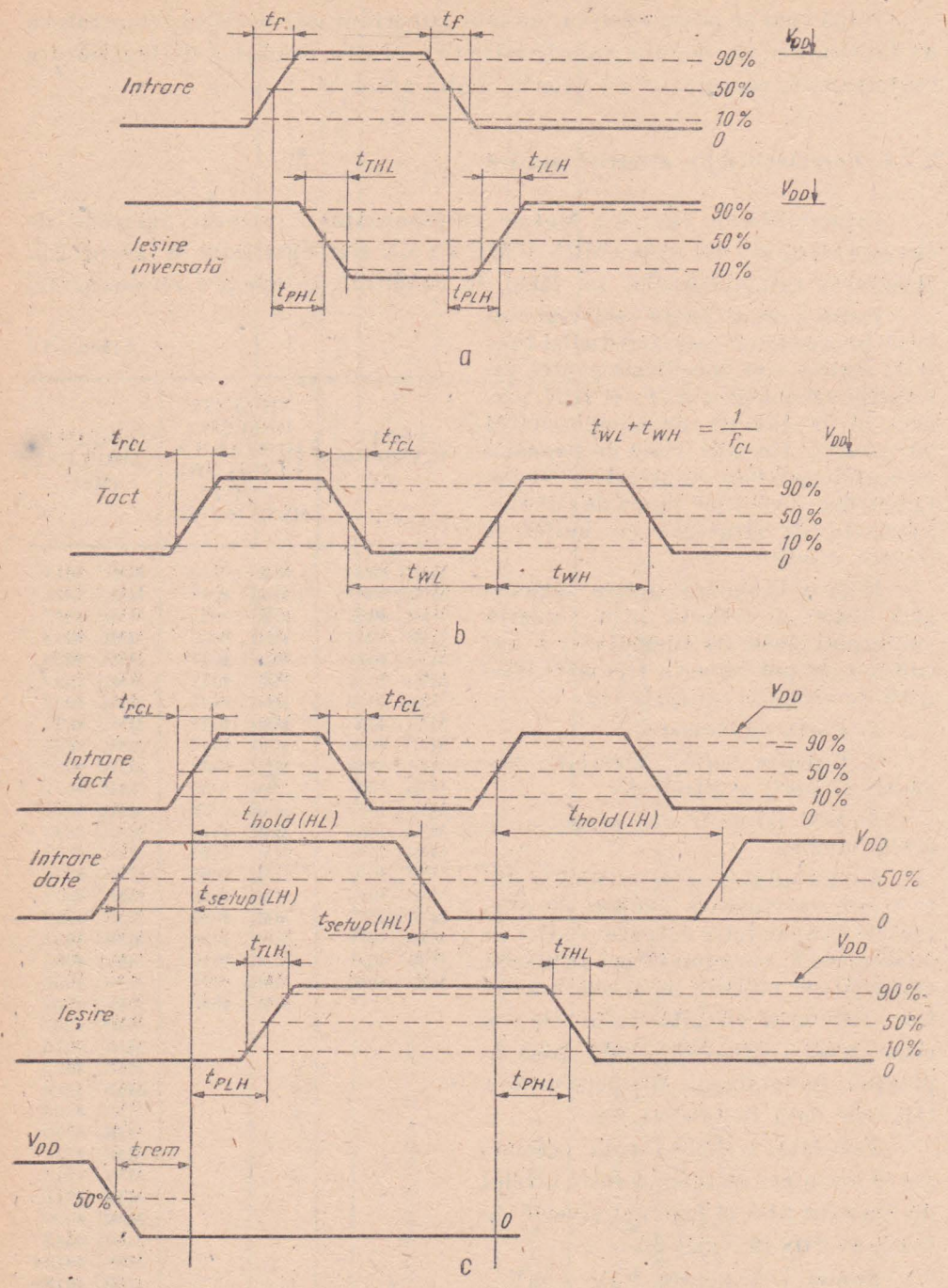


Fig. 2.2. Timpi caracteristici pentru circuitele logice CMOS : *a*) timpi de tranziție și propagare ; *b*) durata și fronturile semnalului de tact ; *c*) timpii de stabilire, menținere, revenire și propagare, corespunzători tranzițiilor semnalului de tact.

2.2.5. Definirea parametrilor dinamici

Deoarece majoritatea valorilor parametrilor electrici dinamici depinde în mare măsură de complexitatea circuitului, în cele ce urmează vom prezenta descrierea calitativă a acestora, în scopul familiarizării cu termenii utilizați.

O sinteză a diferiților parametri dinamici caracteristici circuitelor CMOS este prezentată în tabelul 2.7.

Tabelul 2.7

DEFINIREA PARAMETRULUI	SIMBOL	LIMITE		OBSERVAȚII (Figura)
		Max.	Min.	
Timp de propagare :				
— comutarea ieșirilor din starea **SUS** în starea **JOS**	t_{PHL}	×		2.2.*a*
— comutarea ieșirilor din starea **JOS** în starea **SUS**	t_{PLH}	×		2.2.*a*
Timp de tranziție al ieșirilor :				
— comutarea ieșirilor din starea **SUS** în starea **JOS**	t_{THL}	×		2.2.*a*
— comutarea ieșirilor din starea **JOS** în starea **SUS**	t_{TLH}	×		2.2.*a*
Durata impulsului : *SET, RESET, PRESET-ENABLE, INHIBARE, VALIDARE, TACT (CLOCK)*	t_W sau t_{WL} sau t_{WH}		×	2.2.*b*
Frecvența impulsurilor la intrarea de *TACT (CLOCK)*	f_{CL}	×		2.2.b
Fronturile de creștere și cădere ale impulsului de *TACT (CLOCK)*	t_{rCL}	×		2.2.b
Timp de stabilire (poziționare)	$t_{set\ up}$		×	2.2.*c*
Timp de menținere	t_{hold}		×	2.2.*c*
Timp de revenire după aplicarea semnalelor *SET, RESET, PRESET-ENABLE*	t_{rem}		×	2.2.*c*
Timpii de întîrziere la inhibarea *3-state*				
— din starea **SUS** în starea de impedanță mare	t_{PHZ}	×		2.3
— din starea de impedanță mare în stare **JOS**	t_{PZL}	×		2.3
— din starea de impedanță mare în starea **SUS**	t_{PZH}	×		2.3
— din starea **JOS** în starea de impedanță mare	t_{PLZ}	×		2.3

În figurile 2.2 și 2.3 se arată formele de undă relativ la care s-a făcut definirea parametrilor dinamici în tabelul 2.7.

Observații.

1. Dacă definirea parametrului este precedată de minim sau maxim, limitele se pot schimba de la minim la maxim sau invers.

2. Forma de undă la intrarea de tact va avea un factor de umplere de 1/2, astfel încît să poată produce comutarea ieșirilor în concordanță cu tabela de adevăr a dispozitivului.

Nu se vor prezenta graficele de variație ale diferiților parametri dinamici. Aceste date se pot afla consultînd catalogul Microelectronica [1], unde sînt prezentate tabele cuprinzînd valorile parametrilor dinamici pentru fiecare tip de circuit.

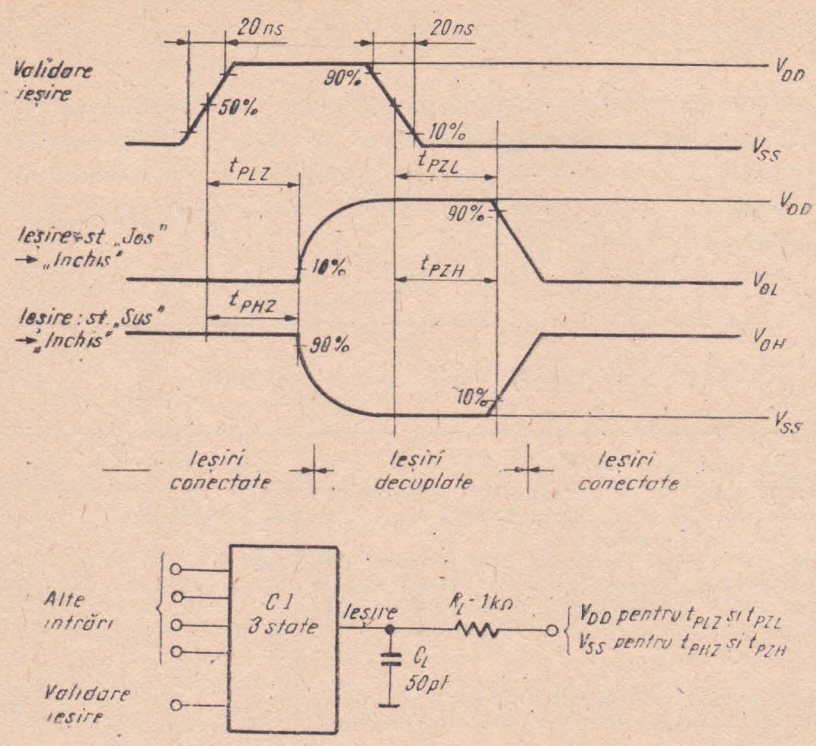


Fig. 2.3. Formele de undă și circuitul test pentru definirea parametrilor dinamici specifici în starea *3-state*.

2.3. Familia CMOS 4000

2.3.1. Intercone ctarea circuitelor

• *Caracteristica de transfer statică*

Vom prezenta principalele caracteristici de comutare, statice și dinamice ale circuitelor din seria *MMC 4XXX*. În figura 2.4 este trasat graficul caracteristicii statice de transfer pentru diverse valori ale tensiunii de alimentare (V_{DD} = 5 V, 10 V și 15 V). Caracteristicile trasate sînt valorile medii tipice ale măsurătorilor efectuate pe un lot de 50 circuite MMC 4001.

Se remarcă, în mod evident, imunitatea mare la zgomot, precum și simetria caracteristicii de transfer. Pentru a crea o imagine cît mai completă despre calitățile circuitelor CMOS din seria 4000B, în figura 2.5 se prezintă o comparație între caracteristicile statice de transfer în tensiune ale diverselor familii logice. Valorile sînt normate la valorile sursei de alimentare. Se constată apropierea caracteristicii de transfer a circuitelor CMOS de caracteristica unui comutator ideal.

După cum s-a arătat în capitolul precedent, la comutare, un circuit CMOS trece printr-o regiune de tranziție. În această situație, tranzistoarele

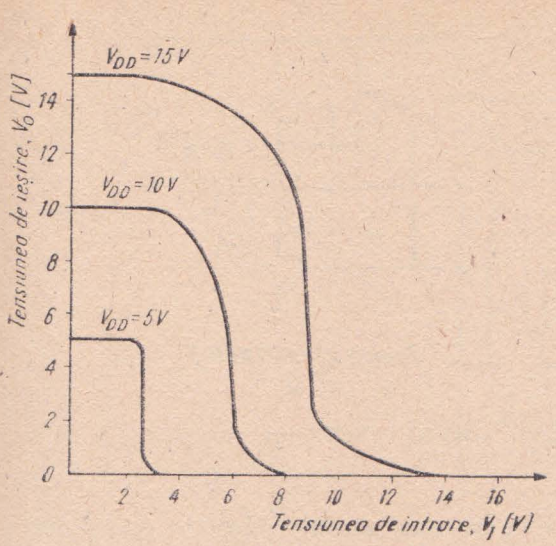


Fig. 2.4. Caracteristica de transfer statică.

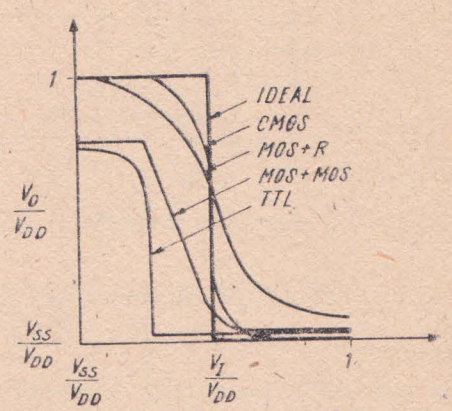


Fig. 2.5. Caracteristica de transfer statică; comparație între diverse familii logice și CMOS.

de tip p și n sînt simultan în conducție, apărînd un vîrf al curentului care trece între V_{DD} și V_{SS}. În figura 2.6 se prezintă caracteristica de curent pentru o poartă SI-NU (NAND) MMC 4011.

Pentru ridicarea acestor caracteristici, s-a prelevat un lot de 50 circuite, obținîndu-se caracteristica minimă și maximă a curentului de alimentare, $I_{DD} = f(V_{IN})$ pentru $V_{DD} = 10$ V și $V_{DD} = 15$ V.

În continuare, vom prezenta variațiile care apar în cazul caracteristicilor statice de transfer ale porților CMOS. Configurația unei porți logice în tehnologiile CMOS este direct legată de funcția logică cerută. Astfel, pentru

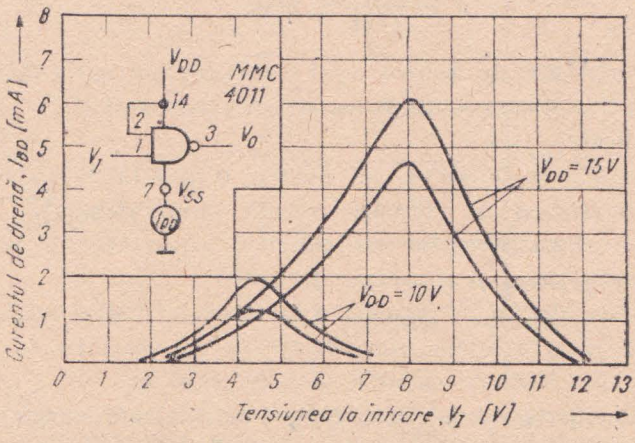


Fig. 2.6. Caracteristicile minime și maxime de curent, în funcție de tensiunea la intrare.

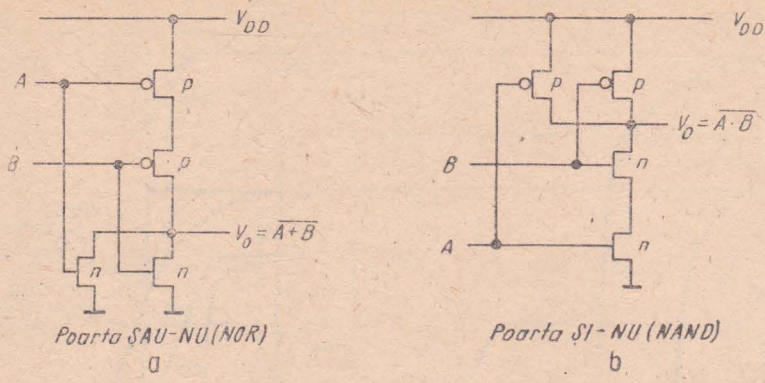


Fig. 2.7. Configurația unei porți SAU-NU (NOR) (*a*), respectiv ȘI-NU (NAND) (*b*).

porțile SAU-NU (NOR), tranzistoarele cu canal *n* sînt conectate în paralel către V_{SS}, iar tranzistoarele cu canal *p* sînt conectate în serie către V_{DD} (fig. 2.7, *a*).

Pentru porțile ȘI-NU(NAND) (fig. 2.7, *b*) configurația structurii este imaginea în oglindă a porții SAU-NU(NOR). Astfel, tranzistoarele cu canal *p* sînt conectate în paralel către V_{DD}, iar tranzistoarele cu canal *n* sînt înseriate către V_{SS}.

Caracteristica de transfer și, deci, imunitatea la zgomot, sînt determinate de combinația serie/paralel a tranzistoarelor care configurează poarta precum și de următorii factori: efectul tensiunii de intrare și numărul intrărilor. Regiunea de tranziție (de cîștig ridicat) a unei porți este definită în zona caracteristicii de transfer, caracterizată de condiția:

$$\frac{\Delta V_o}{\Delta V_{IN}} = \max. \qquad (2\text{-}1)$$

Valorile rezistenței de ieșire a unui tranzistor pot varia între 20 MΩ și 30 Ω (și depind de dimensiunile fizice ale tranzistorului MOS și de valorile tensiunilor aplicate).

Din figura 2.8 se observă că pentru o poartă SAU-NU(NOR), de exemplu, caracteristica de transfer rezultă din combinația rezistențelor în conducție ale tranzistoarelor cu canal *n* conectate în paralel și ale tranzistoarelor cu canal *p* conectate în serie.

Caracteristica statică de transfer a inversorului CMOS poate fi calculată pornind de la caracteristicile simplificate curent-tensiune în regim static ale tranzistoarelor MOS cu canal *n* și *p* (v. cap. 1).

În cazul unei porți SAU-NU(NOR) se poate calcula marginea de zgomot (în regim static) față de mijlocul caracteristicii statice de transfer prin relațiile (1-17) și (1-18).

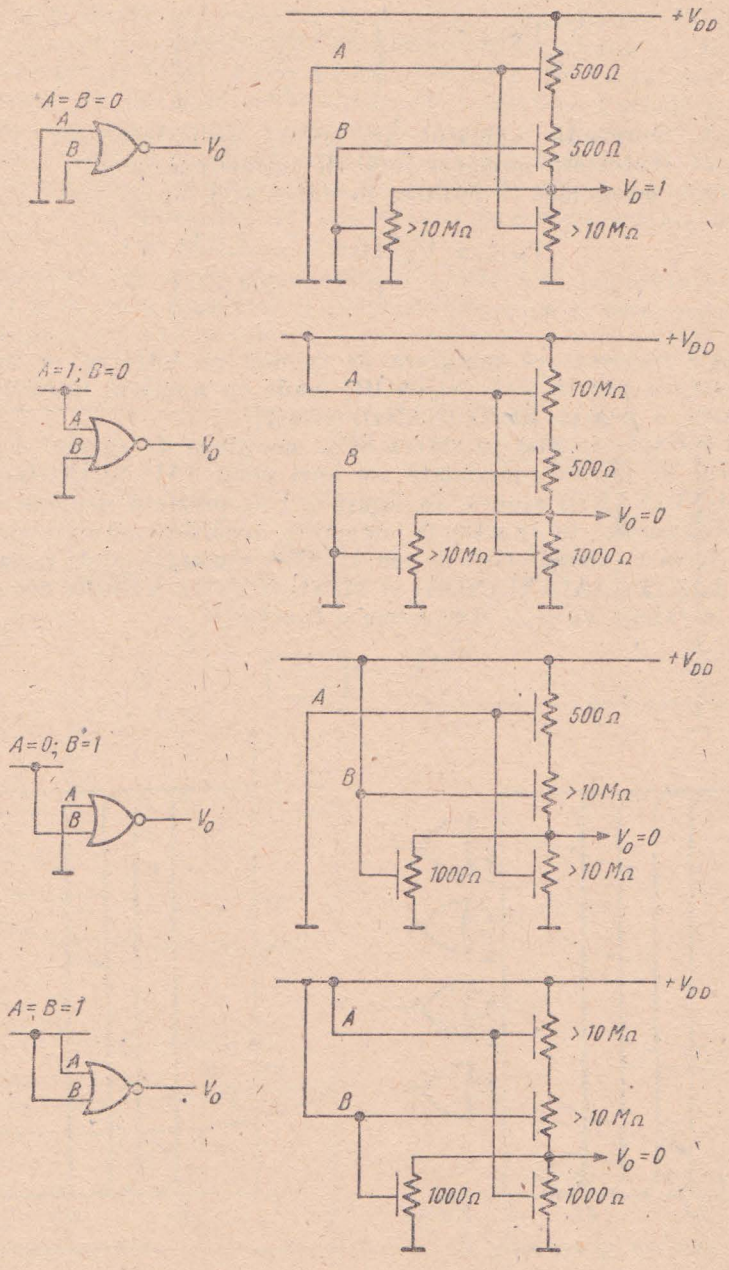


Fig. 2.8. Rezistența tipică *ON/OFF* pentru diversele combinații la intrările unei porți SAU-NU (NOR) cu două intrări.

Marginea de zgomot cu intrarea în starea **JOS**, V_{NIL}, poate fi calculată cu formula :

$$V_{NIL} \simeq V_{DD}\left(\frac{1}{1{,}5+\frac{n_i}{n_m}}-0{,}1\right) \tag{2-2}$$

unde : n_i — reprezintă numărul de intrări utilizate/poartă ;
n_m — reprezintă numărul total de intrări/poartă.

Marginea de zgomot cu intrarea în starea **SUS**, V_{NIH}, poate fi calculată,

$$V_{NIH} \simeq V_{DD}\left(0{,}9-\frac{1}{1{,}5+\frac{n_i}{n_m}}\right) \tag{2-3}$$

Trebuie remarcat că marginea de zgomot cu intrarea în starea **JOS**, V_{NIL}, pentru o poartă SAU-NU(NOR) scade cu numărul intrărilor controlate (pentru o poartă SI-NU(NAND) crește).

Cînd intrarea se află în starea **SUS**, marginea de zgomot V_{NIH} crește cu numărul de intrări comandate ale unei porți SAU-NU(NOR) (pentru o poartă SI-NU(NAND) scade). În figura 2.9 se prezintă deplasarea caracteristicii de transfer, în funcție de numărul intrărilor activate de semnalul logic de intrare. Caracteristicile de transfer ilustrate sînt trasate pentru porți cu 4 intrări SAU-NU(NOR) și SI-NU(NAND). Valorile din grafic sînt normate în raport cu V_{DD}, deci avem o funcție :

$$\frac{V_o}{V_{DD}} = f\left(\frac{V_i}{V_{DD}}\right) \tag{2-4}$$

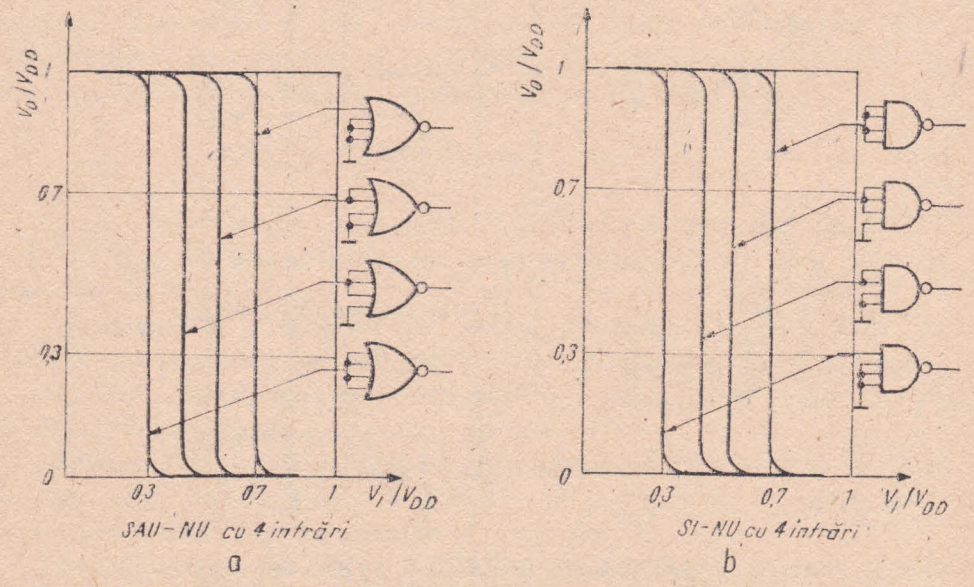


Fig. 2.9. Variația caracteristicii statice de transfer în tensiune pentru porți SAU-NU (NOR) (*a*) și SI-NU (NAND) (*b*), în raport cu numărul de intrări conectate în paralel.

• *Caracteristicile de intrare și de ieșire*

În unele aplicații în care impedanța de intrare ridicată a circuitelor CMOS este importantă (de exemplu în circuitele de întîrziere *RC*), este necesar să se cunoască caracteristicile de intrare ale circuitelor. În figura 2.10 se indică caracteristicile de intrare pentru circuitele CMOS realizate cu două tipuri de rețele de protecție la descărcări electrostatice. Curbele au fost ridicate pentru două valori ale temperaturii ambiante T_A de 25°C și 100°C. Trebuie făcută observația că variația maximă a curentului de intrare este de 1 la 30, cînd temperatura variază de la 25°C la 100°C. În acest context se recomandă ca în aplicațiile practice să se considere impedanța de intrare avînd valoarea de 100 MΩ la $T_A = 100$°C.

Caracteristicile de ieșire ale circuitelor CMOS sînt importante la stabilirea vitezei de lucru a unui circuit. Pentru încărcarea și descărcarea rapidă a sarcinii capacitive este nevoie de o excursie mare a curentului.

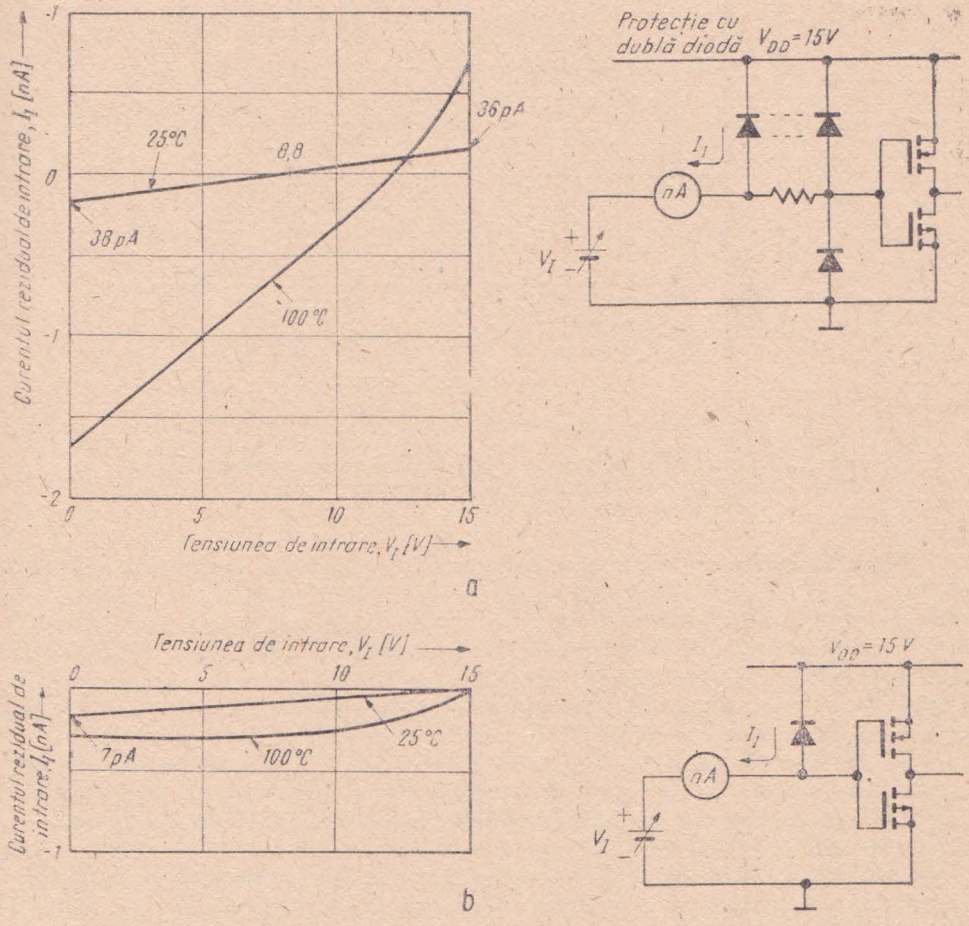


Fig. 2.10. Curentul rezidual de intrare tipic pentru un circuit CMOS cu două tipuri de rețele de protecție diferite la intrare (*a*, *b*).

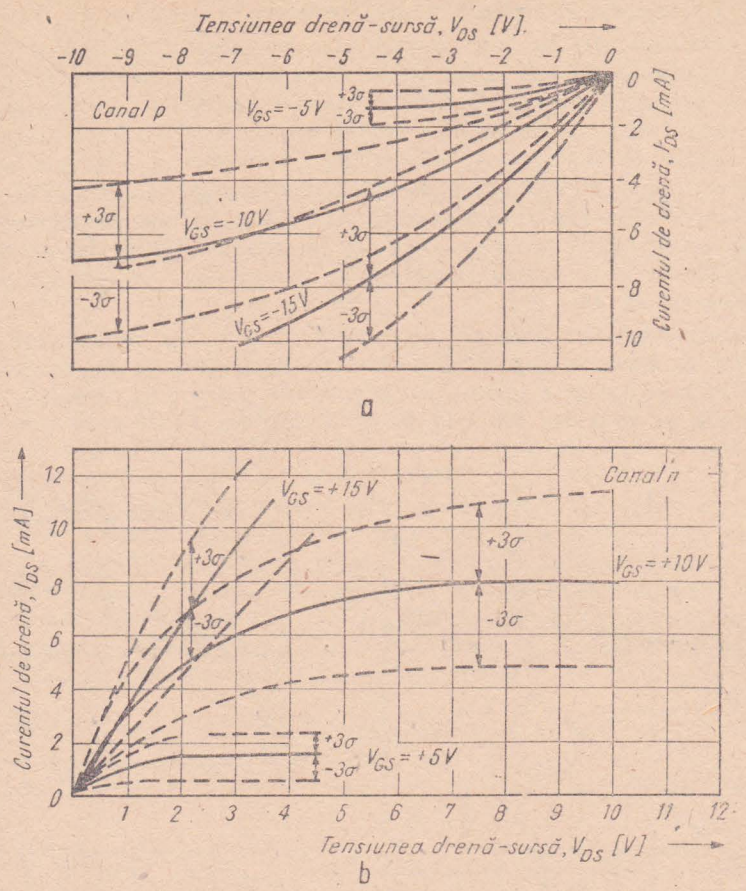


Fig. 2.11. Caracteristicile de ieșire CMOS : *a*) caracteristici de drenă ale tranzistorului cu canal *p* de ieșire ; *b*) caracteristici de drenă ale tranzistorului cu canal *n* de ieșire.

Caracteristicile de ieșire sînt caracteristici de drenă pentru tranzistoare cu canal n și cu canal p, și determină curentul debitat la ieșire, cînd ieșirea este în starea **SUS** *(current source capability)*, respectiv curentul absorbit la ieșire, cînd ieșirea este în starea **JOS** *(current sinking capability)*. În figura 2.11 sînt prezentate caracteristicile de drenă ale tranzistoarelor cu canal *p* și caracteristicile de drenă ale tranzistoarelor cu canal *n*, ca valori medii tipice pe un lot de 50 circuite MMC 4011, pentru V_{DD} = 5 V, 10 V și 15 V.

Se observă că, dacă tensiunea de alimentare V_{DD} crește, rezistența *ON* a canalului scade. Ambii curenți de ieșire sînt dependenți de temperatură, lucru ilustrat în figura 2.12 pentru ambele tipuri de canale, *n* și *p*, la temperaturile de 25°C și 125°C.

Creșterea curentului de ieșire al porților se poate realiza prin conectarea în paralel a intrărilor și a ieșirilor circuitelor similare de pe aceeași capsulă (fig. 2.13). *Curentul de ieșire crește proporțional cu numărul circuitelor conectate în paralel.*

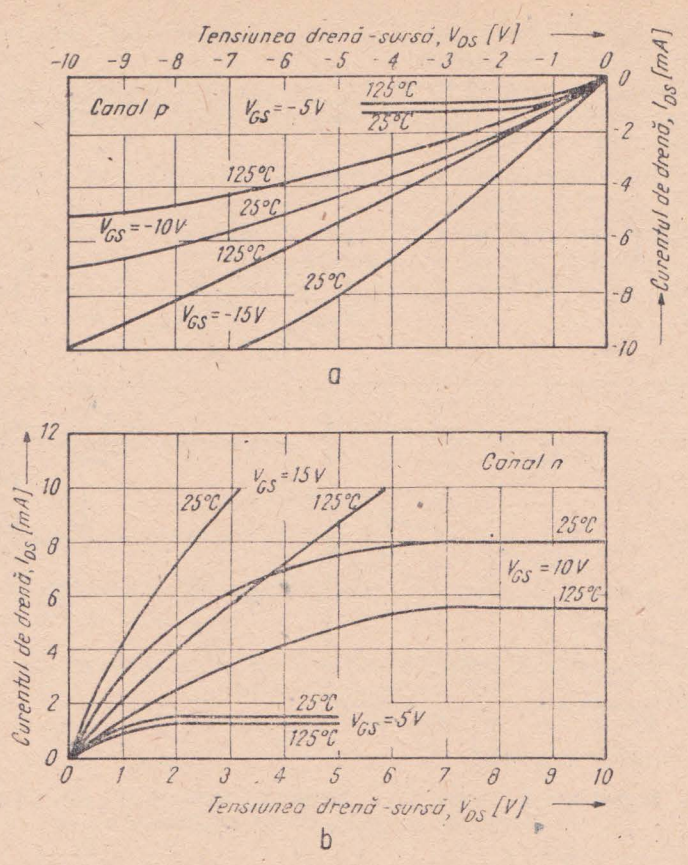


Fig. 2.12. Dependența de temperatură a caracteristicilor de ieșire CMOS : *a*) caracteristici de drenă ale tranzistorului cu canal *p* de ieșire ; *b*) caracteristici de drenă ale tranzistorului cu canal *n* de ieșire.

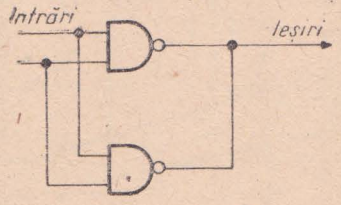


Fig. 2.13. Legarea în paralel a porților logice CMOS.

• *Impedanța de ieșire*

Impedanța de ieșire a unei porți CMOS depinde de următorii factori : funcția logică a porții respective, care poate fi SAU-NU(NOR) sau SI-NU (NAND), numărul intrărilor utilizate, starea sa logică, valorile de tensiuni aplicate.

Trebuie făcută observația că influența tipului funcției logice asupra impedanței de ieșire este valabilă numai pentru circuitele fără buffer la ieșire,

cele cu buffer avînd o impedanță de ieșire independentă de funcția logică și de numărul intrărilor utilizate.

În figurile 2.14, 2.15, 2.16 și 2.17 se prezintă variația impedanței de ieșire, pentru porțile SI-NU(NAND), respectiv SAU-NU(NOR), în stările **0** logic și **1** logic [5].

Pentru fiecare dintre curbele din figurile 2.14, 2.15, 2.16 și 2.17 se disting două regiuni de funcționare:

— o regiune de impedanță de ieșire Z constantă, în care tranzistoarele lucrează în regiunea liniară a caracteristicilor;

— o regiune de curent constant, în care tranzistoarele funcționează în saturație.

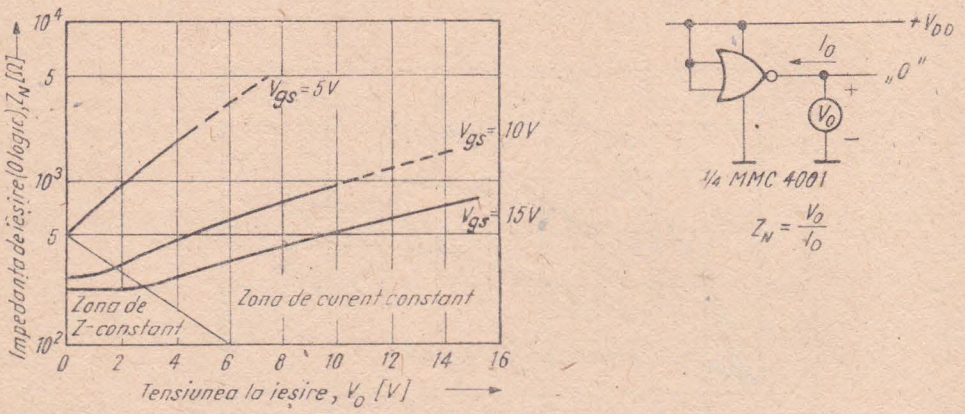


Fig. 2.14. Impedanța de ieșire Z_N a circuitului MMC 4001, funcție de tensiunea de ieșire V_O în starea **JOS**.

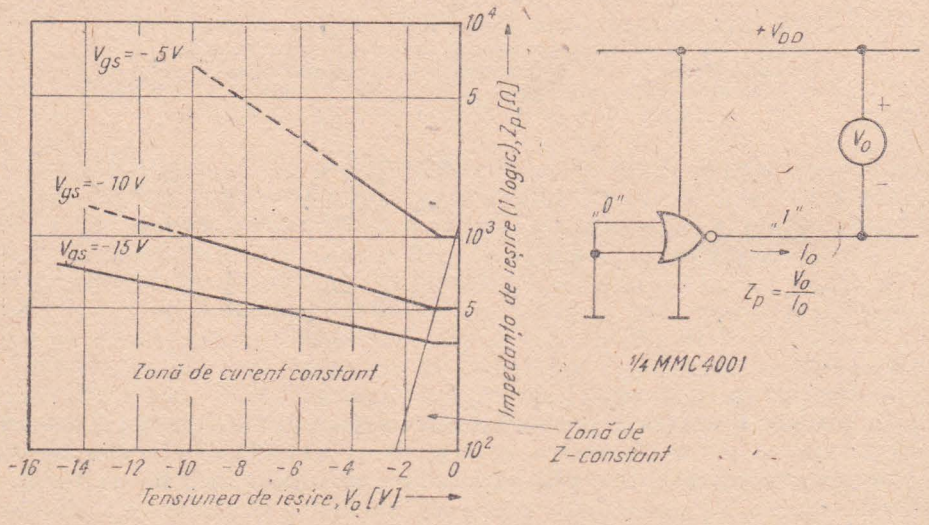


Fig. 2.15. Impedanța de ieșire Z_P a circuitului MMC 4001, funcție de tensiunea de ieșire V_O în starea **SUS**.

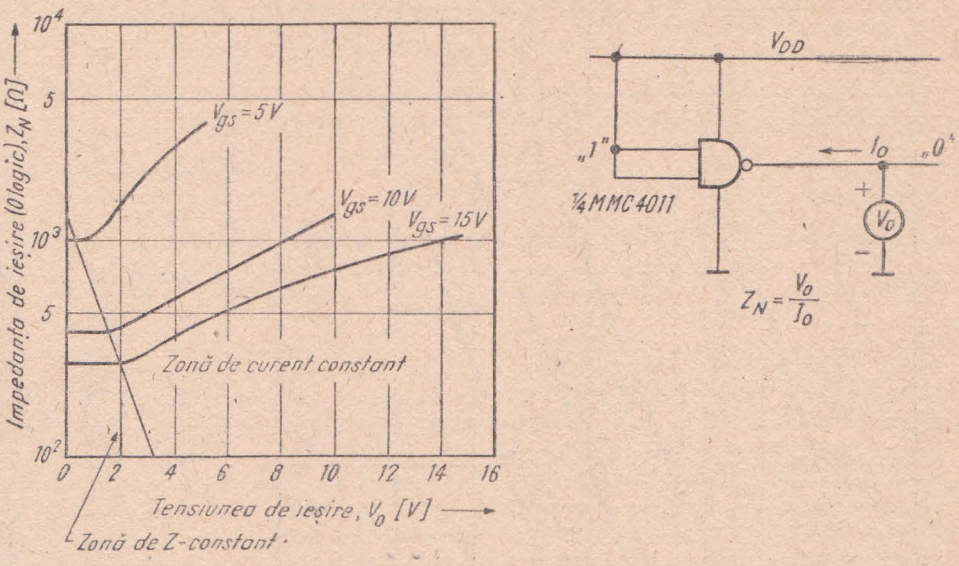


Fig. 2.16. Impedanța de ieșire Z_N a circuitului MMC 4011, funcție de tensiunea de ieșire V_0 în starea **JOS.**

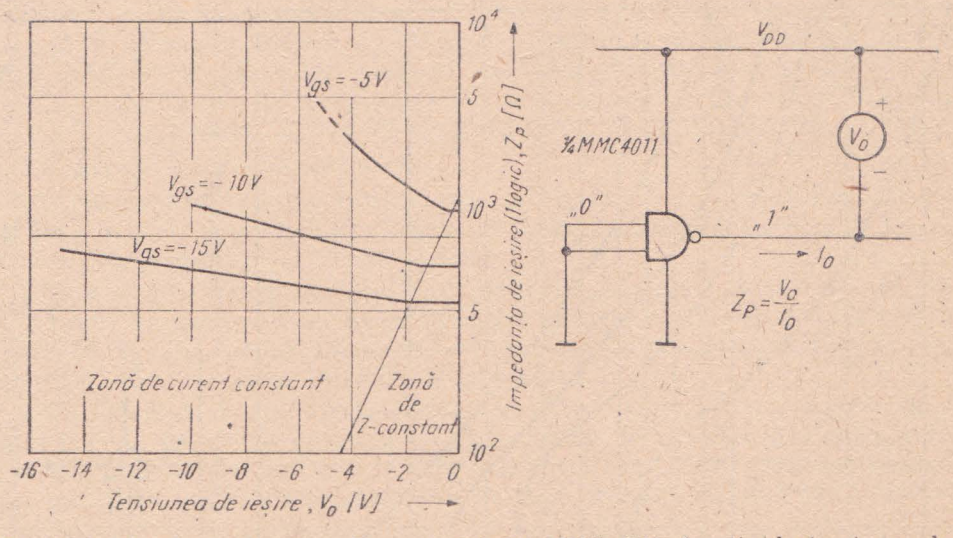


Fig. 2.17. Impedanța de ieșire Z_P a circuitului MMC 4011, funcție de tensiunea de ieșire V_0 în starea **SUS.**

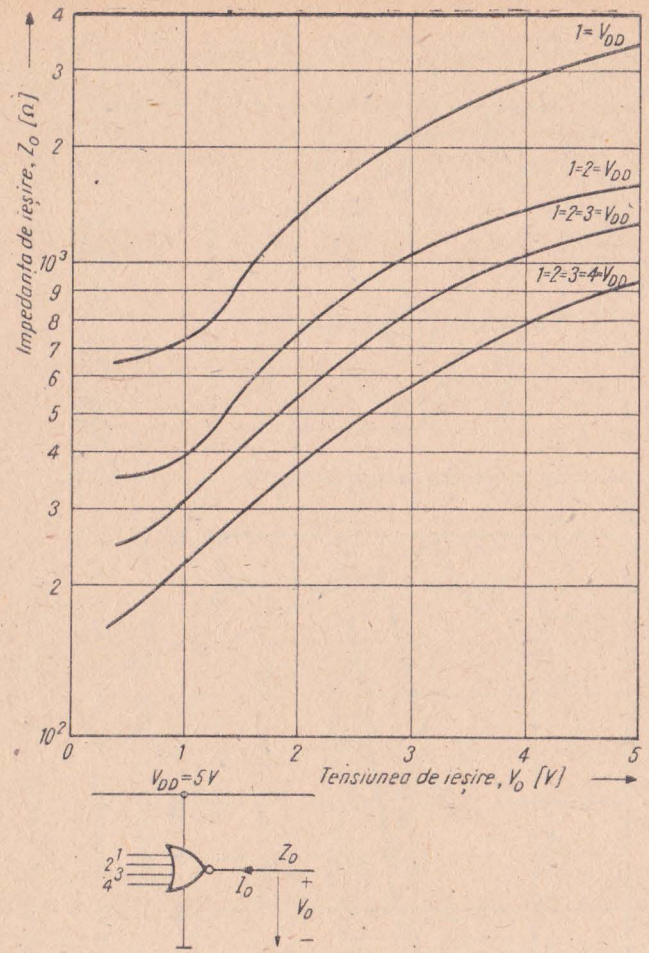


Fig. 2.18. Impedanța tipică de ieșire Z_O în funcție de tensiunea de ieșire și numărul de intrări conectate la V_{DD}, pentru poarta tip 4002.

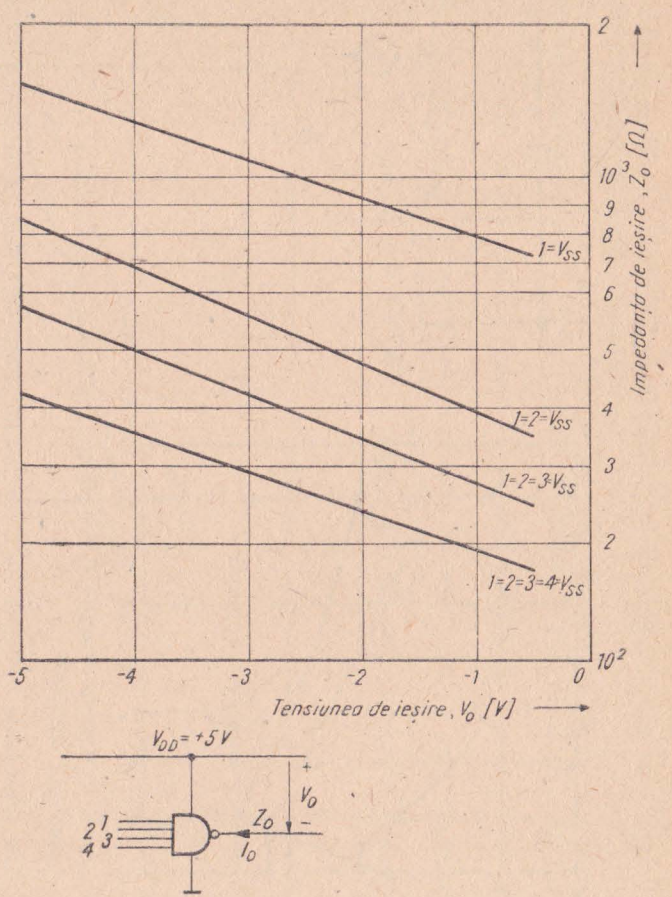


Fig. 2.19. Impedanța tipică de ieșire Z_O în funcție de tensiunea de ieșire la numărul de intrări conectate la V_{SS} pentru poarta tip 4012.

Aceste curbe trebuie luate în considerare atunci cînd se proiectează circuite de interfață cu alte familii logice sau cu dispozitive discrete. Pentru aplicațiile practice, se va consulta tabelul 2.8.

Tabelul 2.8

STAREA LOGICĂ LA IEȘIRE	SAU-NU (NOR)		ȘI-NU (NAND)	
	4001	4002	4011	4012
SUS	380 Ω	400 Ω	550 Ω	85 Ω
JOS	220 Ω	60 Ω	300 Ω	200 Ω

Note: ● Toate intrările conectate în paralel;
● $V_{DD} = 15$ V; Tensiunea de saturație a tranzistoarelor cu canal *n* și *p* este 1 V.
● Valabil pentru seria 4000 A și echivalentele ei.

În tabelul 2.8 se dau valorile tipice pentru impedanța de ieșire a diferitelor configurații de porți și stări logice la ieșire (stare logică **SUS** sau stare logică **JOS**), pentru o tensiune de alimentare de $V_{DD} = 15$ V și cu toate intrările conectate în paralel. În aplicațiile în care este nevoie să se atingă cea mai mică impedanță de ieșire cînd ieșirea este în starea **SUS** (sau cînd ieșirea este în starea **JOS**), pe lîngă utilizarea circuitelor buffer, este recomandabil să se folosească porțile SAU-NU(NOR), respectiv porțile ȘI-NU(NAND) cu 4 intrări fără buffer la ieșire, avînd toate intrările conectate împreună. Din acest motiv, cînd este necesar un curent mare la ieșire în starea **JOS**, se poate utiliza o poartă SAU-NU(NOR) cu 4 intrări. Dacă necesitățile impun un curent mare de ieșire în starea **SUS**, se recomandă folosirea unei porți ȘI-NU(NAND) cu 4 intrări. Trebuie remarcat că *impedanța de ieșire în starea* **JOS** *sau* **SUS** *este invers proporțională cu numărul intrărilor comandate* (pentru cazul porților fără etaj buffer la ieșire). În figura 2.18 se indică impedanța de ieșire pentru o poartă SAU-NU(NOR) cu 4 intrări, în raport cu numărul intrărilor folosite.

În figura 2.19 este prezentată variația impedanței de ieșire pentru o poartă ȘI-NU(NAND) cu 4 intrări, în raport cu numărul intrărilor utilizate.

● *Sarcina capacitivă de intrare*

Capacitatea totală de intrare este determinată de capacitatea terminalelor capsulei, de capacitatea rețelei de protecție de la intrare și de capacitatea poartă-substrat a tranzistorilor.

Capacitatea totală de intrare depinde de semnalul aplicat la intrare (v. § 1.3.2). În mod evident, interconectarea porților crește capacitatea totală „văzută" de circuitul de comandă, ceea ce înseamnă creșterea timpilor de comutare, deci scăderea vitezei de comutare.

Un alt efect al creșterii capacității de intrare este creșterea puterii disipate. Un caz particular se obține cînd la intrare se conectează o capacitate externă, în vederea obținerii de întîrzieri mari (fig. 2.20). Dacă întîrzierea este mai mare sau egală cu constanta de timp termică, caracteristică circuitului integrat, variația temperaturii cipului va urmări în permanență variația puterii instantanee, datorită creșterii curentului de alimentare.

Puterea instantanee disipată într-un circuit CMOS este determinată de tensiunea de alimentare V_{DD} și de curentul debitat de sursa de alimentare.

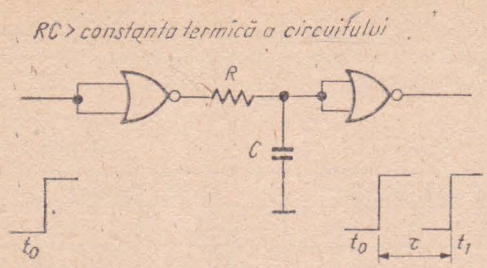


Fig. 2.20. Circuit de întîrziere a semnalului de intrare pentru o poartă logică.

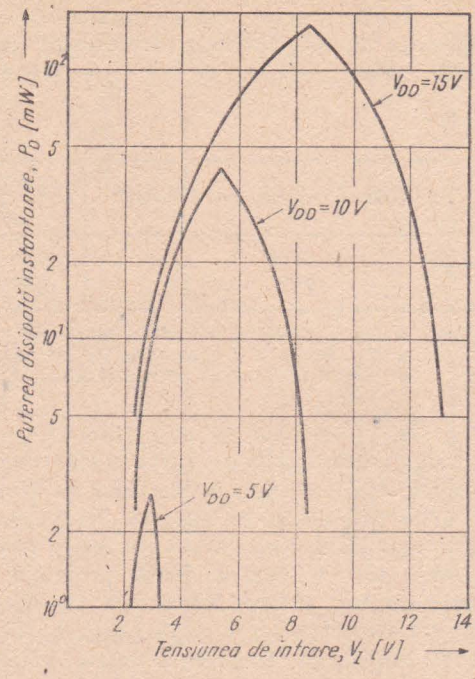


Fig. 2.21. Puterea instantanee disipată de o poartă CMOS, cînd tensiunea de intrare variază lent. (V_I trece de la 0 la V_{DD} în mai mult de 200 ms).

Astfel, în figura 2.21 se prezintă variația la care ne așteptăm pentru puterea instantanee disipată în funcție de tensiunea la intrare pentru $V_{DD} = 5$ V, 10 V și 15 V, pentru o poartă SAU-NU(NOR) cu 2 intrări, în cazul în care semnalele la intrare variază foarte lent [5].

Aceste curbe trebuie luate în considerare cînd tensiunea de intrare variază de la 0 la V_{DD} în mai mult de 200 ms. Se poate folosi o constantă de timp termică de 50 ms.

Presupunînd o rezistență termică joncțiune-ambiant de 0,2°C/mW (corespunzătoare capsulelor de plastic), se poate constata că temperatura pe cip crește aproximativ cu :

$$\Delta t = 8°C \text{ pentru } V_{DD} = 10 \text{ V}$$

și

$$\Delta t = 10°C \text{ pentru } V_{DD} = 15 \text{ V}$$

Menționăm că aceste valori trebuie să fie luate în considerație în special în cazul în care funcționarea circuitelor are loc la temperaturi ambiante ridicate.

Rezistența termică joncțiune-ambiant pentru capsulele ceramice este de aproximativ 0,15°C/mW. În raport cu rezistențele termice joncțiune-ambiánt ale celor două tipuri de capsule, domeniile corespunzătoare ale puterii disipate pe capsulă sînt :

— pentru capsule din plastic *dual-in-line* : 625 mW la 25°C ;
— pentru capsule ceramice *dual-in-line* : 825 mW la 25°C.

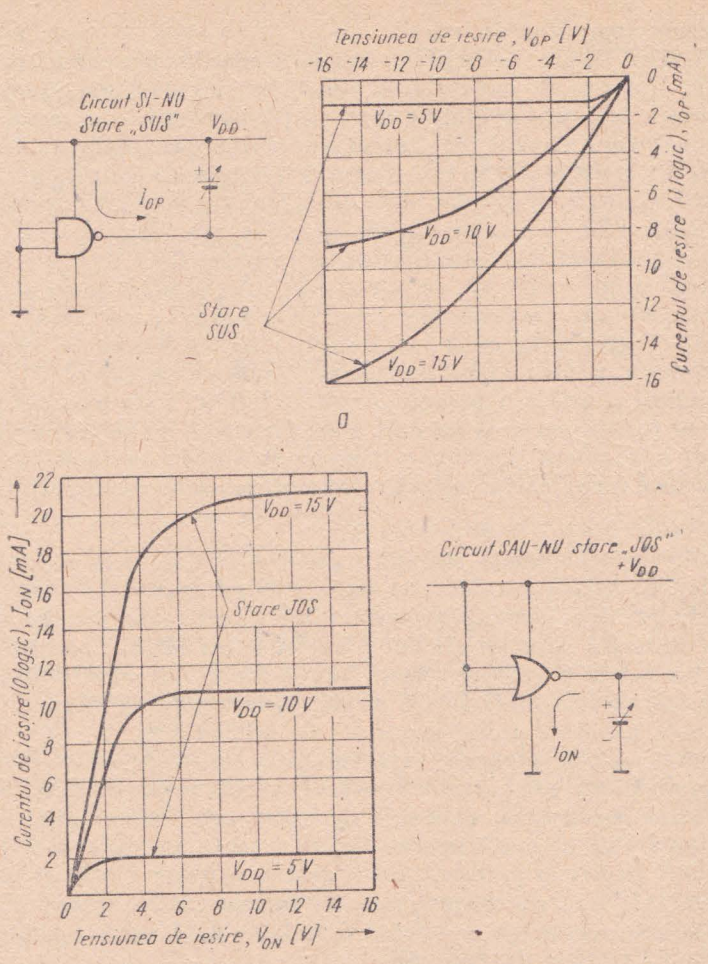


Fig. 2.22. Caracteristicile tipice de ieșire în curent : *a*) poartă SI-NU(NAND) cu ieșirea în starea **SUS** ; *b*) poartă SAU-NU(NOR) cu ieșirea în starea **JOS.**

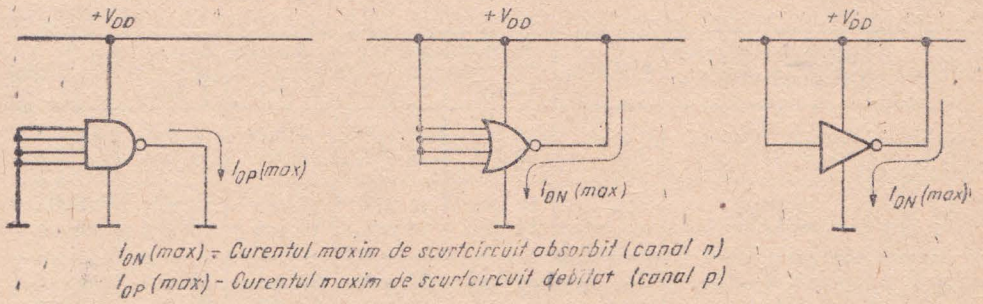


Fig. 2.23. Determinarea curentului maxim de scurtcircuit pentru porți SI-NU(NAND), SAU-NU(NOR) și circuite buffer.

• *Sarcina capacitivă de ieșire*

Capacitatea totală de ieșire este determinată de capacitatea sarcinii conectate la ieșire și de capacitatea tranzistorului de ieșire. Valoarea capacității de ieșire se poate considera max. 8 pF per ieșire. La conectarea unor capacități externe, timpul de comutare crește proporțional cu valoarea acestora. Și din acest motiv se înregistrează o creștere a valorii puterii disipate.

În acest context, o atenție deosebită trebuie acordată conectării la ieșirea circuitelor CMOS, a capacităților de valori mari (peste 1 μF). În timpul comutării, vîrful de curent este limitat de caracteristica de ieșire a tranzistorului cu canal *n* sau *p*. Totuși, se pot atinge valori relativ mari ale curentului maxim (peste 90 mA). În particular, cînd se lucrează cu porți SAU-NU(NOR), respectiv SI-NU(NAND), cu 4 intrări sau circuite buffer, se recomandă să nu se depășească, pentru vîrful de curent, următoarele valori : 30 mA pentru porțile standard și 100 mA pentru circuitele buffer. Este momentul să facem precizarea că funcționarea la curenți mari provoacă nu numai creșterea temperaturii, ci micșorează simțitor și timpul de viață al circuitelor prin favorizarea apariției fenomenelor de migrație a aluminiului pe suprafața siliciului.

• *Curentul de scurtcircuit la ieșire*

Familiile logice bipolare standard nu sînt protejate la efectul de scurtcircuit la ieșire. Astfel, curentul de ieșire nefiind limitat la o valoare acceptabilă, poate provoca distrugerea circuitului logic respectiv. În cazul familiei CMOS, datorită caracteristicilor tranzistorului MOS, curentul maxim la ieșire este limitat la o valoare relativ bine definită. Această limitare permite o protecție inerentă la scurtcircuit pe perioade scurte de timp și, în special, la valori mici ale tensiunilor surselor de alimentare.

În figura 2.22 se prezintă caracteristica tipică de ieșire pentru stările de **0** logic și de **1** logic ale porților SI-NU (NAND), respectiv SAU-NU (NOR).

După cum se observă, curentul de ieșire este limitat cînd ieșirea este pusă în scurtcircuit la masă sau la V_{DD}. Cu toate acestea, dacă ieșirea este scurtcircuitată pentru o perioadă mare de timp (peste 1 oră) și sursa de alimentare are valori care depășesc 5 V, circuitele CMOS se pot distruge. De altfel, tabelul 2.3 specifică o *valoare limită absolută pentru puterea disipată de tranzistorul de ieșire de 100 mW*.

În tabelul 2.9, valabil pentru condițiile de măsură din figura 2.23, sînt indicate valorile maxime ale curentului de ieșire debitat I_{OP} sau absorbit I_{ON} în situație de scurtcircuit și pentru diverse tipuri de porți (seria 4000A și echivalentele).

Tabelul 2.9

V_{DD}	IEȘIREA SCURT-CIRCUITATĂ LA :	SIMBOL	SAU-NU (NOR)		SI-NU (NAND)		BUFFER
			2 Intr.	4 Intr.	2 Intr.	4 Intr.	
+5 V	$+V_{DD}$	I_{ON}	4 mA	8 mA	2 mA	2 mA	25 mA
	MASA	I_{OP}	3 mA	2 mA	2 mA	13 mA	7 mA
+10 V	$+V_{DD}$	I_{ON}	16 mA	45 mA	12 mA	10 mA	700 mA
	MASA	I_{OP}	14 mA	9 mA	10 mA	50 mA	20 mA
+15 V	$+V_{DD}$	I_{ON}	30 mA	90 mA	20 mA	25 mA	170 mA
	MASA	I_{OP}	25 mA	20 mA	15 mA	90 mA	60 mA

Notă : Funcționarea circuitelor CMOS în aceste condiții nu este garantată.

În concluzie, *se recomandă evitarea depășirii unei valori a curentului de ieșire de 10 mA pentru porți standard și de 45 mA pentru circuite buffer.*

• *Intrări neutilizate*

Caracteristica de intrare a unei porți nu depinde numai de caracteristica la intrare a tranzistorului MOS, ci și de configurația rețelei de protecție la descărcări electrostatice utilizate.

În cazul circuitelor CMOS se utilizează două tipuri de rețele de protecție care vor fi descrise în § 2.5.1.

Circuitul de intrare poate fi simplificat după cum se arată în figura 2.24 [5].

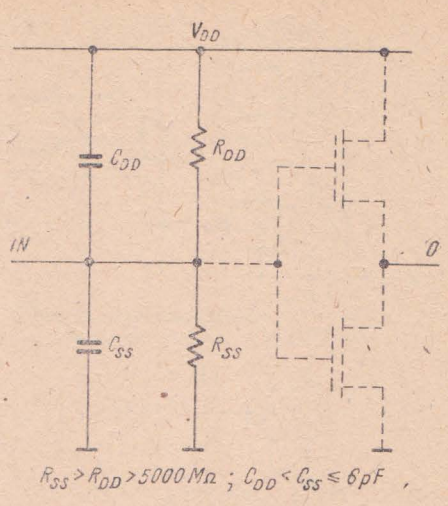


Fig. 2.24. Circuitul echivalent simplificat de intrare.

Considerînd valorile numerice ale capacităților echivalente, și ale rezistențelor echivalente determinate de joncțiunile *pn*, se observă că valoarea potențialului la intrare, în cazul intrărilor neutilizate (în gol) nu este bine definită. Astfel, orice acumulare de sarcină la intrare poate provoca deschiderea tranzistoarelor, ceea ce ar genera comutări false la ieșire. În consecință, toate intrările neutilizate trebuie legate, fie la masă, fie la V_{DD}, dependent de funcția logică dorită. Deci:

— *intrările neutilizate ale unei porți SI-NU (NAND) se vor lega la* V_{DD};
— *intrările neutilizate ale unei porți SAU-NU (NOR) se vor lega la* V_{SS}.

Aceeași recomandare este valabilă și pentru porțile logice neutilizate ale unei capsule, care pot genera perturbații în sistem prin intermediul surselor de alimentare.

Se poate înseria o rezistență cu valori între 10 kΩ și 100 kΩ între intrările momentan neutilizate și V_{DD} sau V_{SS} pentru protejarea sursei de alimentare, în cazul străpungerii oxidului de poartă al acestor intrări. Automat porțile vor fi în starea logică corectă la aplicarea în sistem a tensiunii de alimentare.

• *Conectarea porților logice în paralel*

Există aplicații în care este necesar să se mărească curentul debitat sau absorbit de ieșirea porților CMOS. În acest scop, *porțile logice de același tip se pot lega în paralel.* Se îmbunătățesc astfel și performanțele de viteză ale porților. Toate intrările și ieșirile se vor conecta după cum se arată în figura 2.25.

Deci, *porțile SAU-NU (NOR) se vor lega în paralel numai cu porți SAU-NU (NOR), porțile SI-NU (NAND) numai cu porți SI-NU (NAND), inversoare numai cu inversoare.*

Dacă utilizăm porți SI-NU (NAND), curentul debitat la ieșire crește proporțional cu numărul intrărilor legate în paralel. Pentru porți SAU-NU (NOR), curentul absorbit de ieșiri va crește proporțional cu numărul intrărilor legate în paralel. Este recomandabil ca porțile legate în paralel să aparțină aceleiași capsule.

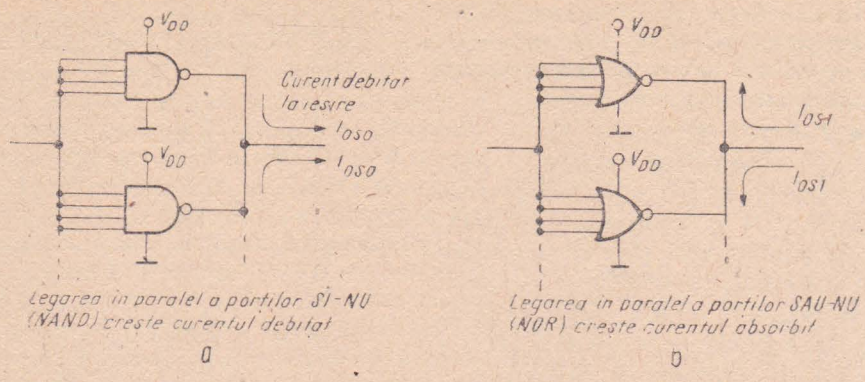


Fig. 2.25. Creșterea curentului debitat (absorbit) prin legarea porților CMOS în paralel : *a*) porți SI-NU (NAND) ; *b*) porți SAU-NU (NOR) ; c) inversoare.

Conexiunea SAU-CABLAT (WIRED OR) nu este recomandabilă. Dacă două porți se interconectează ca în figura 2.26 și dacă $A = B = \mathbf{0}$ și $C = D = \mathbf{1}$, nivelul de tensiune de la ieșire este definit de divizorul de tensiune format de tranzistoarele cu canal *n* și *p* aflate simultan în conducție.

Consecința ar fi o tensiune la ieșire de 0,5 V_{DD} în starea stabilă, care nu este adecvată pentru comanda circuitelor logice următoare.

• *Performanțe 3-state*

Dezactivarea unei intrări de validare *3-state*, denumită *ENABLE*, permite ieșirii unui circuit CMOS să comute într-o stare de impedanță ridicată, indiferent de starea logică în care se află intrările în acel moment.

Această facilitate permite conectarea mai multor circuite pe o singură magistrală (bus) de date, care, apoi, vor putea fi activate selectiv. În figura 2.27 este prezentat un etaj de ieșire CMOS cu acționare *3-state*. Etajul conține două tranzistoare cu canal *n* și două tranzistoare cu canal *p*. O pereche de tranzistoare *p*/*n* operează cu funcție de inversor standard, iar cea de-a doua pereche funcționează ca un comutator închis-deschis atunci cînd intrarea *ENABLE (VALIDARE)* este activată.

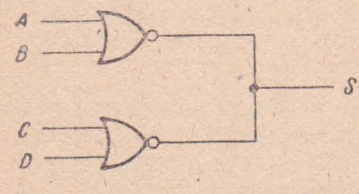


Fig. 2.26. Conexiunea SAU-CABLAT (WIRED OR).

Dacă intrarea *ENABLE* este în starea **SUS**, tranzistoarele Q_1 și Q_3 sînt deschise și ieșirea este caracterizată de nivelele **1** și **0** logic.

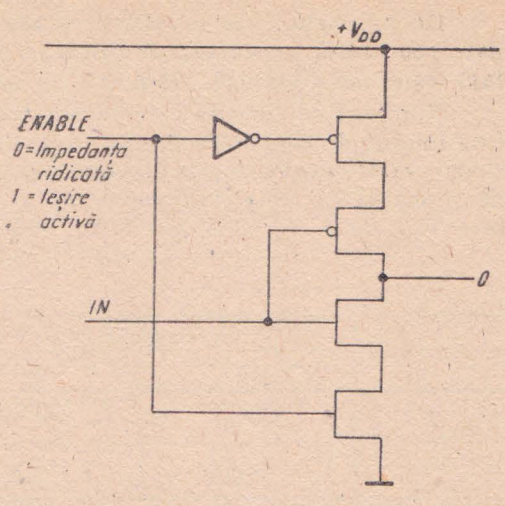


Fig. 2.27. Configurația unui etaj de ieșire *3-state*.

Cînd intrarea *ENABLE* este în starea **JOS**, indiferent de nivelele logice prezente la intrare, impedanța de ieșire este ridicată și are următoarele valori tipice:

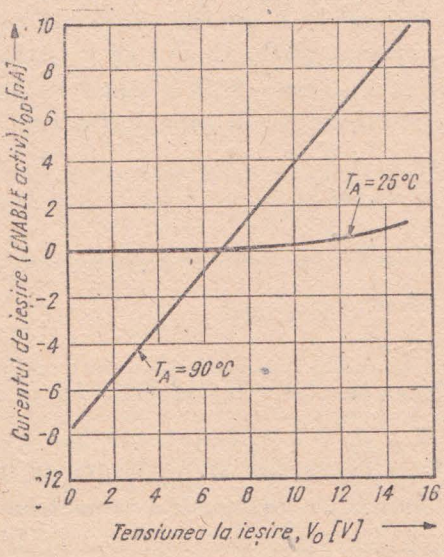
la $T_A = 25°C$ este mai mare de 10 000 MΩ;

la $T_A = 100°C$ este mai mare de 1 000 MΩ.

Pentru realizarea facilității *3-state* se pot folosi și porțile de transmisie.

În figura 2.28 se prezintă caracteristicile tipice ale ieșirii cînd intrarea *ENABLE* este **0**.

Numărul circuitelor *3-state* care pot fi conectate în paralel la o singură magistrală de date este, practic, nelimitat dacă nu se dorește o viteză de funcționare mare. *Ca regulă practică se poate considera că fiecare ieșire 3-state reprezintă o încărcare de curent de aproximativ 100 nA.*



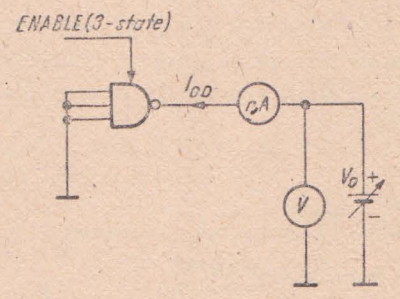


Fig. 2.28. Caracteristica statică tipică de ieșire a unui buffer CMOS, cînd intrarea *ENABLE* este **0**.

De exemplu, 100 de ieșiri *3-state* conectate pe aceeași magistrală de date reprezintă un curent de sarcină pentru ieșirea activă de numai 10 μA, fapt care nu afectează marginea de zgomot în curent continuu.

Numărul de circuite care se pot conecta pe o aceeași magistrală de date este limitat de timpul de propagare și de sursa de alimentare. În tabelul 2.10 se dau valorile timpului de propagare pe magistrala comună de date, în funcție de numărul de ieșiri interconectate și pentru valorile tensiunii de alimentare V_{DD} de 5 V, 10 V și 15 V.

Tabelul 2.10

V_{DD} [V]	Numărul circuitelor *3-state* în calea comună			
	10	20	50	100
5	360 ns	520 ns	1 μs	1,8 μs
10	140 ns	220 ns	460 ns	860 ns
15	80 ns	110 ns	210 ns	370 ns

• *Considerații privitoare la fan-out*

În contrast cu logica bipolară, unde *fan-out*-ul reprezintă o limitare importantă, în special din considerente de margine de zgomot, pentru circuitele CMOS *fan-out*-ul are o altă semnificație.

La prima vedere s-ar putea spune că *fan-out*-ul nu are limitări, imunitatea la zgomot rămînînd nemodificată datorită absenței curentului de intrare (cu excepția curentului rezidual de intrare, generat de rețeaua de protecție a intrării).

Pentru proiectare, se poate folosi o valoare a fan-out-ului mai mare de 100. Totuși, dacă viteza mare și timpii de propagare mici sînt factori obligatorii, *fan-out*-ul dinamic joacă un rol important. Încărcarea capacitivă a ieșirii mărește considerabil timpul de propagare al porții. Fiecare intrare CMOS conectată în plus la o ieșire CMOS, reprezintă o sarcină adițională capacitivă de aproximativ 5 pF, care crește corespunzător timpul de propagare al semnalului, după cum se poate vedea și din figura 2.29, *a*. Dacă fiecare intrare CMOS reprezintă o sarcină capacitivă de 5 pF, capacitatea totală C_L va fi:

$$C_L = (X \cdot 5) + C_0 \text{ [pF]} \qquad (2\text{-}5)$$

unde

pentru $V_{DD} = 5$ V $\quad C_0 = 40$ pF

$V_{DD} = 10$ V $\quad C_0 = 20$ pF

$V_{DD} = 15$ V $\quad C_0 = 10$ pF

iar X reprezintă numărul intrărilor interconectate (figura 2.29, *b*).

• *Interconectarea circuitelor CMOS*

Problemele interconectării circuitelor logice sînt strîns legate de timpii de comutare și de lungimea și natura liniilor de transmisie a semnalelor prin sistem.

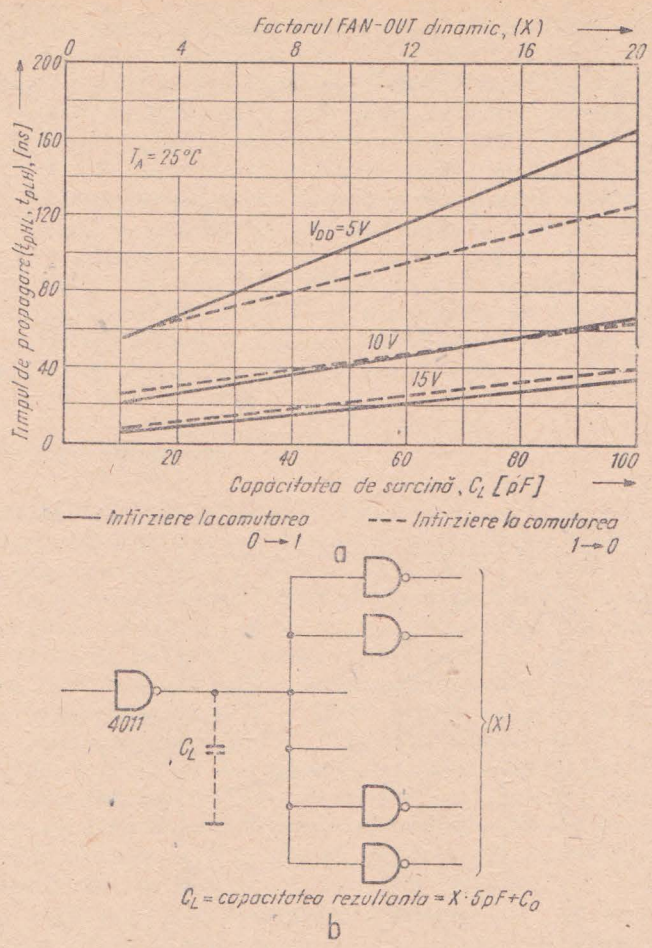
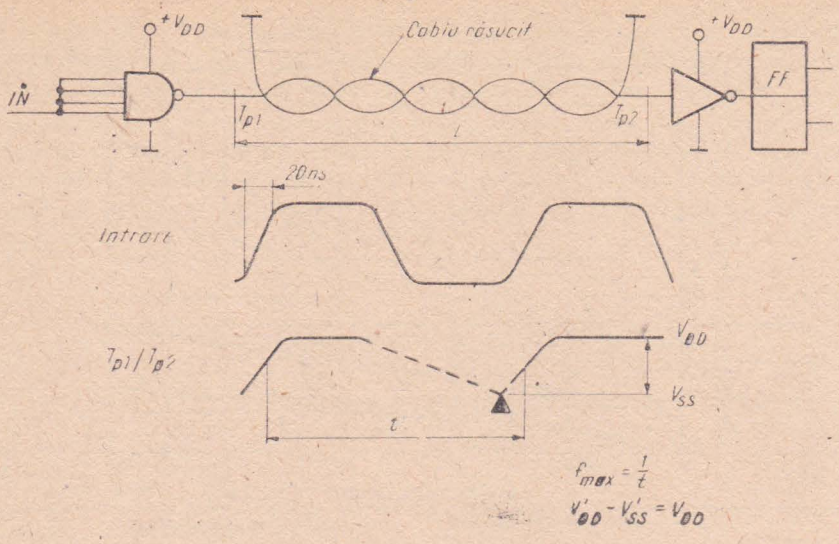


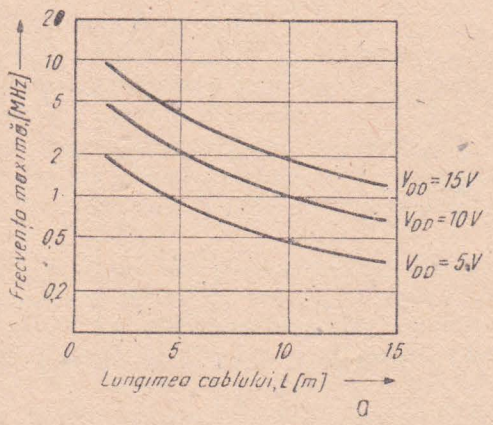
Fig. 2.29. Timpii de propagare în funcție de *fan-out*-ul dinamic și de tensiunea de alimentare V_{DD} (*a*) și circuitul de măsură (*b*).

Întîrzierile tipice ale propagării semnalelor prin diverse tipuri de linii utilizate uzual sînt prezentate în tabelul 2.11.

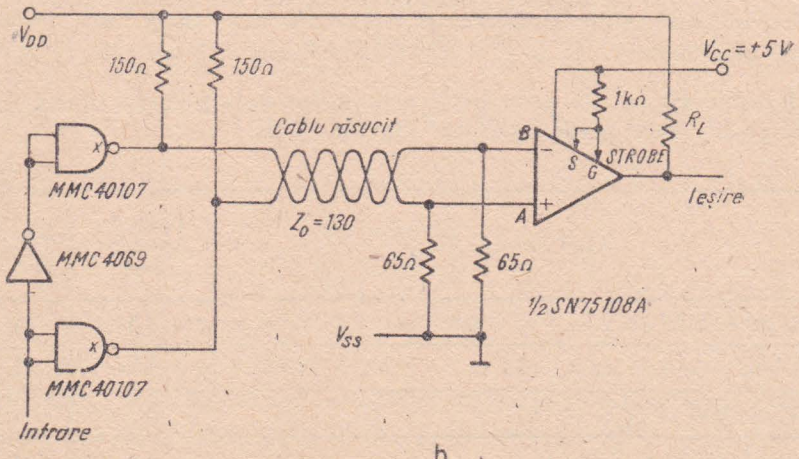
Tabelul 2.11

Tipul liniei	Timp de întîrziere [ns]	Lungimea liniei
COAXIAL cu $Z_o = 50\ \Omega$	3,9	1 m
COAXIAL din polietilenă cu $Z_o = 50\ \Omega$	5	1 m
Feeder TV cu $Z_o = 75\ \Omega$	5	1 m
Cablu răsucit (bifilar) $Z_o = 110\ \Omega$	4,8	1 m





a



b

Fig. 2.30. Frecvența maximă a semnalului transmis între două porți CMOS în funcție de lungimea liniei, pentru $V_{DD} = 5$ V, 10 V, 15 V (*a*); exemplu de interconectare prin linii lungi, utilizînd un circuit *open-drain* MMC 40 107 (*b*).

După cum se poate remarca, timpul de propagare al semnalului depășește rareori valoarea de 5 ns pentru o distanță de 1 m între două porți, ceea ce, comparativ cu valorile timpilor de comutare specifici circuitelor CMOS, este foarte puțin. Reflexiile, dacă apar, sînt absorbite pe durata tranzițiilor semnalului. În figura 2.30, *a* se ilustrează un exemplu de interconectare a două porți CMOS. Graficul arată variația frecvenței maxime care poate fi transmisă, în funcție de lungimea liniilor de transmisie (cablu răsucit), conservînd imunitatea la zgomot. Frecvența maximă este definită în situația în care durata palierului semnalului de ieșire devine nulă.

Pentru aplicații de putere, echivalentul circuitelor TTL *open-collector* este circuitul *open-drain* MMC 40107. Un exemplu de utilizare a circuitului este prezentat în figura 2.30, *b*. Circuitul *open-drain* MMC 40107 este utilizat și la comanda altor circuite, utilizînd linii lungi.

2.3.2. Alimentarea circuitelor

• *Tensiunea sursei de alimentare.* Circuitele din seria CMOS 4000, produse la Microelectronica, au valorile limită absolută ale tensiunii de alimentare de 20 V pentru tipurile *G* și *H* și de 18 V pentru tipurile *E* și *F*. Se poate întîmpla ca în sistemele logice să se depășească valorile tensiunilor limită admise de circuite, datorită, de exemplu, tranzițiilor din linia de alimentare care se pot aduna la valorile nominale ale sursei de alimentare în tensiune. Drept urmare, se recomandă utilizarea circuitelor într-o plajă de valori pentru tensiunea de alimentare de 3 V...18 V pentru tipurile *G* și *H*, respectiv 3 V...15 V pentru tipurile *E* și *F*. Valoarea minimă de 3 V este stabilită de suma valorilor tensiunilor de prag ale tranzistoarelor cu canal *n* și *p*.

• *Stabilitatea tensiunii surselor de alimentare.* Datorită particularităților de funcționare ale circuitelor CMOS, se pot folosi surse de tensiune cu o stabilitate proastă. Totuși, dacă se doresc performanțe deosebite, trebuie luate măsuri suplimentare, în funcție de cerințele specifice.

Alegerea celei mai mici tensiuni de funcționare va implica pretenții minime privind viteza și/sau imunitatea la zgomot minimă.

Tensiunea maximă de alimentare V_{DD} este limitată la 18 V pentru evitarea străpungerii joncțiunilor tranzistoarelor, dar poate oscila în jurul acestor valori. Dacă circuitele CMOS funcționează către limita superioară a vitezei de lucru, stabilitatea sursei de alimentare devine o necesitate de prim ordin, în scopul obținerii vitezei de lucru dorite. În aceste situații, se pot utiliza stabilizatoare cu diode Zener sau stabilizatoare serie de tensiune.

• *Variațiile și filtrajul surselor de alimentare.* Variațiile admise surselor de alimentare trebuie să respecte următoarele condiții:

1. să nu producă scăderea sursei de alimentare sub minimul necesar cerințelor impuse de viteză și imunitate la zgomot;

2. să nu provoace depășirea tensiunii de străpungere.

Se admit variații ale surselor de alimentare între 10 și 20% din valoarea nominală, fără a afecta foarte mult performanțele circuitelor.

Totuși, pentru decuplarea căilor de zgomot este recomandabil a se monta pe fiecare placă cu circuite CMOS un condensator de valoare cuprinsă între 0,01...0,1 μF.

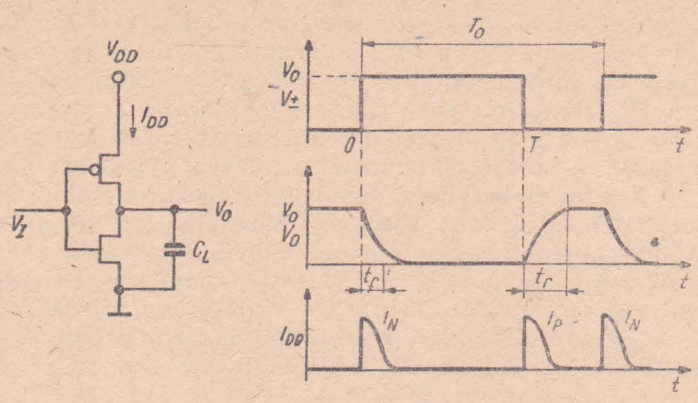


Fig. 2.31. Model pentru evaluarea puterii disipate.

• *Consumul de putere și curent*

Puterea disipată este un parametru foarte important pentru un sistem care conține un număr mare de dispozitive. Circuitele CMOS au o putere disipată în regim static de ordinul nanowați nW. Puterea disipată în regim static este datorată curenților reziduali ai joncțiunilor *pn* dintr-un circuit CMOS. Valoarea curentului rezidual se poate considera proporțională cu valoarea sursei de alimentare și își dublează valoarea pentru fiecare creștere cu 10°C a temperaturii.

Puterea disipată de un dispozitiv CMOS crește în regim de comutare. Figura 2.31 arată variația curentului de alimentare în timpul comutării.

Calculul puterii disipate de către un inversor CMOS este prezentat în § 1.3.3.

În figura 2.32 se prezintă forma impulsului la intrare și circuitele de măsură a puterii disipate pentru poarta SAU-NU(NOR) MMC 4001 și bista-

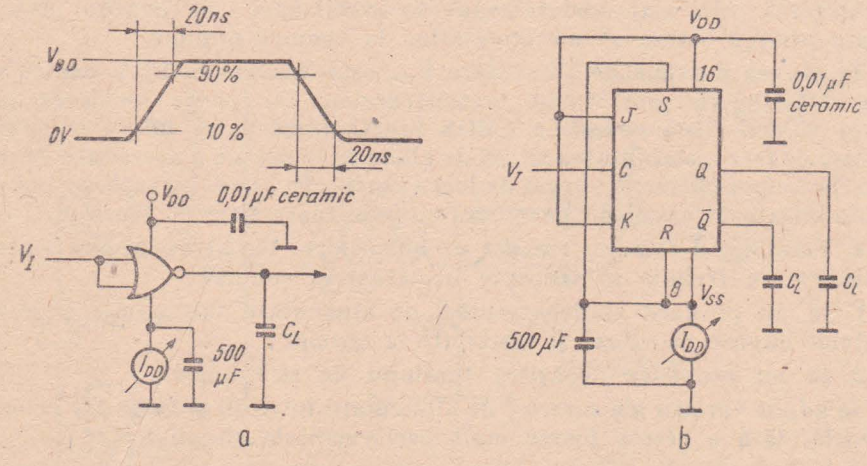


Fig. 2.32. Măsurarea puterii disipate în regim dinamic : *a*) circuitul de test pentru o poartă SAU-NU (NOR), MMC 4011 ; *b*) circuitul de test pentru bistabilul *JK* MMC 4027.

bilul *JK* MMC 4027. Dependența de frecvența semnalului de intrare a puterii disipate de către circuitul MMC 4001 este prezentată în figura 2.32.

Figura 2.33 arată modul în care puterea disipată de o poartă CMOS depinde de fronturile semnalului de intrare la o frecvență de 100 kHz. Se observă influența valorii tensiunii de alimentare V_{DD}. La valori mici ale tensiunii V_{DD}, puterea disipată în regim dinamic se poate calcula cu relația (1-30), dar pentru tensiuni de alimentare mai mari de 10 V și dacă fronturile impulsului la intrare depășesc o durată de 200 ns, puterea consumată în regim dinamic de circuitul CMOS este mai mare decît valoarea estimată de relația (1-30). Componenta puterii disipate P_{d2} (calculabilă cu relația (1-31)) nu mai este neglijabilă. Acest fenomen nu este critic deoarece, în circuitele integrate CMOS complexe sau în cadrul diverselor sisteme logice, puține porți sînt comandate la intrări cu impulsuri avînd fronturi lent variabile.

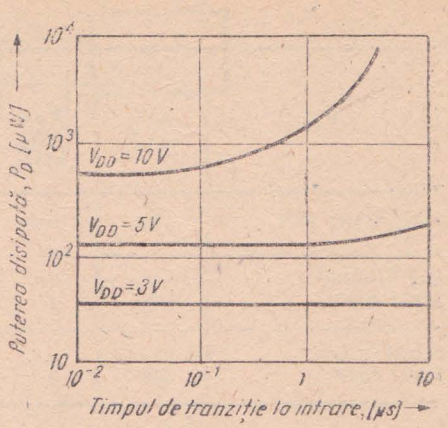


Fig. 2.33. Puterea disipată de o poartă CMOS în funcție de timpul de tranziție la intrare.

În tabelul 2.12 sînt prezentate valorile tipice ale puterii disipate în regim static, pentru porți și bistabili din seria *MMC4XXX*.

Tabelul 2.12

Caracteristici		Simbol	V_{DD}	Tip *E*, *F*			Tip *G*, *H*			U.M.
				Min.	Tipic	Max.	Min.	Tipic	Max.	
Tensiune de alimentare de operare		V_{DD}	—	3	—	15	3	—	18	V
Puterea statică disipată	Porți	P_D	5	—	0,025	2,5	—	0,005	0,25	μW
			10	—	0,05	10	—	0,01	1,0	
			15	—	0,15	—	—	0,03	—	
	Două bistabile		5	—	0,05	50	—	0,025	5	
			10	—	0,2	200	—	0,05	20	
			15	—	1,0	—	—	0,125	—	

Calculul puterii disipate se face însumînd puterile statice și dinamice. În tabelul 2.13 se indică valorile tipice ale puterilor disipate în regim static și dinamic pentru diferite circuite CMOS.

Tabelul 2.13

V_{DD}	5 V		10 V		15 V		C_L [pF]
	$P_{D\,st}$ [nW]	$P_{D\,d}$ [μW/kHz]	$P_{D\,st}$ [nW]	$P_{D\,d}$ [μW/kHz]	$P_{D\,st}$ [nW]	$P_{D\,d}$ [μW/kHz]	
Porți MMC 4001	25	0,8	50	2,8	100	7	25
Doi bistabili MMC 4027	50	1	200	15	400	12	15
Numărătoare MMC 4029	500	6	1 000	20	2 000	40	15

2.3.3. Temporizare

Pentru circuitele secvențiale, timpii de tranziție maximi ai impulsurilor de ceas măsurați, se încadrează în domeniul 5...15 μs, fiind dependenți de tensiunea de alimentare (tabelul 2.14).

Tabelul 2.14

Tipuri de circuite CMOS	t_r, t_f (μs) $V_{DD} = 5$ V	t_r, t_f (μs) $V_{DD} = 10$ V
Toate exceptînd cele menționate	15	15
Doi bistabili *D* MMC 4013	15	5
Doi bistabili *JK* MMC 4027	15	5
Numărător divizor MMC 4017 Numărător asincron MMC 4020, MMC 4024, MMC 4040	fără limite (intrări trigger Schmitt)	

Dacă în sistem se ating aceste limite, atunci există posibilitatea apariției impulsurilor parazite pe intrările de date, care conduc la comutări false și creșterea puterii disipate. În figura 2.34 se prezintă un exemplu în care frontul crescător t_r al impulsului de ceas poate produce impulsuri false la intrarea de date a celui de-al doilea bloc logic. Pentru evitarea acestei situații, trebuie să fie respectată relația:

$$t_r \leqslant (t_{p1} + t_{hold2}) \tag{2-6}$$

unde

t_{p1} este timpul de propagare prin blocul logic 1 pentru o capacitate de sarcină C_L, iar t_{hold2} este timpul de menținere a datelor pe intrarea blocului logic 2.

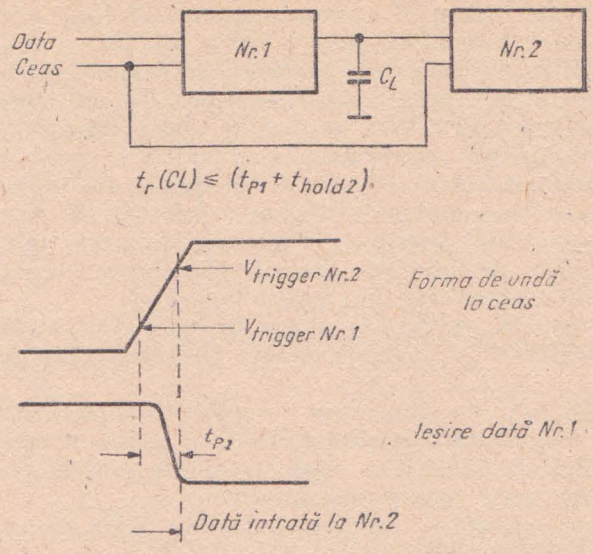


Fig. 2.34. Influența timpului de tranziție al semnalului de ceas asupra comutărilor blocurilor logice.

Timpii de propagare și de tranziție pentru un anumit tip de circuit CMOS din seria 4000 sînt dependenți de sarcina capacitivă a acestuia. Pentru toate măsurătorile efectuate asupra circuitelor, fronturile impulsurilor de intrare sînt de 20 ns. Fronturile impulsurilor de ieșire se măsoară între 10% și 90% din excursia totală de tensiune la ieșire. Timpii de propagare t_{PHL}, t_{PLH} sînt măsurați între punctele în care se atinge 50% din excursia de tensiune la intrare și punctul în care se atinge 50% din excursia de tensiune la ieșire (fig. 2.2). Variația timpilor de propagare și de tranziție în funcție de sarcina capacitivă și de valorile sursei de alimentare sînt prezentate la fiecare tip de circuit (capitolul 3). Creșterea valorii tensiunii de alimentare conduce la scăderea timpilor de propagare și de tranziție, iar creșterea valorii sarcinii capacitive la scăderea acestora.

Porțile SI-NU(NAND) și SAU-NU(NOR), alimentate la tensiuni de peste 10 V, pentru o sarcină capacitivă de 50 pF au timpi de propagare variind între 40 și 60 ns.

2.3.4. Zgomote

- *Generalități*

Imunitatea la zgomot a circuitelor CMOS este dependentă de mai mulți factori, cum ar fi: valorile tensiunilor surselor de alimentare, *fan-in*-ul și *fan-out*-ul, inductanțe și capacități parazite, surse de zgomote, forma semnalelor de zgomot, diferențele individuale dintre cipuri.

În general, firmele producătoare caracterizează imunitatea la zgomot a circuitelor logice prin valorile marginii de zgomot. *Decît să se utilizeze valori*

de tensiune, ar fi mai indicat să definim marginea de zgomot pe baza energiei totale necesară pentru o comutare falsă a ieșirii [5], [6].

Circuitele CMOS au valori ale tensiunii de comutare V_{IN}^* (§ 1.3.1) mai mari decît cele ale altor familii de circuite logice. Totuși, imunitatea energetică la zgomot a circuitelor CMOS nu este în mod obligatoriu mai mare (datorită impedanței de ieșire relativ mari) comparativ cu cea a circuitelor care au valori ale tensiunii de comutare mai mici și impedanță de ieșire mai mică. Mai mult decît atît, imunitatea la zgomot a unei familii de circuite logice este puternic dependentă de frecvența maximă de lucru. Întrucît zgomotul este cuplat capacitiv pe liniile de semnal, micșorarea timpului de răspuns al logicii provoacă micșorarea imunității la zgomot.

Tipurile de zgomot întîlnite în sistemele logice sînt următoarele:

- zgomote externe — zgomote induse în sistem din mediul înconjurător;
- zgomote în linia de alimentare — zgomote cuplate prin distribuirea în sistem a alimentării în curent continuu și/sau în curent alternativ;
- zgomote în linia de masă — zgomote induse în linia de masă datorită buclelor de masă necorespunzătoare;
- zgomote de diafonie — zgomote induse în liniile de semnal de liniile de semnal adiacente;
- reflexii în liniile de transmisie — zgomote de la liniile de transmisie neadaptate, care cauzează reflexii.

Zgomotul este o combinație aleatoare a mai multor tipuri dintre cele enumerate mai sus și de aceea este destul de greu de analizat. Se vor descrie termenii specifici imunității la zgomot și posibilitățile de măsură.

- *Imunitatea la zgomot în curent continuu*

Imunitatea la zgomot în curent continuu este definită ca valoarea maximă a tensiunii care poate apare la intrare fără a provoca comutarea unei porți dintr-o stare logică în alta. Comutarea nu poate să aibă loc dacă amplificarea inversorului este subunitară (§ 1.3). Pe caracteristica de transfer sînt două puncte în care amplificarea inversorului este unitară. *Dispozitivele CMOS resping impulsuri parazite de tensiune, avînd 45% din valoarea sursei de tensiune de alimentare, dar valoarea standard garantată este de 30%.* Punctul de amplificare unitară este considerat cel mai defavorabil caz pentru definirea imunității la zgomot în curent continuu (după cum se arată în figura 2.35, *a*, *b*). Imunitatea la zgomot în curent continuu a unei familii logice este definită de relațiile:

$$V_{NIL} = | V_{ILmax} - V_{OL} | = \text{imunitatea la zgomot la nivel logic JOS} \quad (2\text{-}7)$$

$$V_{NIH} = | V_{OH} - V_{IHmin} | = \text{imunitatea la zgomot la nivel logic SUS} \quad (2\text{-}8)$$

unde

V_{OH} este tensiunea minimă de ieșire pentru nivel logic **SUS**;

V_{IHmin} — tensiunea minimă de intrare pentru nivel logic **SUS**, pentru care se garantează o stare logică certă (V_{OH} sau V_{OL});

V_{ILmax} — tensiunea maximă de intrare pentru nivel logic **JOS** pentru care se garantează o stare logică certă (V_{OH} sau V_{OL});

V_{OL} — tensiunea maximă de ieșire pentru nivel logic **JOS**.

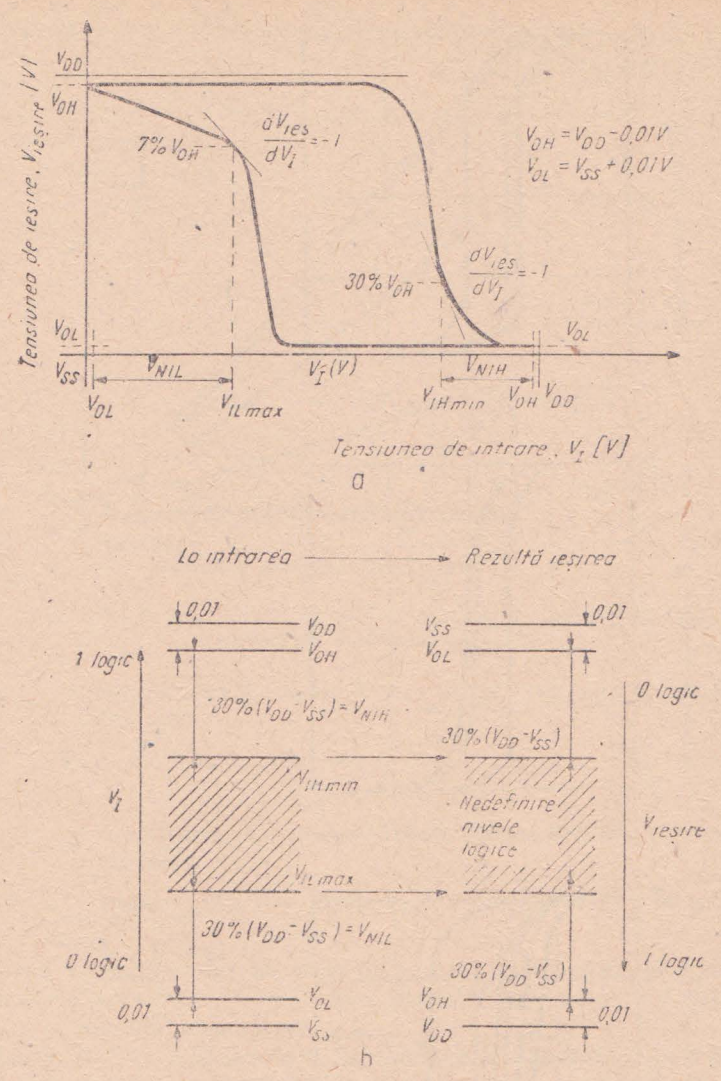


Fig. 2.35. *a*) Definirea imunității la zgomot ; *b*) nivele logice garantate și imunitatea la zgomot la intrarea și ieșirea unei porți logice CMOS.

Se observă că există un domeniu relativ mare al tensiunilor la intrare în care starea logică la ieșire este nedefinită (40% ($V_{DD} - V_{SS}$)). Acest domeniu permite existența variațiilor datorate procesului de fabricație și a deplasării caracteristicii de transfer funcție de numărul de intrări active ale porții. Astfel, circuitele cu 4 intrări reprezintă limita practică, pentru care ambele cauze ale deplasării caracteristicii de transfer pot fi acceptate (fig. 2.36).

Se prezintă un exemplu de calcul al imunității la zgomot în curent continuu pentru funcționarea unei porți în cazul cel mai defavorabil și pentru $V_{DD} = 10$ V.

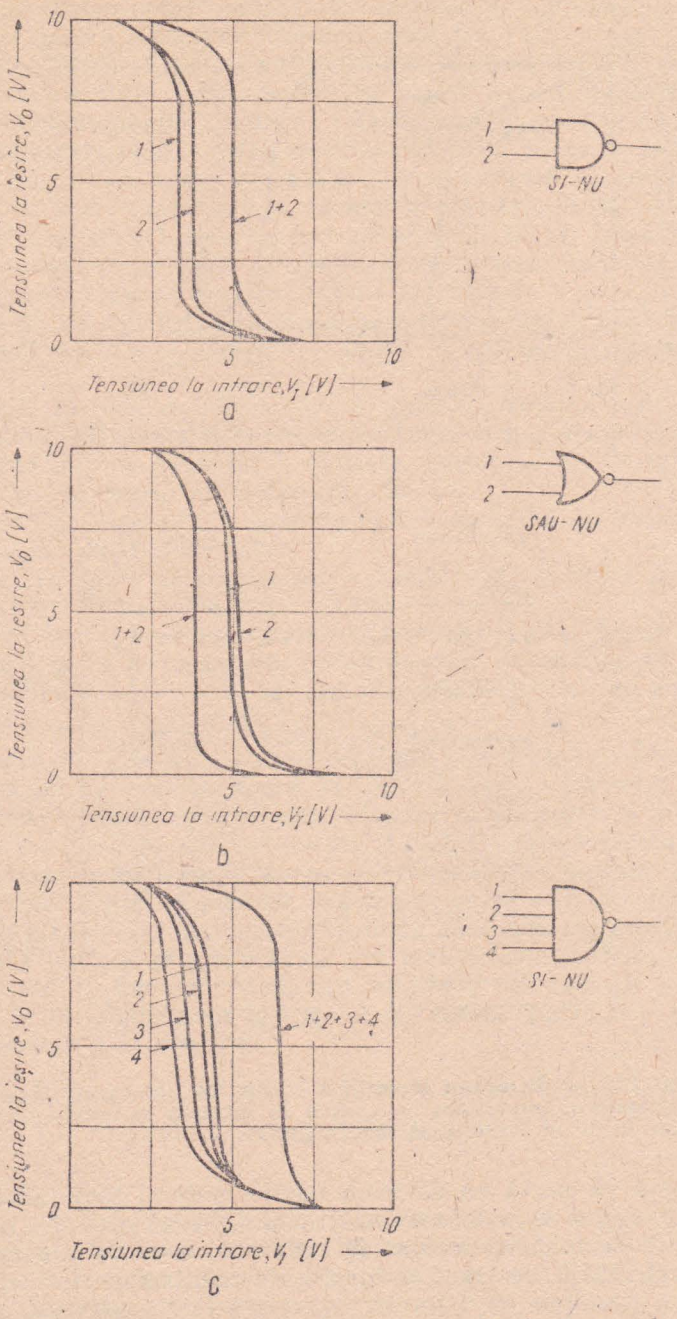


Fig. 2.36. Deplasarea caracteristicii de transfer în funcție de numărul de intrări :

a) pentru o poartă SI-NU (NAND) cu două intrări ; *b*) pentru o poartă SAU-NU (NOR) cu două intrări ; *c*) pentru o poartă SI-NU (NAND) cu patru intrări.

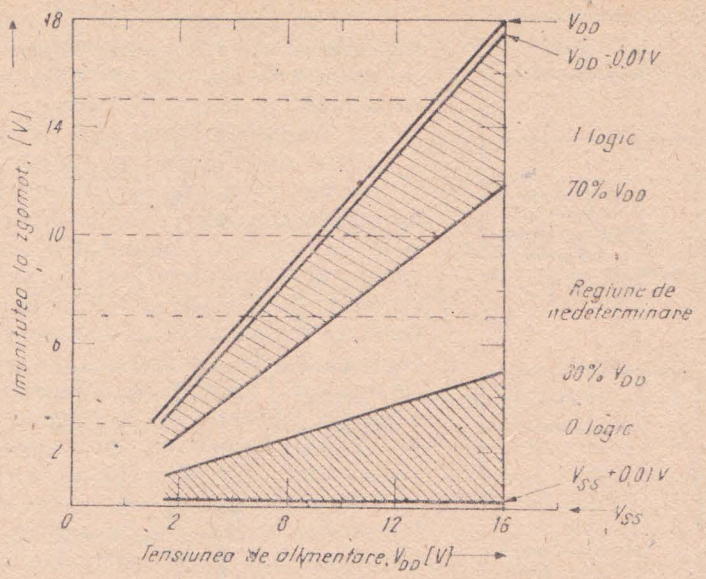


Fig. 2.37. Marginile de zgomot garantate în funcție de tensiunea de alimentare V_{DD}.

- V_{NIL} = imunitatea la zgomot în curent continuu a intrării în starea **JOS**;

$$V_{NIL} = V_{IN} \text{ (pentru } V_{OUT} = 70\%\ V_{DD}) - V_{OL} = 3 - 0{,}01 \simeq 3 \text{ V} \quad (2\text{-}9)$$

- V_{NIH} = imunitatea la zgomot în curent continuu la intrare în starea **SUS**

$$V_{NIH} = V_{IN} \text{ (pentru } V_{OUT} = 30\%\ V_{DD}) - V_{OH} = 7 - 9{,}99 \simeq -3 \text{ V} \quad (2\text{-}10)$$

unde valorile V_{OL}, V_{OH} sînt nivelele de tensiune garantate pentru domeniul de temperatură specificat și cînd dispozitivul CMOS comandă alt dispozitiv CMOS sau o sarcină capacitivă.

În figura 2.37 este prezentată imunitatea la zgomot în curent continuu pentru diferite valori ale tensiunii de alimentare V_{DD}. Imunitatea la zgomot variază foarte puțin cu temperatura, datorită stabilității cu temperatura, foarte bune, a caracteristicii de transfer.

- *Imunitatea la zgomot în curent alternativ*

Imunitatea la zgomot în curent continuu prezintă numai efectele variației semnalelor logice de tensiune în regim staționar. Imunitatea la zgomot în curent alternativ arată dependența timpilor de propagare și a fronturilor semnalului de ieșire de amplitudinea și durata impulsului parazit (de zgomot) și, deci, dependența de capacitățile de intrare și de ieșire. Figura 2.38, *a* exemplifică imunitatea la zgomot în curent alternativ, în funcție de durata impulsului de zgomot. Cu cît durata impulsului de zgomot se apropie de valoarea timpului de propagare al circuitului, cu atît scade amplitudinea semnalului care poate afecta circuitul.

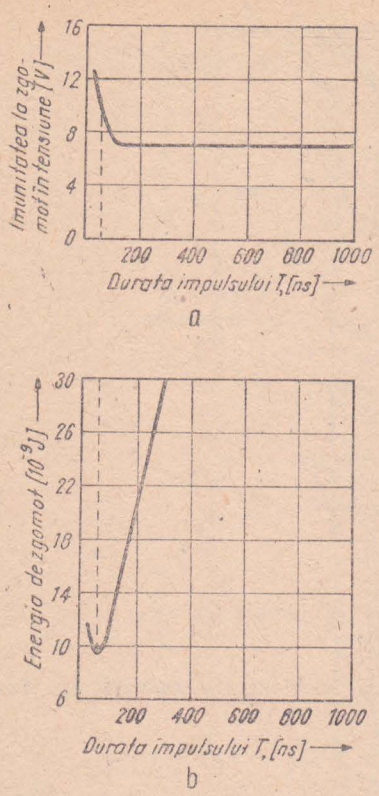


Fig. 2.38. *a*) Imunitatea la zgomot în regim dinamic ; *b*) Variația energiei semnalului de zgomot.

Pe de altă parte, cu cît crește durata impulsului, cu atît amplitudinea semnalului de zgomot se apropie de valoarea marginii de zgomot în curent continuu.

• *Imunitatea energetică la zgomot*

Prin specificarea imunității energetice la zgomot se poate caracteriza foarte bine familia logică respectivă, în raport cu semnalele de zgomot. Imunitatea energetică la zgomot ia în considerație efectele amplitudinii semnalului de zgomot, influența impedanței liniei de semnal, timpul de răspuns al circuitului și durata impulsului de zgomot. În figura 2.38, *b* se prezintă dependența tipică a imunității energetice la zgomot, în funcție de durata impulsului de zgomot. Energia zgomotului care perturbă un circuit atinge un minim în punctul în care se specifică imunitatea la zgomot în curent alternativ.

Zgomotul poate perturba circuitul în trei moduri :

— prin cuplarea capacitivă și inductivă a liniilor de semnal dintre porți ;

— prin injecție pe terminalele de alimentare ;

— prin suprapunere în punctele de masă.

Aceste moduri de perturbare determină 4 tipuri de imunitate la zgomot funcție de starea logică :

— imunitatea la zgomot pe linia de semnal în starea **0** logic ;

— imunitatea la zgomot pe linia de semnal în starea **1** logic ;

— imunitatea la zgomot pe linia de masă ;

— imunitatea la zgomot pe linia de alimentare.

Metoda de estimare a imunității la zgomot presupune injectarea unui semnal de zgomot în linia de semnal corespunzătoare a unei porți, pentru diferite nivele de tensiune și durate ale impulsurilor, și observarea unei comutări false.

Schema de principiu pentru estimarea imunității la zgomot pe linia de semnal în starea **0** logic este prezentată în figura 2.39.

În figurile 2.40, 2.41, 2.42 se prezintă schemele de principiu pentru estimarea celorlalte tipuri de imunități la zgomot.

Testul de imunitate la zgomot pe linia de masă oferă informații privind imunitatea la zgomotul injectat prin terminalul de masă (fig. 2.41).

Măsurarea imunității la zgomot pe linia de alimentare (fig. 2.42) pune în evidență abilitatea circuitelor CMOS de a rezista la impulsuri de zgomot fără modificarea stării logice în care se află circuitul.

Efectul semnalului de zgomot injectat este indicat de starea bistabilului. Atunci cînd energia semnalului de zgomot injectat este suficientă, bistabilul

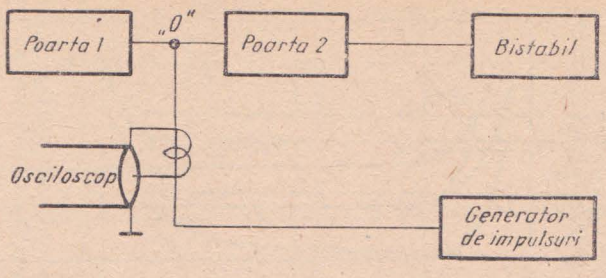


Fig. 2.39. Testarea imunității la zgomot dacă în linie se transmite un semnal **0** logic.

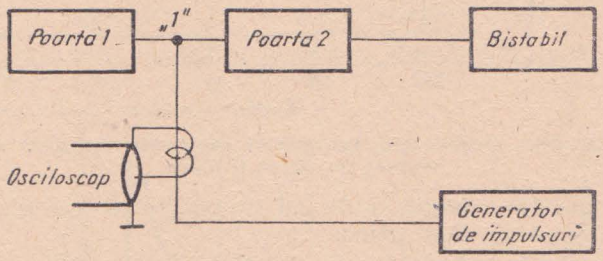


Fig. 2.40. Testarea imunității la zgomot dacă în linie se transmite un semnal **1** logic.

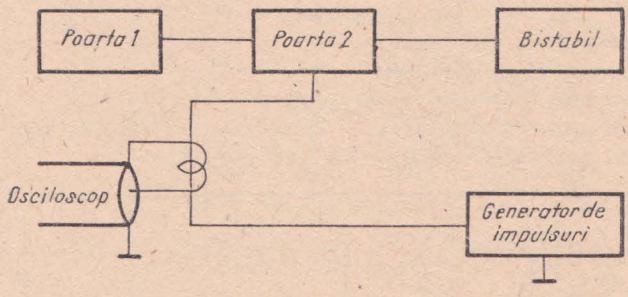


Fig. 2.41. Testarea imunității la zgomot în linia de masă.

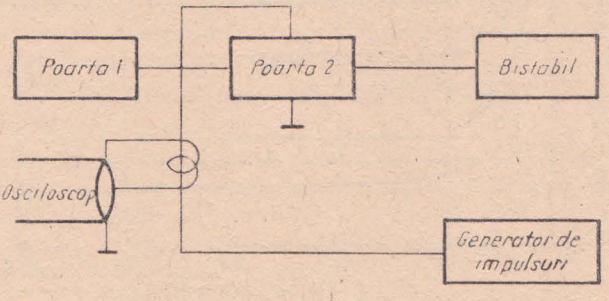


Fig. 2.42. Testarea imunității la zgomot în linia de **alimentare.**

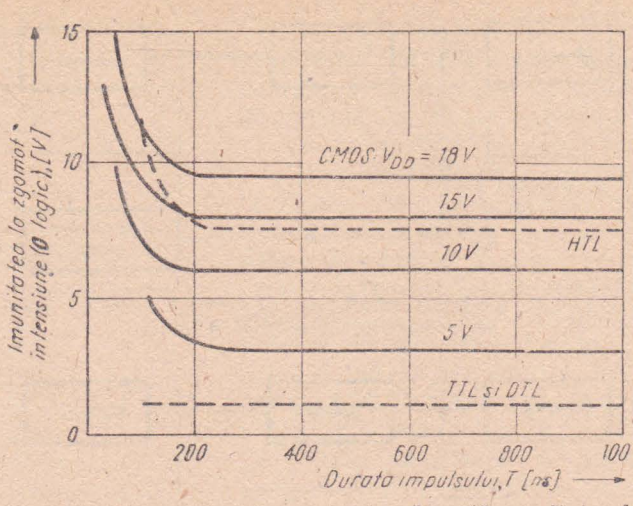


Fig. 2.43. Imunitatea la zgomot măsurată cu linia de semnal în starea 0 logic.

(comandat de poartă) comută, indicînd că pragul de energie al semnalului de zgomot injectat a fost atins.

Energia poate fi calculată prin relația :

$$E = \int_0^T U \cdot I \cdot dt \qquad (2\text{-}11)$$

unde

U este tensiunea de zgomot,

I — curentul de zgomot,

T — durata impulsului de zgomot.

Rezultatele măsurării imunității la zgomot pe linia de semnal în starea **0** sau **1** logic sînt prezentate în figurile 2.43 și 2.44.

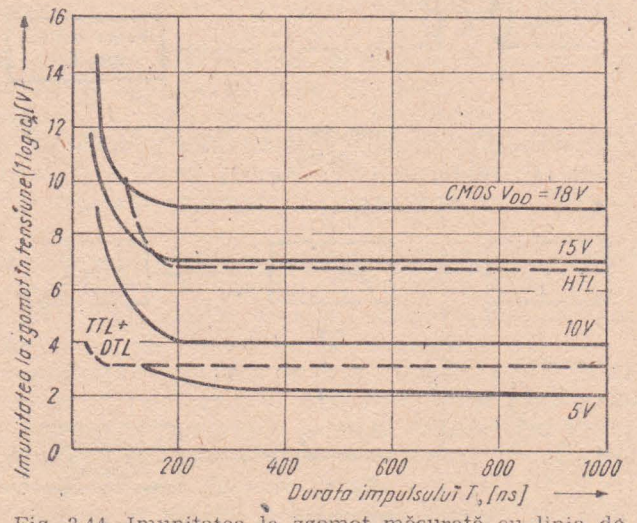


Fig. 2.44. Imunitatea la zgomot măsurată cu linia de semnal în starea **1** logic.

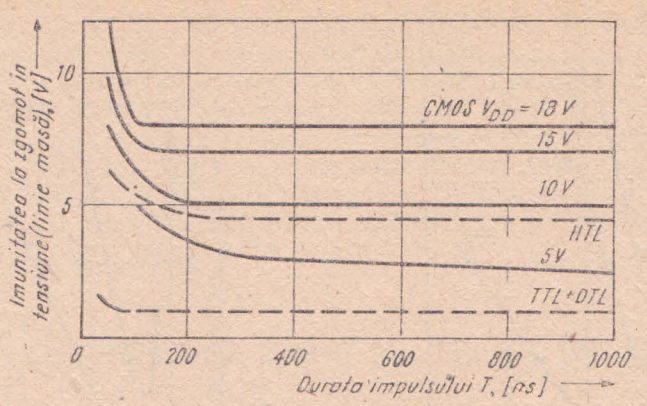


Fig. 2.45. Imunitatea la zgomot măsurată în linia de masă.

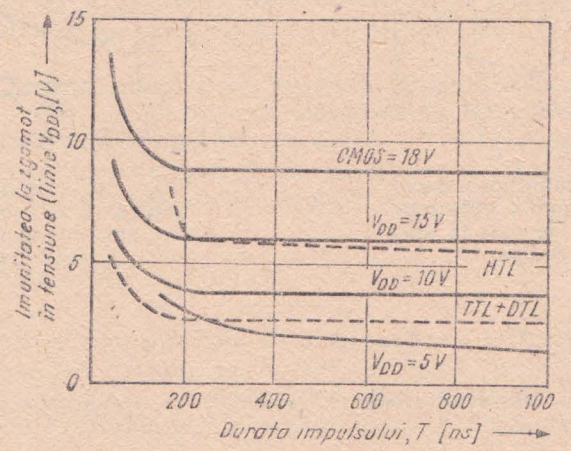


Fig. 2.46. Imunitatea la zgomot măsurată în linia de alimentare.

În figurile 2.45 și 2.46 sînt prezentate imunitățile la zgomot pe linia de alimentare, respectiv de masă.

Variația imunității energetice la zgomot pe linia de semnal în funcție de durata impulsului de zgomot este prezentată în figurile 2.47 și 2.48.

Fiecare din aceste curbe are un minim care prin definiție trebuie considerat drept valoarea imunității energetice la zgomot pentru tensiunea de alimentare V_{DD} corespunzătoare.

Energia este proporțională cu tensiunea, curentul și durata impulsului. Creșterea liniară din grafice se datorează creșterii liniare a duratei impulsului de zgomot, cînd valorile tensiunii și curentului sînt constante. Creșterea neliniară din partea stîngă a minimului se datorează creșterii valorilor zgomotelor în curent și tensiune.

Imunitatea energetică la zgomot pentru diverse familii logice este prezentată comparativ în figura 2.49.

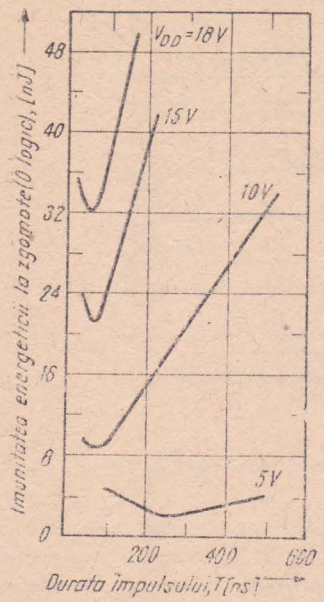


Fig. 2.47. Imunitatea energetică la zgomot măsurată cu linia de semnal în starea **0** logic.

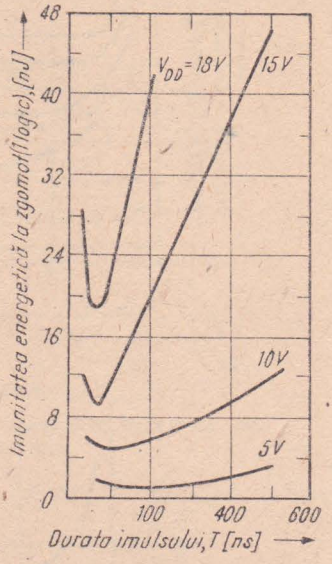


Fig. 2.48. Imunitatea energetică la zgomot măsurată cu linia de semnal în starea **1** logic.

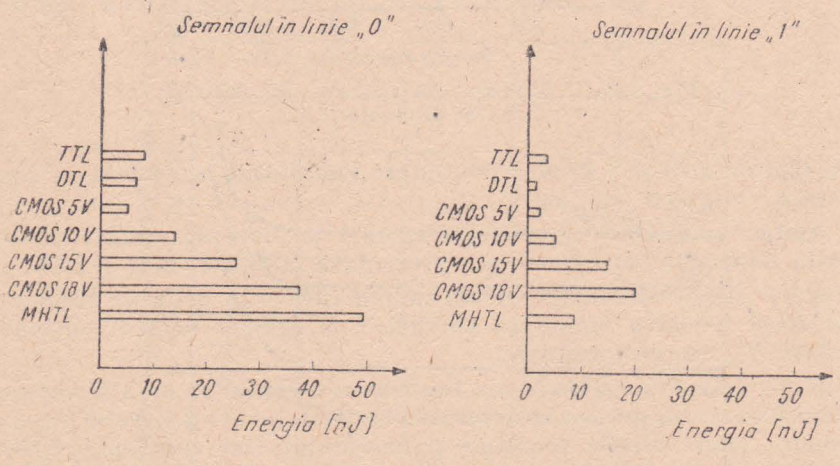


Fig. 2.49. Comparație între valorile imunității energetice la zgomot ale diverselor familii logice :

a) cu linia de semnal în **0** logic ; *b*) cu linia de semnal în **1** logic.

În tabelul 2.2 (§ 2.1) s-au prezentat caracteristicile diverselor tipuri de familii logice și marginile de zgomot corespunzătoare.

Porțile logice CMOS au caracteristica de transfer foarte abruptă în punctul de comutare, care se află la aproximativ 50% din valoarea tensiunii de alimentare. Astfel, sînt necesare semnale de zgomot foarte mari pentru a provoca comutări false ale stărilor logice la ieșiri. Pentru toate valorile surselor de alimentare, imunitatea energetică la zgomot (pentru stările **0** și **1**) a familiei CMOS este mai mare decît cea corespunzătoare oricărei alte familii logice. Excepție face familia logică HTL.

2.4. Interfațarea circuitelor CMOS [3], [5], [7], [8], [11]

În proiectarea oricărui sistem, o problemă aparte o reprezintă interfațarea circuitelor din familii logice diferite. În această secțiune se va descrie modul în care circuitele CMOS se interconectează cu circuitele din diverse familii logice (TTL, ECL), precum și cu circuite PMOS, NMOS sau dispozitive discrete.

Exemplele prezintă circuite de interfață de la CMOS la alte circuite logice și invers. Trebuie menționat că marginile de zgomot au fost indicate luînd în considerare numai limitele garantate.

În practică, marginea de zgomot este mai mare deoarece, în mod uzual, poarta CMOS de interfață comandă o singură poartă a altei familii și invers.

2.4.1. Interfața CMOS-TTL

Există situații în care este nevoie să se realizeze interfața dintre logica CMOS și logica bipolară saturată de viteză mai mare. Aceasta, de exemplu, cînd viteza sistemului logic nu depășește 5 pînă la 10 MHz.

Cînd circuitele TTL trebuie să comande circuite CMOS alimentate dintr-o singură sursă de tensiune de 4,5...5,5 V, nivelul minim de ieșire în starea SUS pentru TTL (2,4 V) este mai mic decît nivelul minim de intrare în starea SUS pentru CMOS (3,5 V), după cum se arată în figura 2.50.

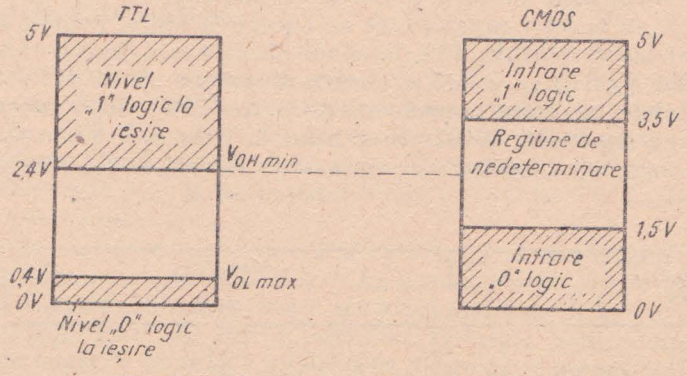


Fig. 2.50. Nivelele logice TTL și CMOS.

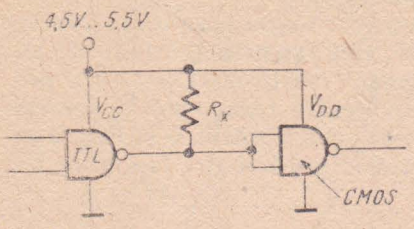


Fig. 2.51. Interfață TTL-CMOS.

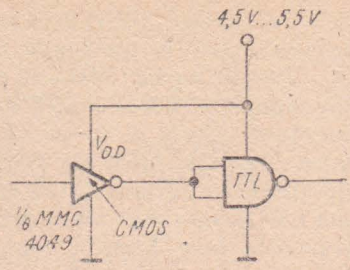


Fig. 2.52. Interfață CMOS-TTL.

Prin utilizarea unei rezistențe R_x (fig. 2.51) se crește nivelul de ieșire în starea SUS al circuitului TTL.

Valoarea minimă a rezistenței R_x este fixată de curentul maxim absorbit (16 mA pentru seria TTL standard și 0,36 mA pentru seria *Low Power Schottky* TTL), iar valoarea sa maximă este stabilită de curentul tranzistorului de ieșire în starea blocat.

Valorile cele mai indicate pentru rezistența R_x se situează în gama 1,5 kΩ...4,7 kΩ pentru toate familiile TTL, în cele mai defavorabile cazuri (tabelul 2.15).

Tabelul 2.15

R_x	Seria TTL				
	74	74 H	74 L	74 LS	74 S
$R_x min.$ (Ω)	390	270	1,5 k	820	270
$R_x max.$ (kΩ)	4,7	4,7	27	12	4,7

Deoarece impedanța unei intrări CMOS este de natură capacitivă, mai multe intrări CMOS pot fi comandate dintr-o singură ieșire TTL, numărul lor depinzînd de frecvența de lucru.

În cazul interfeței CMOS-TTL (fig. 2.52), cerința de bază este ca ieșirea CMOS să poată absorbi un curent suficient în starea JOS, la o tensiune maximă la ieșire de 0,4 V.

Trebuie menționat în acest moment că majoritatea circuitelor din seria *MMC 4XXX* au aceeași capabilitate de curent la ieșire, putînd să comande o sarcină *Low-power Schottky* TTL în condițiile cele mai defavorabile (0,36 mA la $V_{OUT} = 0{,}4$ V și $V_{DD} = 5$ V). Pentru tipuri de circuite TTL de puteri mai mari, trebuie utilizate numai circuite buffer MMC 4049, MMC 4050 sau circuite *open-drain* MMC 40107. În tabelul 2.16 se indică *fan-out*-ul minim și tipic al circuitelor buffer, corespunzător interfațării cu familiile TTL.

Tabelul 2.16

Fan-out buffer CMOS	Seria TTL				
	74	74 H	74 L	74 LS	74 S
Minim	2	1	14	7	1
Tipic	4	2	28	14	2

Aceste circuite (**MMC 4049** și **MMC 4050**) se alimentează din sursa TTL de 5 V și au avantajul că pot fi comandate la intrare cu tensiuni variind între 5 și 15 V.

Interfațarea se mai poate face și cu translatoare de nivel de tip CD 40109 B.

În sistemele care utilizează alimentarea circuitelor CMOS din surse cu tensiuni mai mari de 5 V, viteza și imunitatea la zgomot se pot îmbunătăți prin folosirea circuitelor TTL *open-collector* de tensiuni mari (tip 7406, 7407, 7416, 7417 sau 7426), după cum se arată în figura 2.53. Valoarea rezistenței de sarcină R_x depinde de valoarea tensiunii sursei de alimentare V_{DD} (la $V_{DD} = 10$ V, se recomandă utilizarea unei valori de 39 kΩ).

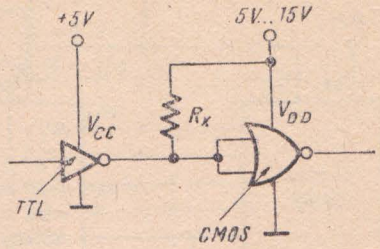


Fig. 2.53. Interfață TTL-CMOS pentru tensiuni de alimentare $V_{DD} > 5$ V.

2.4.2. Interfața CMOS-HTL (HNIL)

Domeniul larg al tensiunilor de operare și consumul mic de putere al circuitelor CMOS permit acestora să opereze la tensiunea de alimentare de 12 V, utilizată pentru circuitele HNIL (*high-noise-immunity logic*) sau HTL (*high threshold logic*). Cele mai multe circuite din seria *MMC 4XXX* pot comanda direct intrările circuitelor HNIL sau HTL. De asemenea, nivelele de tensiune de 0,8 V și 10 V ale circuitului HNIL permit interfațarea directă, păstrînd o bună imunitate la zgomot, cu circuite CMOS.

În acest fel, funcțiile circuitelor CMOS pot fi utilizate în extinderea domeniului aplicațiilor industriale în care sînt necesare excursii mari ale semnalelor și o bună imunitate la zgomot. În acest context, trebuie subliniate performanțele bune ale circuitelor CMOS privind puterea disipată comparativ cu circuitele HTL: 2 μW/poartă, față de 60 mW/poartă. Circuitele CMOS se pot utiliza la implementarea diverselor funcții în sistemele cu circuite HTL.

2.4.3. Interfața CMOS-PMOS

Sistemele MOS cu canal *p* operează în logică negativă; nivelul logic 1 este, în general, de −6 V pentru circuite realizate în tehnologie cu prag coborît și de −15 V pentru circuite realizate în tehnologie cu prag înalt. Se pot interfața direct cu circuitele logice CMOS dacă, pentru acestea din urmă, se conectează V_{DD} la potențialul 0V și V_{SS} fie la −6 V, fie la −15 V, după cum este cazul.

Registrele statice de deplasare PMOS cu poartă din siliciu, funcționînd din surse de alimentare de +15 V și −12 V, sînt direct compatibile cu sistemele CMOS funcționînd de la surse de alimentare de 5 V, cu V_{SS} la 0V. Registrele funcționează în logică pozitivă. Interfața este completată prin adăugarea, la intrările de date, a diodelor de fixare către potențialul $V_{SS} = 0$V (fig. 2.54), deoarece tensiunea la ieșirea PMOS neîncărcată devine negativă pentru nivelul logic **0**.

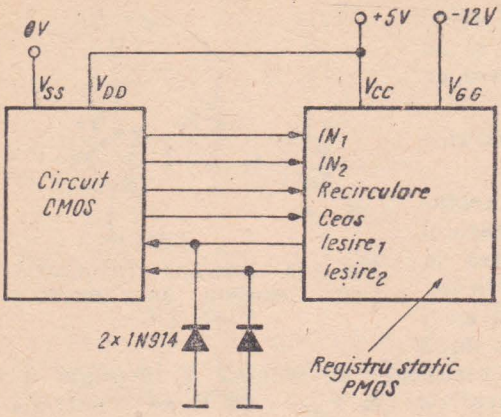


Fig. 2.54. Interfață CMOS-PMOS.

2.4.4. Interfața CMOS-NMOS

Nivelele logice ale circuitelor cu tranzistoare MOS cu canal *n* sînt pozitive și situate în domeniul de tensiuni accesibile dispozitivelor CMOS. Din acest motiv este posibilă interfațarea directă a circuitelor CMOS (alimentate la 5 V) cu circuitele NMOS.

Creșterea simțitoare a utilizării memoriilor și microprocesoarelor realizate în tehnologie MOS cu canal *n*, a făcut necesară interfațarea între circuitele CMOS și NMOS. Într-un sistem cu circuite de memorie de 1 kbit, cum ar fi tipul MMN 2102, în care se folosesc circuite CMOS pentru adresare, comenzi de citire/scriere și de selectare, circuitele CMOS pot fi alimentate de la sursa de tensiune de 5 V a memoriei. Intrările memoriei sînt compatibile CMOS și permit interfațare directă. Ieșirea de date necesită, în schimb, o rezistență R_x legată la +5 V, care asigură o tensiune corespunzătoare pentru starea **SUS** (fig. 2.55).

Exemplul prezentat arată modul simplu de interfațare și compatibilitatea în sistem între circuitele NMOS și CMOS. În figura 2.56 se prezintă o

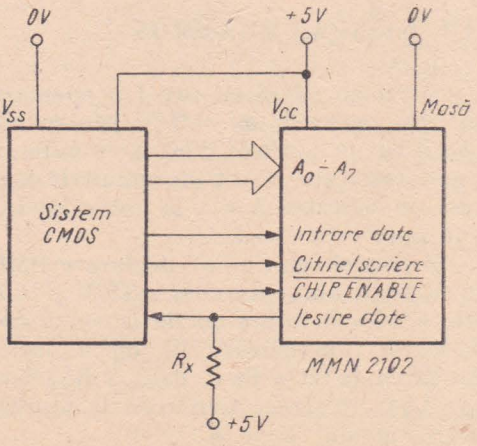


Fig. 2.55. Interfațarea directă între circuitele CMOS și memoria de 1 kbit MMN 2102.

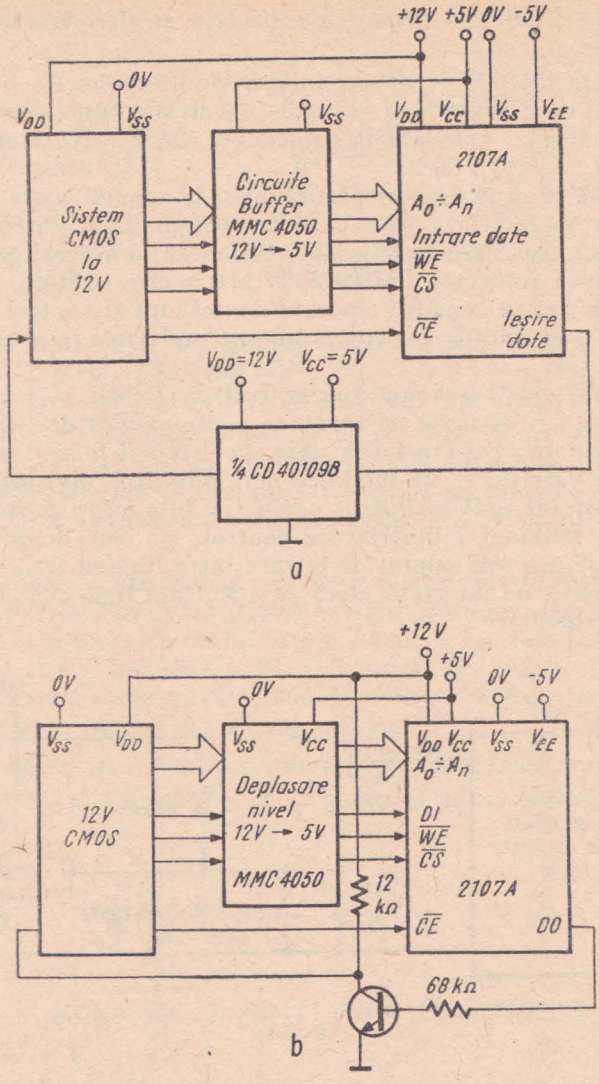


Fig. 2.56. Interfață CMOS — memorie RAM dinamică NMOS de 4 kbit :
a) cu deplasare de nivel cu CD 40 109 ; *b*) cu deplasare de nivel cu tranzistor.

schemă de interfațare puțin mai complicată, între o memorie dinamică de 4 kbit tip 2107A sau MMN 4027 și circuitele CMOS. După cum se poate observa din figura 2.56, *a*, pe ieșirea de date se folosește un circuit CD 40109B pentru a se putea genera nivelul logic de 12 V pentru partea CMOS a schemei.

În figura 2.56, *b* este prezentată o schemă de interfațare similară între circuitele prezentate mai sus, în care deplasarea nivelului se realizează cu un tranzistor.

2.4.5. Interfețe CMOS — dispozitive discrete și electromecanice

• *Interfața CMOS — sisteme industriale de control*

Sistemele de măsurare și control industriale funcționează, în general, în sisteme de semnal unificate în gamele 0...24 V (4...20 mA) și 0...12 V (2...10 mA).

Este de dorit să se conserve imunitatea la zgomot mare, precum și posibilitatea de a se interfața ușor cu orice sistem logic (integrat, discret sau electromecanic) deci, care trebuie să funcționeze în aceeași gamă de tensiuni. Seria de circuite integrate CMOS 4000 are aceste calități. Astfel, utilizînd circuite CMOS se pot construi aparate de măsură și control sau de automatizare, care pot fi folosite pentru obținerea performanțelor dorite în mediile industriale.

Figura 2.57 ilustrează un divizor rezistiv folosit la interfațarea dintre un sistem avînd o excursie de tensiune a semnalului de 24 V și un circuit CMOS. În cazul în care tensiunea dată de sistemul industrial de control are alte limite de variație se va modifica corespunzător divizorul rezistiv de pe intrarea circuitului CMOS. Filtrul capacitiv elimină o parte din zgomotele provenite din sistemul industrial de control, iar cele două diode de fixare păstrează tensiunea semnalului de intrare între limitele V_{DD} și V_{SS}.

O alternativă de interfață oferă circuitul din figura 2.58, prin utilizarea unei diode Zener.

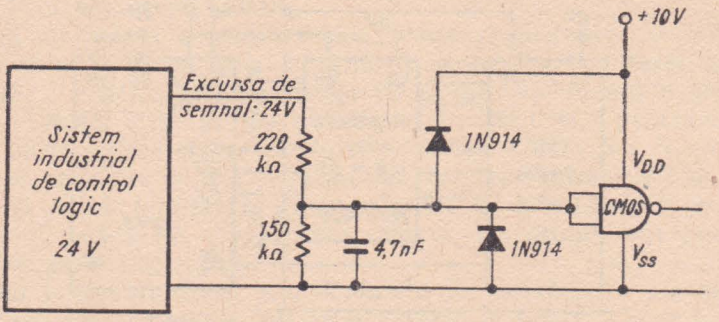


Fig. 2.57. Interfață sistem industrial de control — circuit CMOS.

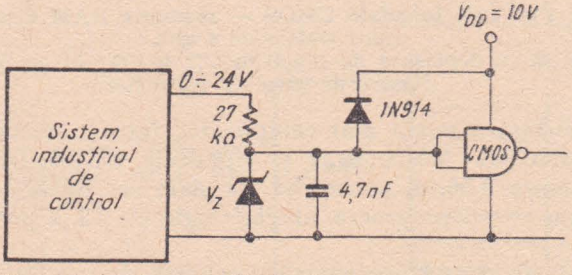


Fig. 2.58. Utilizarea diodei Zener la interfața dintre un sistem industrial de control — un circuit CMOS.

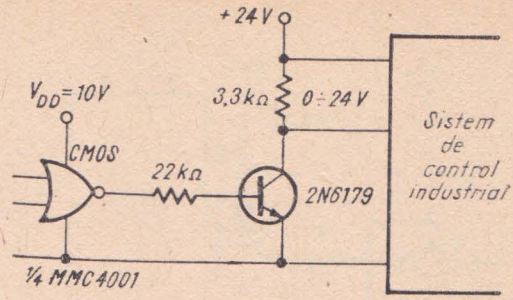
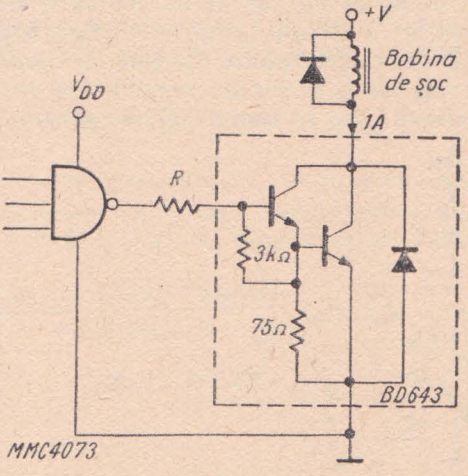


Fig. 2.59. Interfață CMOS — sistem industrial de control.

Interfața cu un singur tranzistor, folosit drept convertor de nivel CMOS-sistem de control industrial (care poate fi orice instalație, buclă de măsură, automatizare operînd în semnal unificat) este arătată în figura 2.59.

Tranzistorul este comandat direct de ieșirea circuitului CMOS. Impulsurile cu fronturi lente întîlnite în mod frecvent în sistemele de control și de automatizări industriale pot fi „evitate", pentru a nu produce comutări false (parazite) în prelucrările ulterioare, folosind circuitul MMC 4093 ca formator de impulsuri.

În figura 2.60 se poate vedea modul în care o poartă CMOS poate comanda, prin intermediul unui tranzistor compus Darlington, o sarcină inductivă (în cazul de față un releu cu un curent de anclanșare de 1 A). În situația în care acest tranzistor este de tip BD 643, tensiunea $V_{BE} = 1{,}5$ V și o amplificare de 1 000 la un curent colector $I_C = 1$ A, ieșirea în starea SUS a porții MMC 4073 va trebui să debiteze un curent de 1,5 mA. Valoarea rezistorului R se alege astfel încît tensiunea drenă-sursă a tranzistorului cu canal p din etajul de ieșire V_{DS} să poată asigura curentul de ieșire de 1,5 mA.



$V_{DD} = 5$ V $\quad R = 1$ kΩ
$V_{DD} = 10$ V $\quad R = 4{,}7$ kΩ
$V_{DD} = 15$ V $\quad R = 8{,}2$ kΩ

Fig. 2.60. Comanda releelor cu circuite CMOS, prin intermediul tranzitoarelor Darlington.

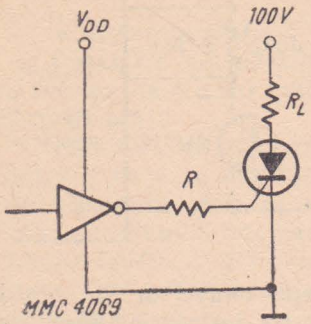


Fig. 2.61. Comandă directă a tiristorului cu circuit CMOS.

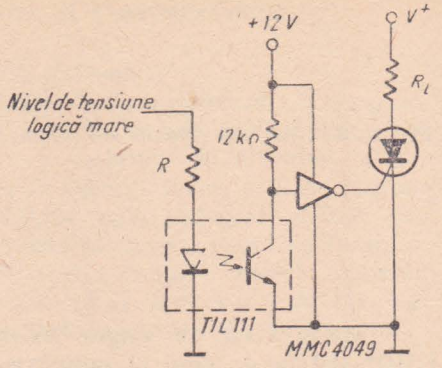


Fig. 2.62. Comanda tiristoarelor, cu izolație galvanică față de mediile care lucrează la tensiune ridicată.

• *Comanda tiristoarelor*

Se poate realiza comanda directă prin ieșiri CMOS a tiristoarelor sau triacelor de putere, cu circuitul din figura 2.61. Poarta tiristorului de mică putere este controlată direct de ieșirea circuitului MMC 4069.

De asemenea, se poate realiza controlul tiristoarelor și triacelor, cu curenți de poartă de ordinul miliamperilor, utilizînd circuitul buffer MMC 4049 (fig. 2.62).

În cazul în care curentul debitat de ieșirea unei singure porți este insuficient, este posibilă mărirea acestuia prin conectarea în paralel a intrărilor și ieșirilor mai multor porți logice CMOS de același tip, din aceeași capsulă.

• *Interfața CMOS-LED*

În cele ce urmează, vom prezenta interfațarea dispozitivelor optoelectronice cu circuitele CMOS. LED-urile pot fi comandate direct prin circuite buffer CMOS, cum ar fi circuitul MMC 4050, la un curent de comandă de 15 mA și avînd tensiunea sursei de alimentare a circuitului de 10 V (fig 2.63).

Display-urile cu 7 segmente cu LED Microelectronica, fie cele cu catod comun, fie cele cu anod comun pot fi comandate pe fiecare segment de cîte un tranzistor tip *pnp* la tensiuni de ordinul 5 V. În figura 2.64 se prezintă

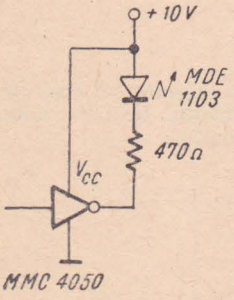


Fig. 2.63. Comanda cu circuite buffer CMOS a LED-urilor.

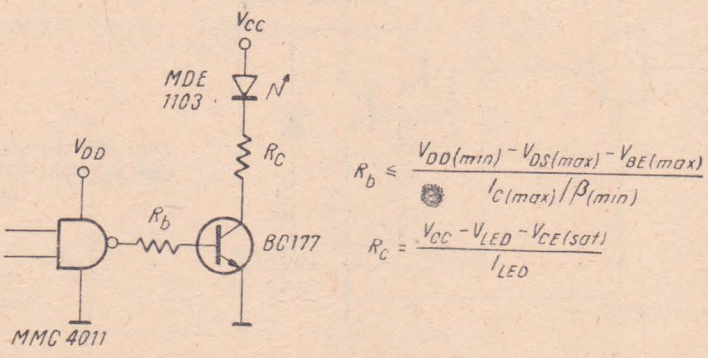


Fig. 2.64. Circuit de comandă a LED-urilor.

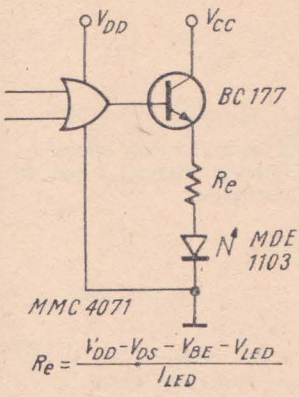


Fig. 2.65. Circuit de comandă a LED-urilor.

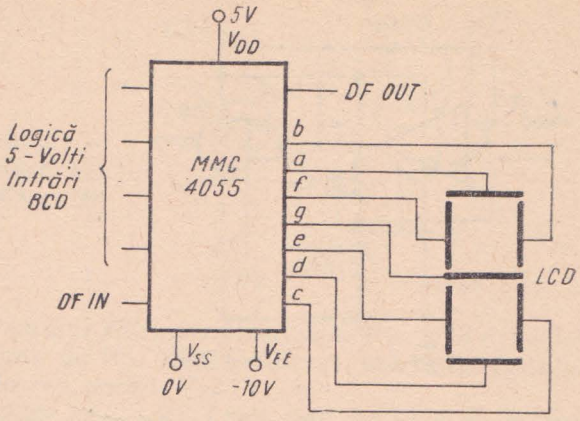


Fig. 2.66. Comanda afișajelor LCD cu MMC 4 055.

un tranzistor *npn* având ca sarcină unul dintre cele 7 segmente ale afișorului MDE 2102 (cu anod comun). Tot în această figură se prezintă și metoda de calcul a rezistențelor R_b și R_e. Curentul de comandă în baza tranzistorului depinde de tipul circuitului din seria MMC 4XXX utilizat și de tensiunea sursei de alimentare V_{DD}, precum și de tensiunea V_{DS}.

În figura 2.65 se prezintă comanda unui segment al unui display cu catod comun tip MDE 2201. Și aici se indică în figură formula de calcul a rezistenței R_e.

Afișoarele cu cristale lichide se pot comanda direct cu circuitele MMC 4054, MMC 4055 sau MMC 4056, după cum se arată și în figura 2.66. Aceste circuite conțin intern un etaj de deplasare a nivelului folosit pentru a converti tensiunea de intrare de 5 V într-o tensiune alternativă cu amplitudinea de 15 V, necesară pentru a comanda afișajul cu cristale lichide.

2.4.6. **Interfața CMOS — amplificator operațional**

Circuitele CMOS pot fi conectate direct la ieșirea amplificatoarelor operaționale (AO) care funcționează alimentate simetric față de masă (între −15 V și +15 V) după cum se arată în figura 2.67. Pentru a menține sem-

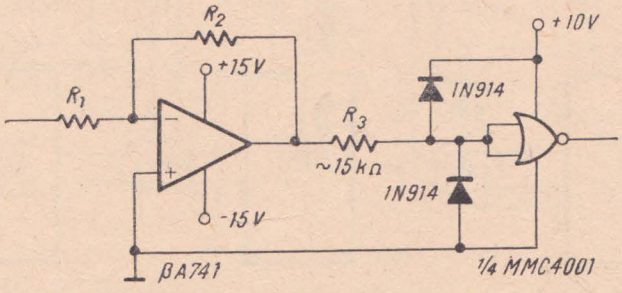


Fig. 2.67. Interfață amplificator operațional — CMOS.

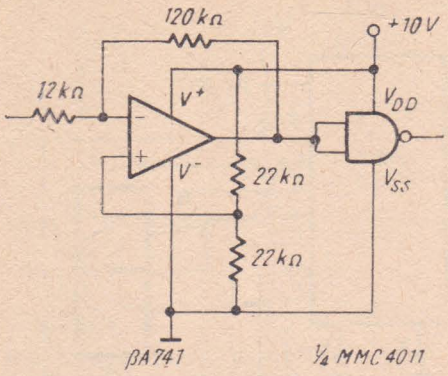


Fig. 2.68. Interfață amplificator operațional — CMOS utilizînd o singură sursă de alimentare.

nalul la intrarea circuitului CMOS între limitele $V_{DD}-V_{SS}$, s-au montat două diode de limitare conectate la V_{DD}, respectiv V_{SS}. Rezistența R_3 limitează curentul la ieșirea operaționalului.

În figura 2.68 amplificatorul operațional βA 741 funcționează între V_{DD} și V_{SS} cu un divizor rezistiv care polarizează la $V_{DD}/2$ intrarea neinversoare.

2.4.7. Interfața CMOS-ECL

Circuitele din familiile logice ECL 10000 și CMOS 4000 se pot interfața cu ajutorul circuitelor 10124 și 10125, care au fost construite pentru a face, de fapt, conversia între ECL și TTL.

Acest mod de interfațare impune circuitului CMOS să funcționeze de la o sursă de alimentare $V_{DD} = 5$ V, după cum se arată și în figura 2.69.

Cînd din partea sistemului CMOS se cere ca acesta să funcționeze la o viteză mai mare, se poate folosi montajul din figura 2.70, în care terminalul

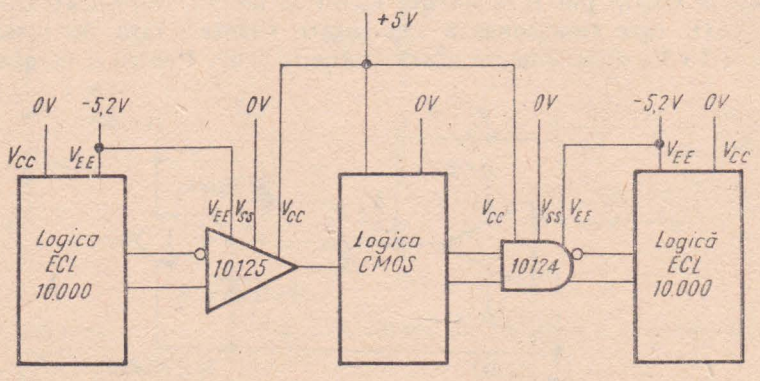


Fig. 2.69. Interfață dublă ECL 10 000 — CMOS și CMOS-ECL 10 000.

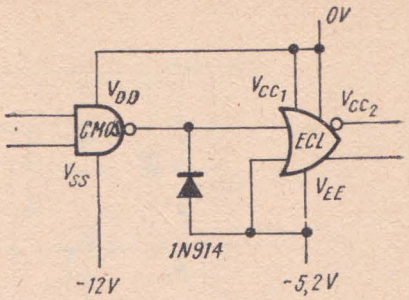


Fig. 2.70. Interfață CMOS (alimentat la —12 V) — ECL 10 000.

V_{DD} este conectat la masa sistemului ECL, iar terminalul V_{SS} este conectat la —12 V. În ultimul caz, dioda de tip 1N914 fixează ieșirea circuitului CMOS în starea **JOS** la valoarea sursei V_{EE}.

Pentru tensiuni de alimentare ($V_{DD}-V_{SS}$) mai mari de 12 V nu se vor putea folosi circuitele buffer CMOS, deoarece puterea disipată în starea **JOS** ar fi prea mare.

2.5. Aspecte specifice ale utilizării circuitelor CMOS

2.5.1. Rețele de protecție la descărcări electrostatice [9], [10]

În fiecare circuit integrat CMOS se află înglobată și o rețea de protecție contra descărcărilor sarcinilor electrostatice care pot apărea între două terminale ale circuitului. În figura 2.71 se prezintă o rețea de protecție utilizată în cîteva din circuitele seriei *MMC 4XXX*.

Această rețea evită străpungerea oxidului de poartă al tranzistoarelor contra descărcărilor electrostatice de pînă la 1 kV. Dioda D_1 este o rețea distribuită diodă-rezistor p^+ — substrat și are o tensiune de străpungere în domeniul 30...50 V. Dioda D_2 este o diodă de separare n^+p (insulă p) și are o tensiune de străpungere de ordinul 30...40 V.

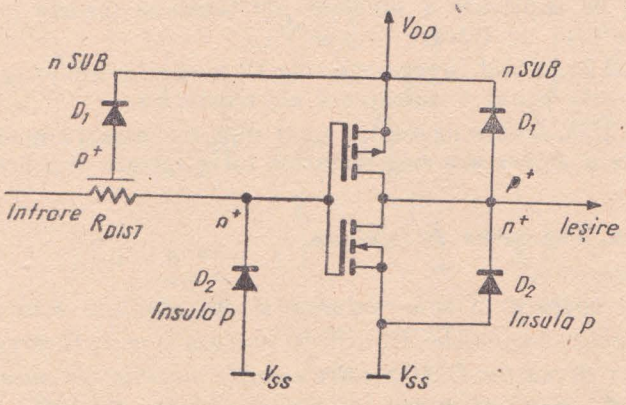


Fig. 2.71. Rețeaua de protecție utilizată pentru cîteva circuite din seria *MMC 4XXX*.

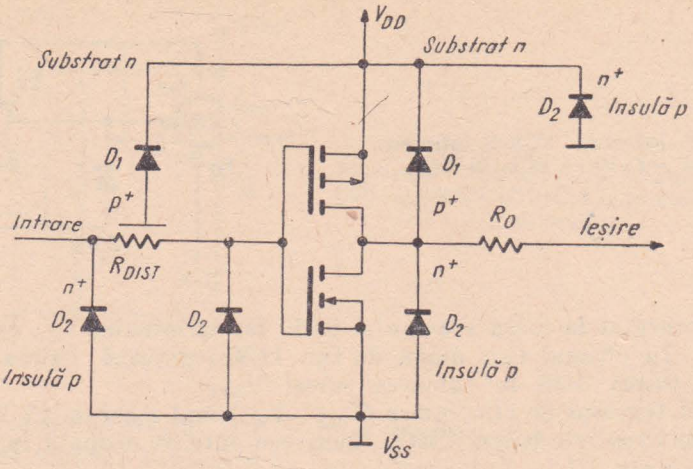


Fig. 2.72. Rețeaua tipică de protecție utilizată în circuitele din seria *MMC 4XXX*.

Figura 2.72 prezintă o rețea de protecție mai evoluată, utilizată în aproape toate circuitele seriei *MMC 4XXX*, care extinde protecția oxidului de poartă pînă la tensiuni de ordinul 4 kV.

Îmbunătățirea protecției se datorează mai multor factori, și anume: adăugarea unei rețele distribuite diodă-rezistență la ieșirea circuitului permite atenuarea reflexiilor pe linia de semnal și o filtrare care este importantă în momentul aplicării unui semnal tranzitoriu circuitului; în plus, a doua diodă din rețeaua de protecție a intrării permite fixarea intrării pentru semnale $V_{IN} \leqslant (V_{SS} - 0{,}7\ V)$.

Cea mai importantă îmbunătățire constă în includerea unei diode zener (tensiune de străpungere 25 V) între V_{DD} și V_{SS}, care protejează circuitul cînd acesta nu este conectat la sursele de alimentare.

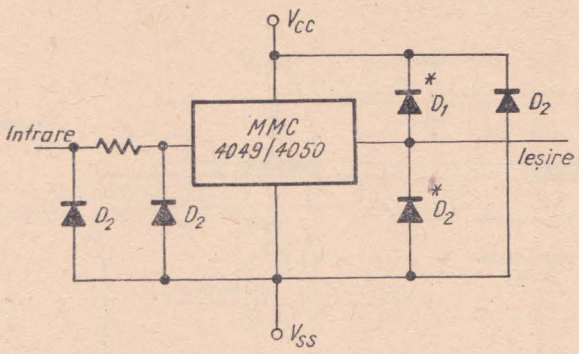
Pentru circuitele buffer MMC 4049 și MMC 4050 s-a realizat o rețea de protecție modificată (fig. 2.73). Lipsa diodei distribuite D_1 permite realizarea funcției de deplasare a nivelului de tensiune (aceste circuite se pot comanda cu nivele de intrare $V_{IN} \geqslant V_{CC}$).

În figura 2.74, *a* sînt prezentate cele 12 moduri posibile în care dispozitivul CMOS poate primi o descărcare electrostatică.

În figura 2.74, *b* este prezentat unul dintre aceste 12 moduri, cînd circuitul primește o descărcare electrostatică între intrare și ieșire.

2.5.2. Agățarea. Fenomene de *latch-up*

În timpul operării în zona valorilor limită absolută este recomandabil să se evite prezența semnalelor tranzitorii precum și orice încărcare capacitivă mare. *Operarea circuitelor CMOS către valorile maxime ale parametrilor poate amorsa un efect parazit de tiristor*, fenomen cunoscut în literatură sub denumirea de *latch-up* (agățare).



* *Aceste diode sînt parte intrinsecă a circuitului ca rezultat al procesului tehnologic*

Fig. 2.73. Rețeaua de protecție utilizată în circuitele MMC 4 049 și MMC 4 050.

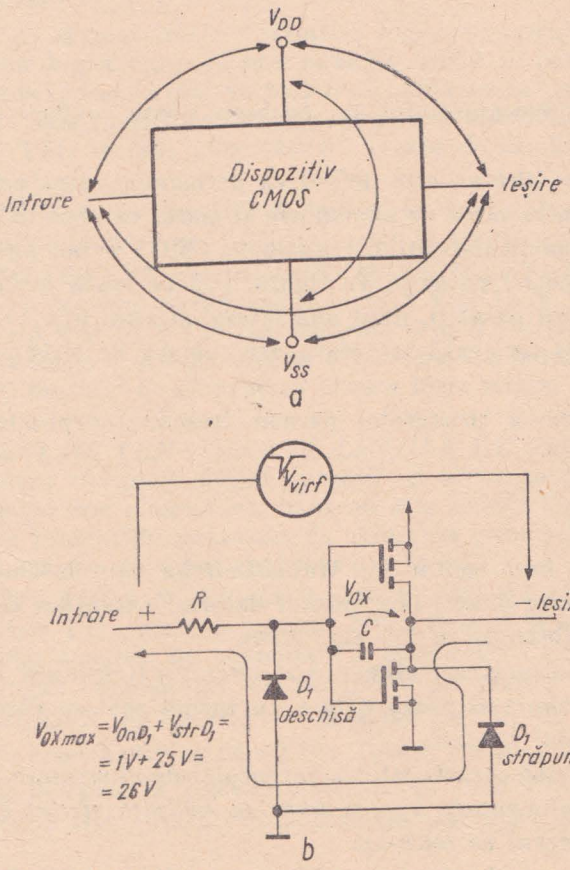


Fig. 2.74. Moduri în care pot exista descărcări electrostatice pe circuitele CMOS (*a*) și acțiunea rețelei de protecție pentru o descărcare electrostatică ce apare între intrarea și ieșirea circuitului CMOS (*b*).

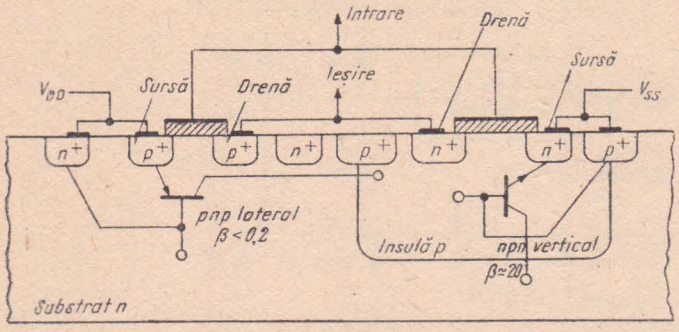


Fig. 2.75. Tranzistorii bipolari parazitici dintr-o structură CMOS.

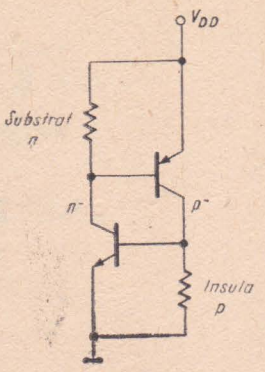


Fig. 2.76. Circuitul echivalent al structurii de tiristor parazit dintr-un circuit CMOS.

Declanșarea mecanismului de *latch-up* poate conduce la distrugerea dispozitivului.

Fenomenul de *latch-up* este definit ca permanentizarea unei căi de rezistență scăzută între sursa de alimentare și masă, ca urmare a unui impuls electric. Datorită particularităților tehnologiei CMOS se pot pune în evidență doi tranzistori bipolari parazitici. În figura 2.75 se arată o structură tipică CMOS și tranzistorii parazitici, unul *pnp* lateral și altul *npn* vertical. Cei doi tranzistori parazitici formează structura echivalentă de tiristor, ilustrată în figura 2.76.

Pentru amorsarea tiristorului parazit trebuie îndeplinite următoarele condiții:

- $\beta_{pnp} \cdot \beta_{npn} \geqslant 1$

- joncțiunile bază-emitor ale tranzistoarelor *pnp* lateral și *npn* vertical să fie polarizate direct, fapt posibil datorită curenților tranzitorii mari care trec prin substratul *n* (v. fig. 2.76).

- sursa de tensiune care alimentează circuitul (tensiunea V_{DD}) și polarizează intrările, trebuie să poată debita un curent egal cu curentul de menținere al tiristorului parazit.

Figura 2.77 arată caracteristicile curentului de alimentare I_{DD} în funcție de tensiunea de alimentare V_{DD} și *pune în evidență efectul de străpungere secundară și fenomenul de latch-up.*

Valorile tipice ale tensiunii de străpungere V_{BKDN} sînt de aproximativ 25 V, cele pentru tensiunea de menținere V_{SUS}, de ordinul 22 V la un curent de menținere I_{SUS} de 50...100 mA.

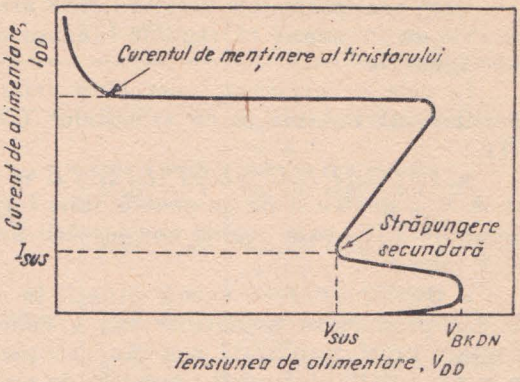


Fig. 2.77. Caracteristica de alimentare a unui circuit CMOS.

2.5.3. De la utilizatorul de circuite TTL la utilizatorul de circuite CMOS

Trecerea de la proiectarea sistemelor logice cu circuite TTL la proiectarea sistemelor logice care folosesc circuite CMOS se poate face fără mari probleme. Totuși, proiectantul va trebui să „părăsească" multe din „obiceiurile" dobîndite de-a lungul timpului, ca urmare a restricțiilor impuse de utilizarea logicii TTL în fața „libertăților" create de familia CMOS. O parte din acestea sînt:

• *FAN-OUT-ul* — practic, nelimitat în curentul continuu, prezintă restricții relative cînd vrem întîrzieri mici și fronturi scurte.

• *STABILITATEA SURSELOR DE ALIMENTARE* — circuitele se pot alimenta cu tensiuni avînd valori între 3 V și 15 V în cazul tipurilor *E* și *F* și între 3 V și 18 V în cazul tipurilor *G* și *H*; *circuitele care comunică între ele trebuie legate la aceeași sursă de alimentare.* Comparativ, circuitele TTL acceptă numai tensiuni de alimentare situate între minim +4,75 V și maxim 5,25 V.

• *CĂDERI DE TENSIUNI PE LINIILE DE MASĂ ȘI ALIMENTARE* — pentru circuitele CMOS curenții de alimentare sînt atît de mici în liniile de masă sau alimentare, încît nu este nevoie de precauții speciale, comparativ cu pretențiile reclamate de utilizarea circuitelor TTL (restricții pentru lungimea și grosimea traseelor).

• *DECUPLAREA SURSELOR DE ALIMENTARE* — spre deosebire de circuitele TTL, unde decuplarea este necesară la alimentarea fiecărui circuit, decuplarea sursei de alimentare a circuitelor CMOS presupune folosirea unui singur condensator de decuplare pe placă.

• *PROBLEME TERMICE* — acestea, practic, nu există pentru circuitele CMOS, comparativ cu cele TTL. Totuși, ele apar în cazul în care circuitele CMOS lucrează la frecvențe situate în zona frecvenței lor maxime de funcționare și sînt alimentate la tensiuni mai mari de 10 V.

Acestea sînt limitările cerute de funcționarea circuitelor CMOS. După cum se poate remarca, ele sînt puține în comparație cu limitările impuse de circuitele TTL.

Deci, proiectarea cu circuite CMOS are la bază un număr mic de limitări, ceea ce nu înseamnă că regulile fundamentale de proiectare și utilizare trebuie ignorate.

În cele ce urmează, vom oferi celor interesați cîteva din precauțiile specifice privind utilizarea circuitelor CMOS, comparativ tot cu familiile TTL :

• *INTRĂRILE NEUTILIZATE* se vor conecta obligatoriu, fie la V_{SS}, fie la V_{DD} pentru a nu se genera stări false la ieșiri. Privind comparativ cu circuitele TTL, cade regula considerării unei intrări în gol ca fiind în starea de 1 logic ;

• *OSCILAȚII* — există situații în care chiar și fronturile lente favorizează producerea oscilațiilor sau a comutărilor multiple. O sursă de alimentare prost stabilizată sau rău decuplată amplifică aceste efecte chiar și în cazul CMOS-ului, cînd pragurile de comutare ale intrărilor variază datorită modificărilor tensiunii de alimentare ;

• *CONSIDERENTE DINAMICE* — chiar și sistemele lucrînd la frecvențe medii și mici necesită o analiză atentă a celui mai defavorabil caz pentru întîrzierile din linia de semnal și anume funcționarea la temperatura maximă, valoarea minimă a tensiunii sursei de alimentare și încărcarea capacitivă maximă. Orice circuit logic secvențial CMOS necesită un timp de menținere minim al semnalelor la intrări (timp în care semnalul trebuie să rămînă stabil) după aplicarea frontului activ al semnalului de tact. Acest lucru impune necesitatea unor fronturi scurte pentru semnalul de tact. Pentru circuitele TTL, îndeplinirea acestei condiții nu reprezintă o problemă deosebită.

În continuare se prezintă o comparație între funcțiile îndeplinite de circuitele CMOS seria 4000 și cele din seriile TTL 74, indicînd diferențele sau asemănările funcționale care apar (tabelul 2.17) [12].

Tabelul 2.17

TTL	FUNCȚIA	CMOS	DIFERENȚE FUNCȚIONALE CMOS—TTL
	Porți SI-NU (NAND)		
7400	patru cu 2 intrări	MMC 4011	Semnificațiile terminalelor diferite
7410	trei cu 3 intrări	MMC 4023	
7420	două cu patru intrări	MMC 4012	Identice funcțional
7430	cu opt intrări	MMC 4068	
	Porți SI (AND)		
7408	patru cu două intrări	MMC 4081	
74LS11	trei cu două intrări	MMC 4073	Semnificațiile terminalelor diferite
74LS21	două cu patru intrări	MMC 4082	Identice funcțional
	Porți SAU-NU (NOR)		
7402	Patru cu două intrări	MMC 4001	Semnificația terminalelor diferită. Identice funcțional.
7427	trei cu două intrări	MMC 4025	
7425	două cu patru intrări	MMC 4002	Semnificația terminalelor diferită. 7425 are în plus intrări de STROBE
—	cu opt intrări	MMC 4078	4078 nu are echivalent TTL

Tabelul 2.17 (continuare

TTL	FUNCȚIA	CMOS	DIFERENȚE FUNCȚIONALE CMOS–TTL
	Porți SAU (OR)		
7432	patru cu două intrări	MMC 4071	Semnificația terminalelor diferită.
—	trei cu două intrări		
—	două cu patru intrări	MMC 4075	Identic funcțional.
		MMC 4072	Nu are echivalent TTL
	Inversoare și circuite buffer		
7404	șase inversoare	MMC 4069	Aceeași semnificație a terminalelor Identice funcțional
7416	șase circuite buffer, inversoare	MMC 4049	Semnificația terminalelor diferită
7417	șase inversoare	MMC 4050	Semnificația terminalelor diferită
		MMC 4007	Nu au echivalent TTL
		MMC 4041	
74L86	Patru SAU-EXCLUSIV (XOR)	MMC 4030	Aceeași semnificație a terminalelor
		MMC 4070	Identice funcțional
74LS266	Patru SAU-NU EXCLUSIV (XNOR)	MMC 4077	Aceeași semnificație a terminalelor Identice funcțional
	BISTABILI		
7474	Doi bistabili *D*	MMC 4013	Semnificația terminalelor diferită
74109	Doi bistabili *JK*	MMC 4027	
74173	Patru bistabili *D* cu ieșiri *3-state*	MMC 4076	Aceeași semnificație a terminalelor Identice funcțional
	NUMĂTRĂOARE		
74490		MMC 4518	Semnificația terminalelor diferită
74393		MMC 4520	Diferite funcțional
74190		MMC 4510	Semnificația terminalelor diferită
74191		MMC 4516	Diferențe funcționare
		MMC 4029	Nu are echivalent TTL
74192		MMC 40192	Aceeași semnificație a terminalelor
74193		MMC 40193	Identice funcțional
		MMC 4022	Nu are echivalent TTL
		MMC 4018	
		MMC 4017	Semnificația terminalelor diferită
74142			Diferențe în funcționare
		MMC 4024	Semnificația terminalelor diferită
74393			Diferențe în funcționare
		MMC 4020	Nu are echivalent TTL
		MMC 4040	
	REGISTRE		
74195		MMC 4035	Semnificația terminalelor diferită
			Diferențe în funcționare
		MMC 4015	Nu are echivalent TTL

Tabelul 2.17 (continuare)

TTL	FUNCŢIA	CMOS	DIFERENŢE FUNCŢIONALE CMOS—TTL
74166 74165		MMC 4014 MMC 4021 MMC 4031	Semnificaţia terminalelor diferită Diferenţe în funcţionare Nu are echivalent TTL
	DECODOARE		
7442A 9368 —		MMC 4028 MMC 4511 MMC 4543	Semnificaţia terminalelor diferită Diferenţe în funcţionare
	MULTIPLEXOARE		
74157		MMC 4019	Semnificaţia terminalelor diferită Diferenţe în funcţionare
	COMUTATOARE ŞI MULTIPLEXOARE ANALOGICE		
		MMC 4016 MMC 4066 MMC 4051 MMC 4052 MMC 4053 MMC 4067 MMC 4097	Nu au echivalent TTL
	LATCH-uri		
7475 74279 74279		MMC 4042 MMC 4043 MMC 4044	Semnificaţia terminalelor diferită Diferenţe în funcţionare
	OPERATORI ARITMETICI		
74181		MMC 40181	Aceeaşi semnificaţie a terminalelor Funcţional identice

2.5.4. Manipularea circuitelor CMOS [9]

Intrarea oricărui circuit CMOS este echivalentă cu o capacitate de valoare mică (tipic 5 pF) în paralel cu o rezistenţă de valoare foarte mare (tipic 10^{12} Ω). Această impedanţă de valoare foarte mare permite acumularea de sarcini electrostatice, care chiar dacă provin de la surse de energie scăzută poate dezvolta tensiuni de ordinul 80 V — valoarea tipică a tensiunii de străpungere a oxidului de poartă al tranzistoarelor. Astfel, circuitele CMOS se pot distruge la manipulare şi testare.

Din acest motiv, circuitele CMOS (în general toate circuitele MOS) au reţele de protecţie la descărcări electrostatice pe intrări. Pentru mai mare siguranţă, se recomandă măsuri suplimentare.

Circuitele CMOS se vor introduce în ambalaje antistatice sau conductive. Reducerea diferenţei de potenţial electrostatic între terminale se face folosind mijloace asemănătoare. Circuitele CMOS se vor păstra (stoca) în ambalajele livrate de fabricant sau cu terminalele „cufundate" în materiale spongioase conductive. Pentru evitarea distrugerii circuitelor CMOS în timpul manipulării, controlului şi testării se recomandă respectarea următoarelor reguli:

- utilizarea de suprafeţe de lucru conductive;

- legarea la masă a tuturor echipamentelor de manipulare (în măsura posibilităților se recomandă, în scopul evitării acumulărilor de sarcini electrostatice, ventilarea cu aer ionizat în locurile unde legarea la masă nu este posibilă);
- operatorii care lucrează cu circuite MOS vor purta legat de încheietura mîinii un fir conductiv înseriat cu o rezistență de 1 MΩ conectat la masă;
- plasarea circuitelor în cutii, baghete sau ambalaje conductive sau antistatice în cazul deplasării acestora de la un loc de muncă la altul.

2.5.5. Scheme de măsurare la utilizator

Pentru verificarea rapidă a încadrării în parametrii funcționali de bază ai circuitelor CMOS se recomandă utilizatorilor următoarele scheme de principiu pentru testarea curentului de alimentare static, a imunității la zgomot și a curentului rezidual de intrare. Schemele de măsură sînt prezentate în figurile 2.78, *a*, 2.78, *b* și, respectiv, 2.78, *c*.

În cazul testării imunității la zgomot se va încerca fiecare combinație posibilă a intrărilor. Pentru măsurătorile efectuate asupra curentului rezidual de intrare se va lega, pe rînd, fiecare intrare la V_{DD} și apoi la V_{SS}. Intrările rămase neutilizate se vor lega fie la V_{DD}, fie la V_{SS}.

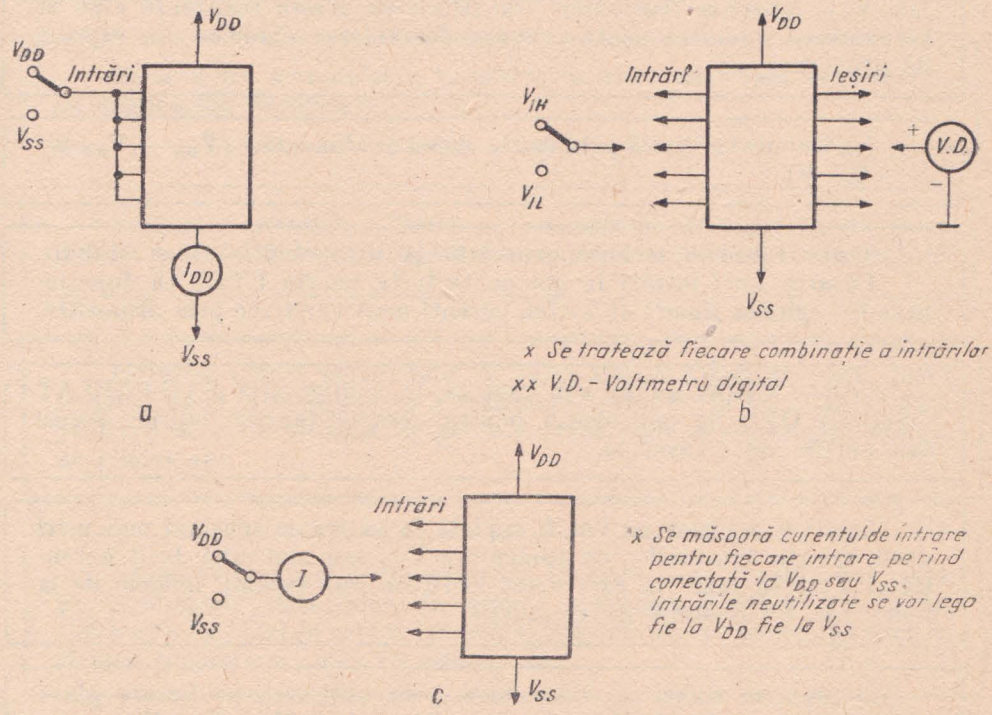


Fig. 2.78. Scheme de principiu pentru verificarea funcționării și a parametrilor electrici:

a) circuitul de test pentru măsurarea curentului static de alimentare; b) circuitul de test pentru măsurarea nivelelor de tensiune la intrare; c) circuitul de test pentru măsurarea curenților de intrare.

Pentru majoritatea circuitelor, nu este necesară măsurarea puterii disipate în regim dinamic. Totuși, pentru unele circuite complexe, pentru care acest parametru devine critic, se pot imagina scheme simple de măsură prin care să se poată estima acest parametru.

2.6. De reținut pentru utilizare

Observațiile privitoare la regulile de operare sînt utile și valabile pentru orice sistem care folosește circuitele CMOS.

Dacă la intrările dispozitivului se utilizează un generator de impulsuri de mică impedanță sau o sursă de alimentare separată, atunci sursa de alimentare trebuie conectată prima. Ordinea se inversează la decuplare, cînd sursa de alimentare principală trebuie decuplată ultima. Mai concis, trebuie să respectăm în permanență recomandarea de operare : $V_{SS} \leqslant V_I \leqslant V_{DD}$.

Respectarea acestei reguli duce la evitarea pericolului de distrugere a diodei de intrare.

Să se evite înserierea de rezistențe cu tensiunile de alimentare V_{DD} sau V_{SS} ; apariția tensiunilor tranzitorii pe aceste rezistențe cînd se alimentează circuitul poate provoca deschiderea diodelor din rețeaua de protecție.

Nu trebuie inversată polarizarea sursei de alimentare ($V_{DD} - V_{SS} > > -0{,}5$ V).

Toate intrările trebuie conectate la un potențial bine stabilit.

Lăsarea unei intrări în gol poate forța poarta CMOS să funcționeze în regiunea liniară și, astfel, curenți mari vor trece prin dispozitiv.

Ieșirile CMOS nu se vor conecta în configurația SAU-CABLAT (WIRED OR). Se pot utiliza pentru această funcție ieșirile *3-state* sau porțile de transmisie.

Sarcinile ieșirilor nu vor fi cuplate la valori de tensiuni mai mari decît valorile tensiunilor de alimentare V_{DD} sau mai mici decît potențialul V_{SS}. În cazul în care acest lucru nu este posibil, diodele de la ieșiri vor fi în stare de conducție.

Decuplarea sursei de alimentare, prin utilizarea pe fiecare placă a unui condensator de decuplare cu valori de 0,01...0,1 μF.

Sursele de alimentare trebuie menținute sub valorile limită absolute.

Nu trebuie depășită puterea maximă disipată permisă de capsulă.

Să se evite legarea în scurtcircuit a ieșirilor pentru tensiuni de alimentare mai mari de 5 V. Puterea disipată maximă admisă pe tranzistorul de ieșire este de 100 mW.

Sporirea curentului de ieșire absorbit sau debitat se obține prin legarea în paralel a porților.

Să se evite o încărcare capacitivă excesivă a unei ieșiri CMOS, care poate provoca disipare mare pe tranzistorul de ieșire.

Să se evite manipularea și montarea circuitelor fără respectarea recomandărilor specificate.

Comanda circuitelor CMOS cu semnale cu fronturi foarte lente trebuie evitată. Puterea disipată poate crește peste limitele presupuse.

Intrările CMOS comandate de ieșiri CMOS aflate pe alte plăci se recomandă a fi legate cu o rezistență mare, fie la V_{DD}, fie la V_{SS}, pentru a se evita situația de gol la intrare cînd se conectează sursele de alimentare.

Să se evite apariția impulsurilor tranzitorii de amplitudine mare pe terminalele circuitului, în scopul prevenirii agățării circuitului (*latch-up*). În cazul în care acest fenomen a apărut, se recomandă oprirea și apoi repornirea sursei de alimentare.

Deși circuitele CMOS au un *fan-out* mai mare de 50, un număr mare de intrări conectate la o ieșire determină o încărcare capacitivă sporită a acesteia și, deci, reducerea valorii frecvenței maxime de lucru.

BIBLIOGRAFIE

[1] * * * Microelectronica Data Book, MOS and Optoelectronic Devices 1985.
[2] * * * COS/MOS Integrated Circuits, SGS-ATES, 1982.
[3] * * * COS/MOS Integrated Circuits Manual, RCA Corporation, 1979.
[4] R. E. Funk. Understanding Buffered and Unbuffered CMOS Characteristics, RCA Solid State Applications Note ICAN 6558.
[5] * * * McMOS Handbook, Motorola Inc., 1974.
[6] T. Chesney, R. Funk. Noise Immunity of COS/MOS B-Series Integrated Circuits, RCA Solid State Application Note ICAN-6587.
[7] D. Blandford, A. Fishop. COS/MOS Interfacing Simplified, RCA Solid State Application Note ICAN-6315.
[8] * * * CMOS Integrated Circuits Data Book, National Semiconductor, 1981.
[9] J. Flood, H. L. Pujol. Guide to Better Handling and Operation of CMOS Integrated Circuits, RCA Solid State Application Note ICAN-6525.
[10] H. L. Pujol. COS/MOS Electrostatic-Discharge Protection Networks, RCA Solid State Application Note ICAN-6572.
[11] * * * Amáterske Radio pro Konstruktery, nr. 2, 3, 4/1985.
[12] * * * Full Line MOS Catalogue, Fairchild Corporation, 1978.

3. Circuite integrate realizate în seria CMOS 4000 (MMC 4XXX)

În acest capitol se prezintă circuitele CMOS fabricate în seria 4000. Sînt valabile următoarele observații cu caracter general, pentru toate tipurile de circuite prezentate :

• Se prezintă scheme logice, asignarea terminalelor și se descrie funcționarea fiecărui tip de circuit ; nu vor fi prezentate caracteristicile electrice statice și dinamice : acestea sînt specificate pentru fiecare tip de circuit în catalogul de produse **Microelectronica Data Book, MOS and Optoelectronic Devices, 1985.**

• Caracteristicile electrice statice ale seriei CMOS 4000 sînt descrise în capitolul 2 al acestei cărți și se aplică tuturor tipurilor de circuite.

• Toate capsulele sînt desenate presupunînd că *vederea este de sus* (*top view*).

• *Toate intrările circuitelor CMOS din seria 4000 sînt protejate la descărcările electrostatice* printr-o rețea de protecție standard (§ 2.5) ; doar circuitele MMC 4049 și MMC 4050 au alt tip de rețea de protecție.

• Caracteristicile de ieșire sînt simetrice (adică valori egale pentru curentul de ieșire în starea **1** logic — I_{OH} și pentru curentul de ieșire în starea **0** logic — I_{OL}) ; acest lucru asigură fronturi uniforme și timpi de propagare t_{pHL}, t_{pLH} egali.

• Marginea de zgomot în toată gama de temperatură garantată este de

1 V pentru $V_{DD} = 5$ V,

2 V pentru $V_{DD} = 10$ V,

2,5 V pentru $V_{DD} = 15$ V.

• Majoritatea tipurilor de circuite au intrările și ieșirile prevăzute cu etaje buffer ; acest lucru îmbunătățește imunitatea la zgomot, caracteristica de transfer a porții și modifică valorile nivelelor logice la intrare și ieșire. Dezavantajul principal al buffer-ării este dat de creșterea timpului de propagare.

• Nici o intrare a unui circuit CMOS nu se poate lăsa „în vînt" (nu poate să fie flotantă). *Fiecare din intrările neutilizate se va lega fie la* V_{DD}, *fie la* V_{SS}.

• Fronturile semnalelor de intrare pentru circuite acționate pe tact se recomandă să nu depășească 15 μs, pentru a se evita consumuri excesive, comutări false etc. Pentru semnale lent variabile în timp se recomandă utilizarea unui trigger Schmitt.

• Codurile comerciale ale dispozitivelor din seria 4000 fabricate de MICROELECTRONICA sînt :

MMC 4XXX E — capsulă DIL plastic, gama temperatură —40... ...+85°C.

MMC 4XXX F — capsulă DIL ceramică „frit-seal", gama temperatură −40...+85°C.

MMC 4XXX G — capsulă DIL ceramică, gama temperatură −55... ...+125°C.

MMC 4XXX H — capsulă DIL ceramică „frit-seal", gama temperatură −55...+125°C.

Pentru *tipurile E și F*, gama de valori ale tensiunii de alimentare este cuprinsă între −0,5 V și +18 V, *operarea fiind recomandată între +3 V și +15 V*. Pentru *tipurile G și H*, gama de valori ale tensiunii de alimentare este cuprinsă între −0,5 V și +20 V, *operarea fiind recomandată între +3 V și +18 V*.

• În descrierile circuitelor, termenii tehnici din limba engleză s-au tradus pe cît a fost posibil ; în unele locuri s-a dat în paranteză și denumirea în engleză. O serie de termeni au fost preluați ca atare din limba engleză, fiind „barbarizați" (de exemplu : setare, resetare, presetabil, triggerabil, retriggerabil, strobare, etc.).

• S-a folosit terminologia de front (sau tranziție) pozitiv a unui semnal, pentru intervalul de timp necesar trecerii unui semnal din nivelul **JOS** (**0**) într-un nivel **SUS** (**1**) ; front (sau tranziție) negativ, corespunde trecerii din nivelul **SUS** (**1**) în nivelul **JOS** (**0**).

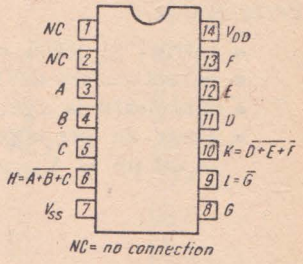
• S-a păstrat în permanență convenția de logică pozitivă, adică **1** logic pentru nivelul **SUS** (V_{DD}) și **0** logic pentru nivelul **JOS** (V_{SS}).

DOUĂ PORȚI SAU-NU CU 3 INTRĂRI PLUS UN INVERSOR — MMC 4000

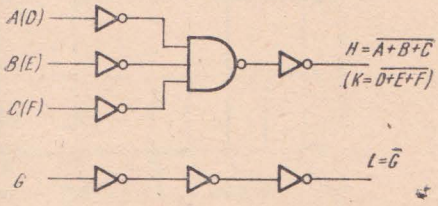
Circuitul integrat MMC 4000 conține două porți SAU-NU (NOR) cu 3 intrări fiecare și un inversor, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt prevăzute cu etaje buffer.

Performanțe

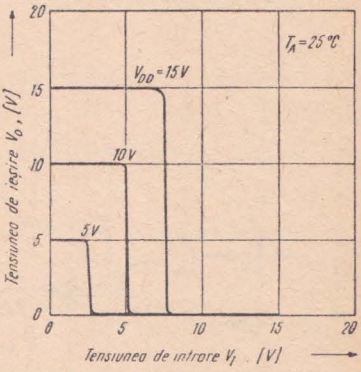
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- imunitate mare la zgomot: 0,45 V_{DD} (tipic);
- timp de propagare: 60 ns (tipic) pentru C_L = = 50 pF și V_{DD} = 10 V.



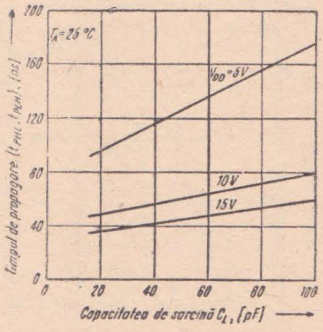
Semnificația terminalelor.



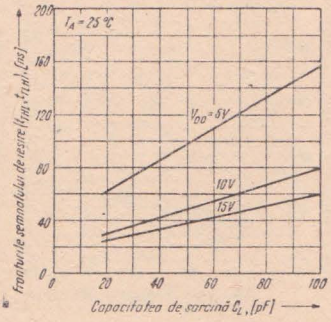
Schema logică a unei porți.



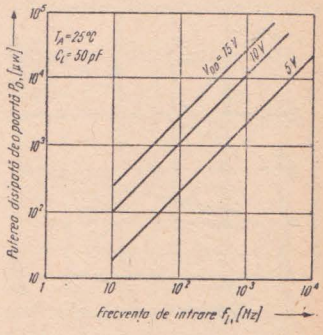
Caracteristica de transfer tipică.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.

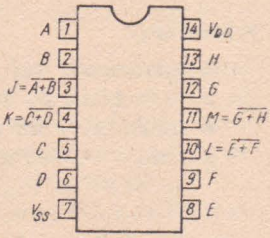


Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

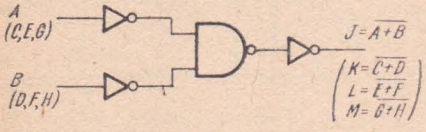
Circuitul integrat MMC 4001 conține patru porți SAU-NU (NOR) cu 2 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt prevăzute cu etaje buffer.

Performanțe

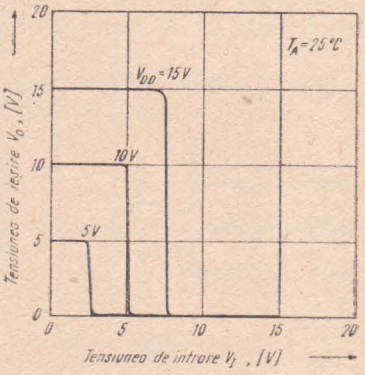
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- imunitate la zgomot: 0,45 V_{DD} (tipic);
- timp de propagare: 60 ns (tipic) pentru C_L = = 50 pF și V_{DD} = 10 V



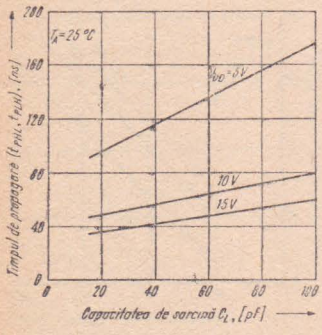
Semnificația terminalelor.



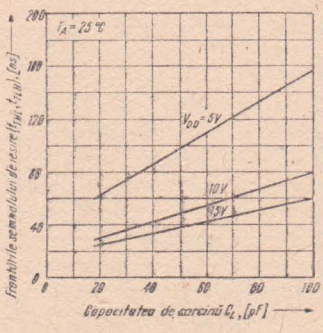
Schema logică a unei porți.



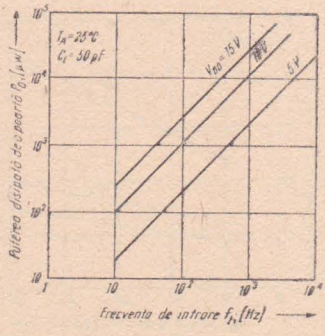
Caracteristica de transfer tipică.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.

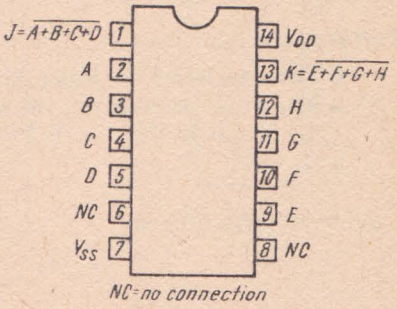


Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

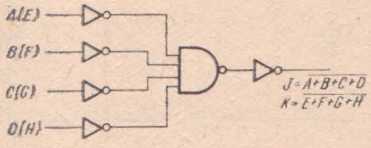
Circuitul integrat MMC 4002 conține două porți SAU-NU (NOR) cu 4 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt prevăzute cu etaje buffer.

Performanțe

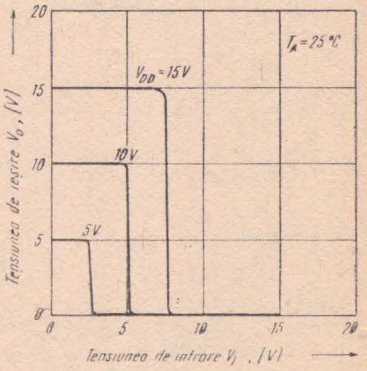
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- imunitate la zgomot: 0,45 V_{DD} (tipic);
- timp de propagare: 60 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V.



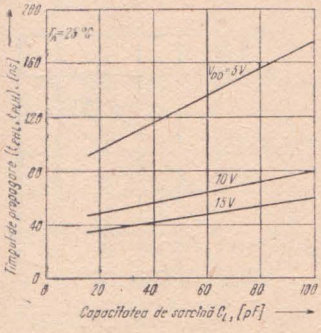
Semnificația terminalelor.



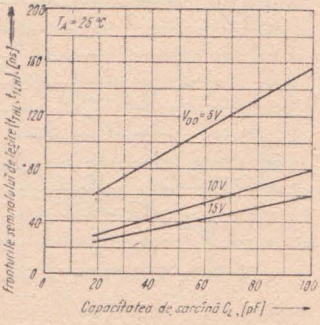
Schema logică a unei porți.



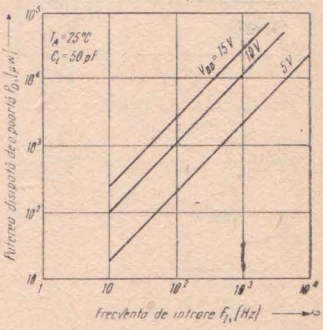
Caracteristica de transfer tipică.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.

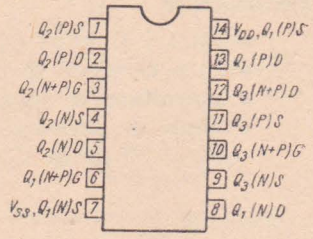


Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

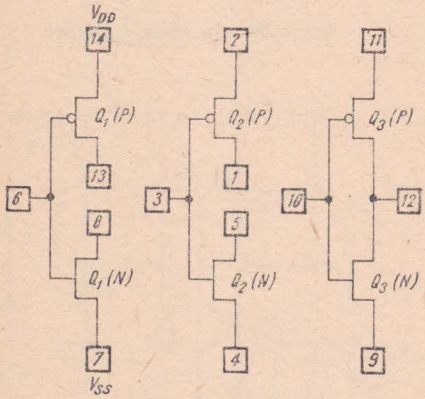
Circuitul integrat MMC 4007 conține două perechi de tranzistoare complementare, (unul cu canal *n*, altul cu canal *p*) și un inversor realizate în tehnologie CMOS. Cele 6 tranzistoare sînt disponibile la terminalele circuitului și pot fi ușor utilizate în construcția diverselor configurații tipice.

Performanțe

- caracteristici de ieșire simetrice;
- timp de propagare : 30 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V

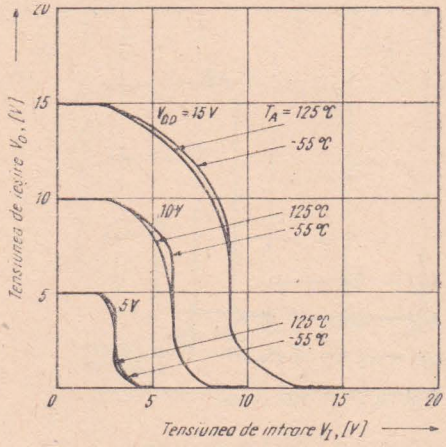


Semnificația terminalelor.

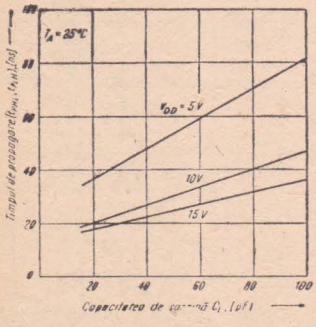


NOTA: - Substratul fiecărui tranzistor cu canal p este conectat la V_{DD}
- Substratul fiecărui tranzistor cu canal n este conectat la V_{SS}

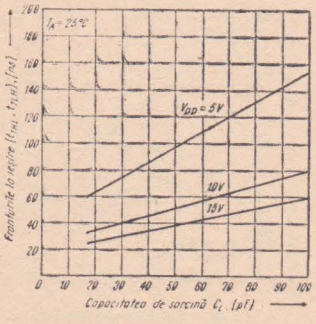
Schema electrică a circuitului.



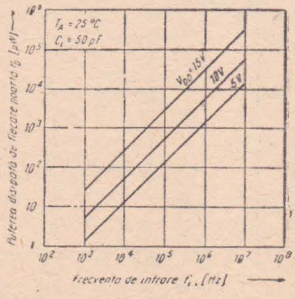
Caracteristica de transfer tipică.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.

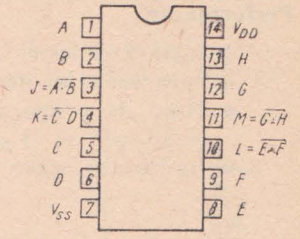


Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

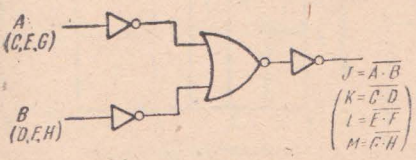
Circuitul integrat MMC 4011 conține patru porți SI-NU (NAND) cu 2 intrări fiecare și este realizat în tehnologie CMOS. Toate intrările și ieșirile sînt prevăzute cu etaje buffer.

Performanțe

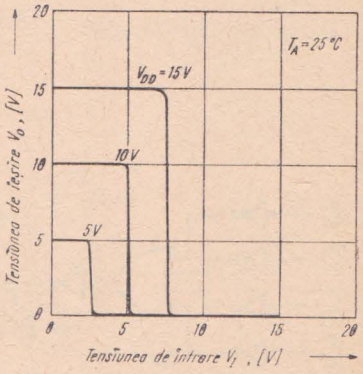
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- timp de propagare: 60 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V;
- imunitate mare la zgomot: 0,45 V_{DD} (tipic);



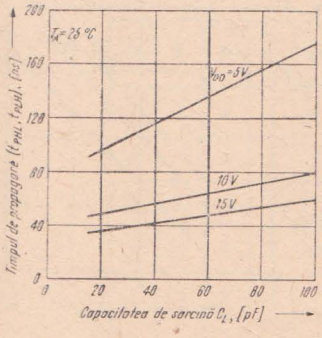
Semnificația terminalelor.



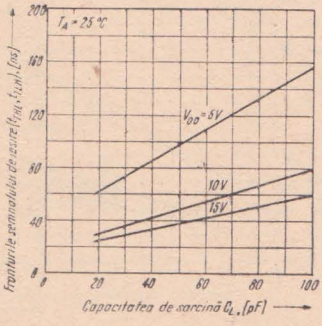
Schema logică a unei porți.



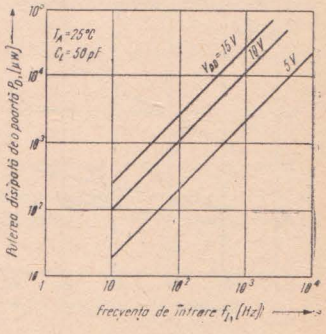
Caracteristica de transfer tipică.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.

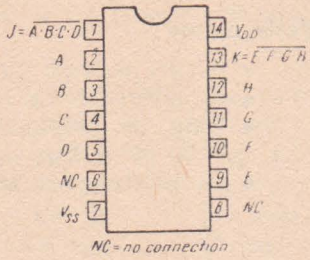


Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

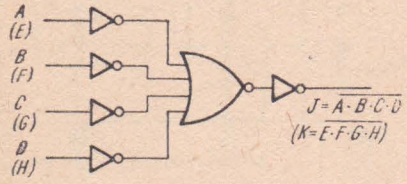
Circuitul integrat MMC 4012 conține două porți SI-NU (NAND) cu 4 intrări fiecare și este realizat în tehnologie CMOS. Toate intrările și ieșirile sînt prevăzute cu etaje buffer.

Performanțe

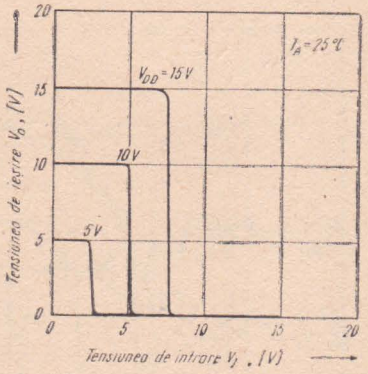
- intrări și ieșiri cu buffer ;
- caracteristici de ieșire simetrice ;
- timp de propagare : 60 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V ;
- imunitate mare la zgomot : 0,45 V_{DD} (tipic)



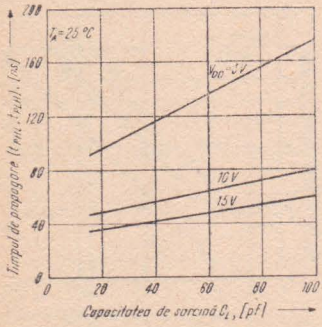
Semnificația terminalelor.



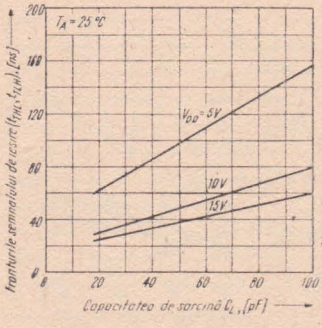
Schema logică a unei porți.



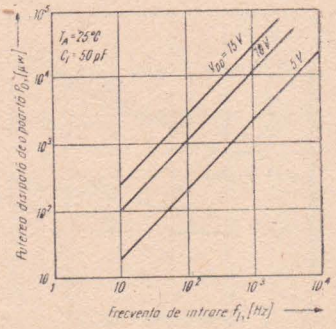
Caracteristica de transfer tipică.



Caracteristica tipică timp de propagare-capacitate de sarcină.



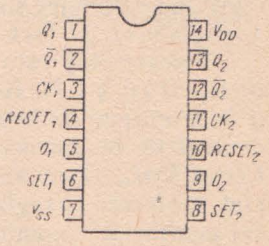
Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.



Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

Circuitul integrat MMC 4013 conține doi bistabili de tip *D* cu intrări și ieșiri independente. Fiecare bistabil are intrări de *DATA*, *SET*, *RESET* și *CLOCK* (ceas), precum și ieșirile Q și $\overline{Q}$. Circuitul se poate folosi în aplicații legate de registre de deplasare, iar prin conectarea ieșirii $\overline{Q}$ la intrarea *DATA* în aplicații pentru numărătoare și circuite bistabile tip *T*.

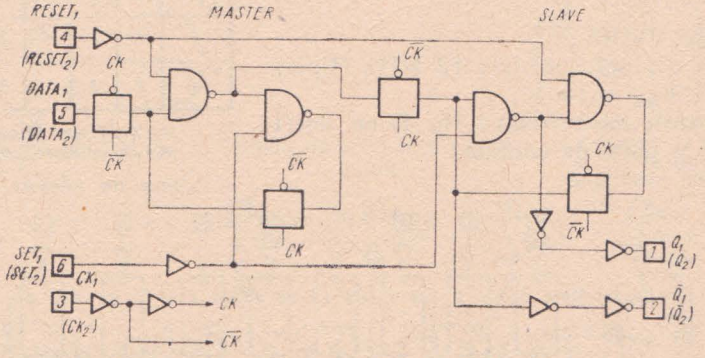
Transferul informației logice prezente la intrarea *DATA* se face la tranziția pozitivă a impulsului de ceas. Comanda bistabilului pe intrările *SET* și *RESET* este independentă de semnalul de ceas (intrarea *CLOCK*) și se realizează pe nivel logic **1**. Descrierea funcționării și schema logică a acestui bistabil de tip *D* sînt prezentate pe larg în § 1.6.2.



Semnificația terminalelor.

Performanțe

- posibilitate de *SET*/*RESET*
- viteză medie de operare : 16 MHz (tipic) la $V_{DD} =$ $= 10$ V ;
- caracteristici de ieșire simetrice ;
- menține starea ieșirii indefinit cînd ceasul este **JOS** sau **SUS**.



Schema logică a unui bistabil de tip *D*.

CK	D	R	S	Q	$\overline{Q}$	
↓	0	0	0	0	1	
↓	1	0	0	1	0	
↘	X	0	0	Q	$\overline{Q}$	Starea nu se schimbă
X	X	1	0	0	1	
X	X	0	1	1	0	
X	X	1	1	1	1	

X- Indiferent (0 sau 1)

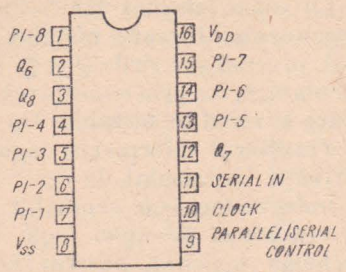
Tabele de adevăr pentru un bistabil.

Circuitul integrat MMC 4014 este un registru de deplasare static de 8 biți, cu intrări paralel sau serie și ieșire serie, avînd tact comun (intrarea *CLOCK*), intrare de control paralel/serie (*PARALLEL/SERIAL CONTROL*) o intrare de date serie (*SERIAL IN*) și intrări paralel *JAM*(*PI-1...PI-8*) la fiecare etaj, al registrului. Intrarea datelor paralel sau serie în registru se produce sincron cu tranziția pozitivă a semnalului de tact (intrarea *CLOCK*).

Fiecare etaj este un bistabil master-slave de tip *D* (v. § 1.7). Registrul dispune de ieșirile *Q* de la etajele 6, 7 și 8. Intrarea datelor este controlată de intrarea *PARALLEL/SERIAL CONTROL*. Dacă acesta este la **0** logic, datele sînt deplasate în registru serie, sincron pe frontul pozitiv al semnalului de tact. Cînd este la **1** logic, datele sînt încărcate paralel, prin intrările *JAM*, sincron pe frontul pozitiv al semnalului de tact.

Performanțe

- operare statică ;
- viteză de lucru medie: 12 MHz (tipic) pentru $V_{DD} = 10$ V ;
- 8 bistabili master-slave tip *D* cu ieșiri buffer și porți de control ;
- operare sincronă.

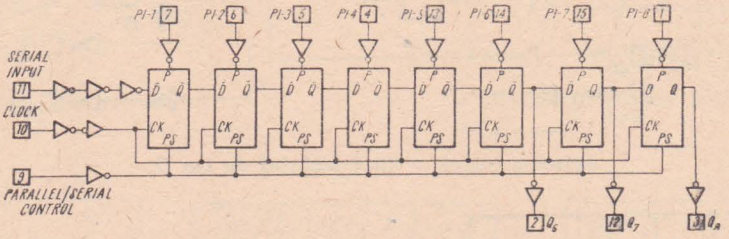


Semnificația terminalelor.

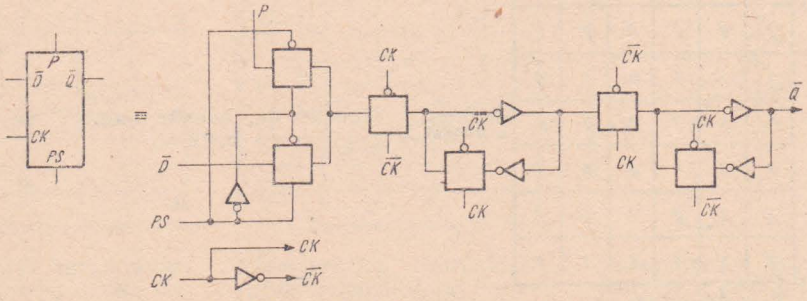
CK	SI	P/S	PI-1	PI-n	Q_1 intern	Q_n	
↑	X	1	0	0	0	0	
↑	X	1	1	0	1	0	
↑	X	1	0	1	0	1	
↑	X	1	1	1	1	1	
↑	0	0	X	X	0	Q_{n-1}	
↑	1	0	X	X	1	Q_{n-1}	
↓	X	X	X	X	Q_1	Q_n	NC

X = Indiferent (0 sau 1)
NC = Starea nu se schimbă

Tabela de adevăr a circuitului



Schema logică a circuitului.



Schema logică a unei celule.

DOUĂ REGISTRE DE DEPLASARE STATICE DE 4 BIȚI CU INTRARE SERIE/IEȘIRE PARALEL — MMC 4015

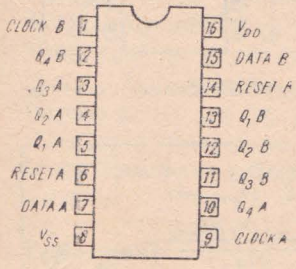
Circuitul integrat MMC 4015 constă din două registre identice de 4 biți, independente, cu intrare serie și ieșiri paralel. Fiecare registru are intrări de ceas (*CLOCK*) și *RESET* precum și o intrare serie de date (*DATA*). Registrul are disponibile ieșirile *Q* ale fiecărui etaj.

Etajele registrului sînt bistabili master-slave de tip *D* (v. § 1.7.1). Nivelul logic prezent pe intrarea *DATA* este transferat în primul etaj și apoi deplasat succesiv la fiecare front pozitiv al ceasului. **1** logic la intrarea *RESET* aduce ieșirile *Q* în **0** logic. Utilizînd una sau mai multe capsule MMC 4015, se pot realiza registre mai mari de 4 etaje.

Performanțe

- viteză medie de operare : 12 MHz (tipic) pentru $V_{DD} = 10$ V ;
- operare statică ;
- 8 bistabili master-slave cu intrări și ieșiri buffer ;
- caracteristici de ieșire simetrice ;

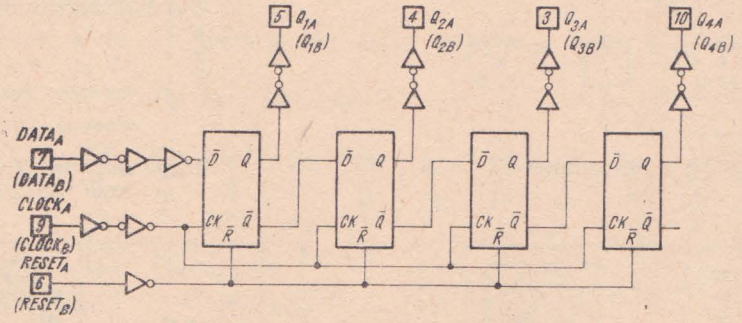
Semnificația terminalelor.



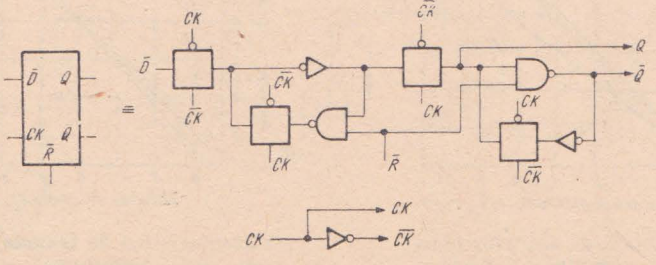
CK	D	R	Q_1	Q_n	
↑	0	0	0	Q_{n-1}	
↑	1	0	1	Q_{n-1}	
↓	X	0	0	Q_n	NC
X	X	1	0	0	

Tabela de adevăr a circuitului.

X = Indiferent (0 sau 1)
NC = Starea nu se schimbă



Schema logică a circuitului.



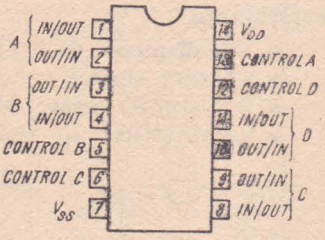
Schema logică a unei celule.

Circuitul integrat MMC 4016 constă din patru comutatoare **bilaterale** (v. § 1.5.4), destinate transmiterii sau multiplexării semnalelor analogice **sau digitale**.

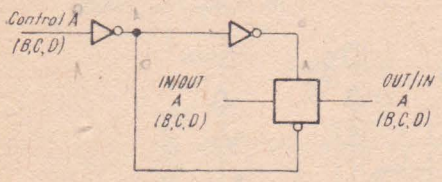
Fiecare din cele 4 comutatoare bilaterale, independente prezintă cîte o intrare *CONTROL*, care comandă simultan tranzistorul cu canal *n* și tranzistorul cu canal *p* dintr-un comutator (deschis, *ON*, sau blocat, *OFF*).

Performanțe

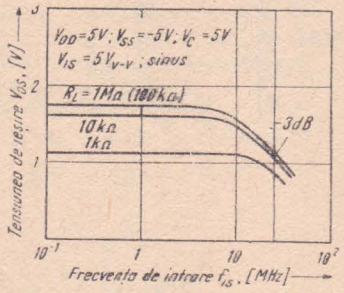
- rezistență *ON*: 280 Ω (tipic) la $V_{DD} - V_{SS} = 15$ V;
- împerecherea rezistenței *ON* a comutatoarelor: 10 Ω (tipic) pentru o plajă a semnalului de intrare de 15 V;
- viteză de răspuns: 40 MHz (tipic);
- liniaritate bună: $< 0{,}5\%$ distorsiuni (tipic) pentru $f_{is} = 1$ kHz, $V_{IS} = 5$ V_{VV}, $V_{DD} - V_{SS} \geqslant 10$ V, $R_L = 10$ kΩ
- diafonie redusă între comutatoare (*crosstalk*): — 50 dB (tipic) pentru f_{is}=0,9 MHz, R_L=1 kΩ;
- curent rezidual *OFF*: 100 pA (tipic) pentru $V_{DD} - V_{SS} = 18$ V și $T_A = 25$°C.



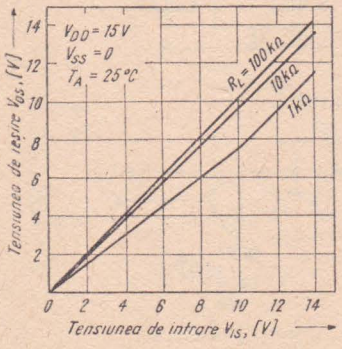
Semnificația terminalelor.



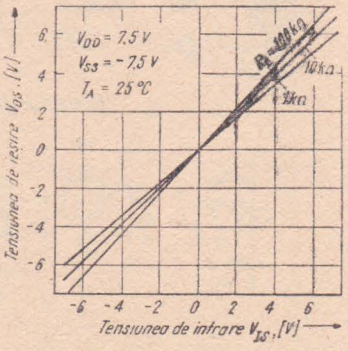
Schema logică a unui comutator.



Răspunsul în frecvență al unui comutator.



Caracteristica de transfer pentru un comutator deschis (V_{DD} = +15V, V_{SS} = OV)



Caracteristica de transfer pentru un comutator deschis (V_{DD} = +7,5V, V_{SS} = —7,5V)

Circuitul integrat MMC 4017 este un numărător Johnson cu 5 etaje și are 10 ieșiri decodificate. Intrările sînt *CLOCK*, *RESET* și *CLOCK INHIBIT* (pentru inhibarea semnalului de tact).

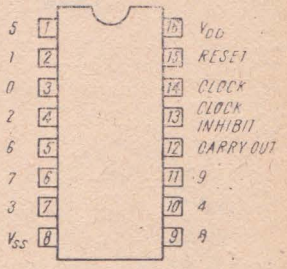
Circuitul trigger Schmitt de la intrarea de tact (*CLOCK*) permite lucrul cu impulsuri ale căror fronturi sînt oricît de lente.

Dacă intrarea *CLOCK INHIBIT* este la **0** logic, numărătorul își schimbă starea la orice front pozitiv. Inhibarea numărării se realizează printr-un **1** logic aplicat pe *CLOCK INHIBIT*. Nivelul **1** logic la intrarea *RESET* aduce toate ieșirile numărătorului la **0** logic. Celula numărătorului este un bistabil master-slave de tip *D* (v. § 1.7.1.).

Folosirea numărătorului Johnson în configurație decadică permite obținerea unei viteze mari de operare și, datorită utilizării unor porți cu 2 intrări pentru decodificarea zecimală, se obțin la ieșirile decodificate semnale fără tranziții parazite. Cu ajutorul unei porți de anti-blocare se asigură pornirea corectă a numărării din orice stare inițială.

Ieșirile decodificate sînt în mod normal în **0** logic și trec în **1** logic numai în momentul decodificării. Fiecare ieșire decodificată rămîne în **1** logic un interval de timp egal cu o perioadă a impulsului de tact.

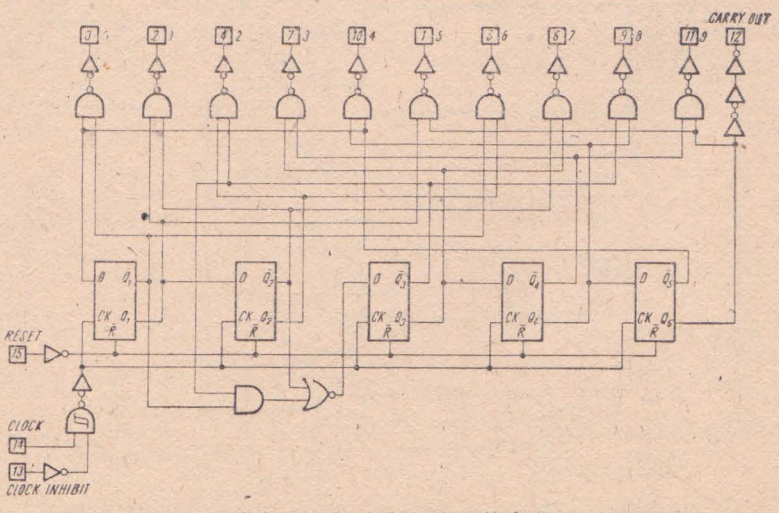
La ieșirea de transport (*CARRY OUT*) se obține un impuls la fiecare 10 impulsuri de tact. Ieșirea *CARRY OUT* se utilizează pentru cascadarea mai multor numărătoare în scopul formării unui lanț de numărare de ordin superior.



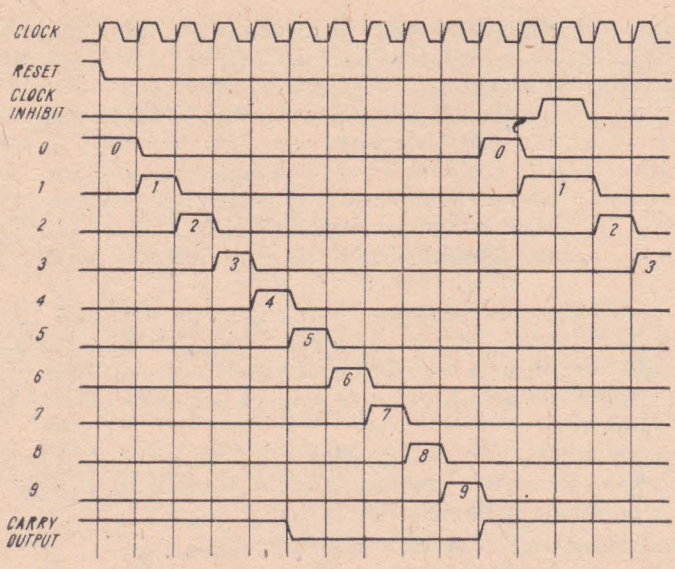
Semnificația terminalelor.

Performanțe

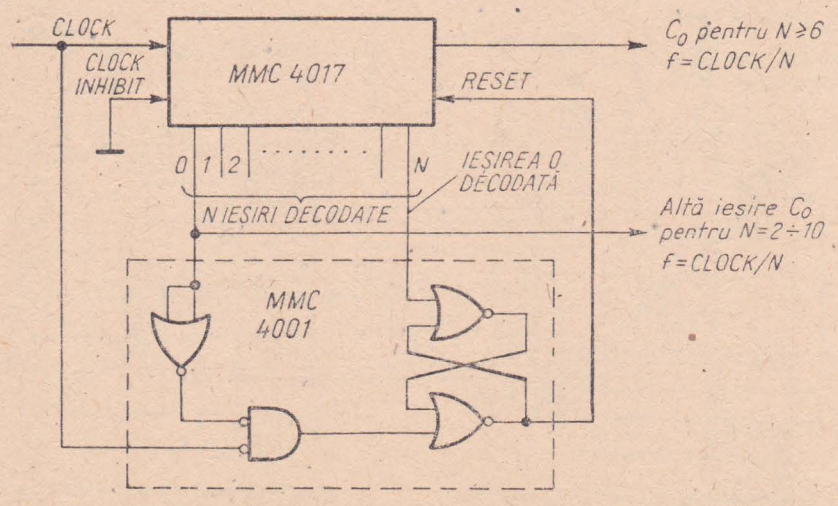
- operare statică ;
- viteză medie de operare : 12 MHz (tipic) pentru $V_{DD} = 10$ V ;
- caracteristici simetrice de ieșire.



Schema logică a circuitului.



Formele de undă.



Numărător divizor cu N ($N \leq 10$), cu N ieșiri decodificate

NUMĂRĂTOR JOHNSON PRESETABIL DIVIZOR CU N — MMC 4018

Circuitul integrat MMC 4018 constă din 5 bistabili master-slave de tip *D*, legați într-o configurație de numărător Johnson. Există ieșiri $\overline{Q}$ cu buffer la fiecare etaj și logică de control a presetării numărătorului. Circuitul este prevăzut cu intrări de *CLOCK*, *RESET*, *DATA*, *PRESET ENABLE* (validare preset) și 5 intrări *JAM* de presetare. Celula numărătorului este descrisă pe larg în § 1.7.1.

Divizarea prin 10, 8, 6, 4 sau 2 se poate realiza prin conectarea terminalelor $\overline{Q}_5$, $\overline{Q}_4$, $\overline{Q}_3$, $\overline{Q}_2$, respectiv $\overline{Q}_1$ la intrarea *DATA*.

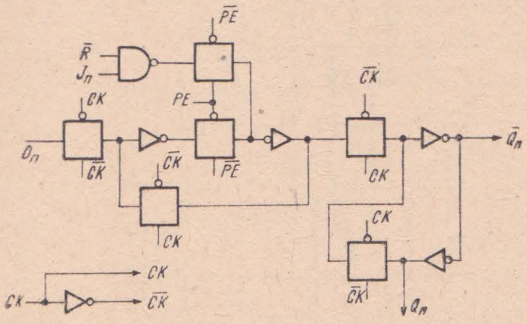
Divizarea prin 9, 7, 5 sau 3 se obține, conectînd la intrarea *DATA*, prin intermediul unei porți SI (AND), ieșirile $\overline{Q}_4$ și $\overline{Q}_5$, $\overline{Q}_3$ și $\overline{Q}_4$ $\overline{Q}_2$ și $\overline{Q}_3$ și, respectiv, $\overline{Q}_1$ și $\overline{Q}_2$.

Numărătorul își schimbă starea pe frontul crescător (pozitiv) al semnalului de tact (intrarea *CLOCK*). Circuitul trigger Schmitt permite lucrul cu impulsuri ale căror fronturi sînt oricît de lente. Nivelul 1 logic la intrarea *RESET* șterge conținutul numărătorului (ieșirile $\overline{Q}$ în 1 logic). 1 logic la intrarea *PRESET ENABLE* permite ca datele de la intrările *JAM* să preseteze numărătorul.

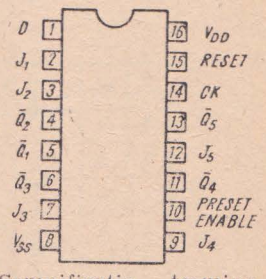
Divizarea prin valori superioare lui 10 se poate obține utilizînd mai multe capsule MMC 4018.

Performanțe

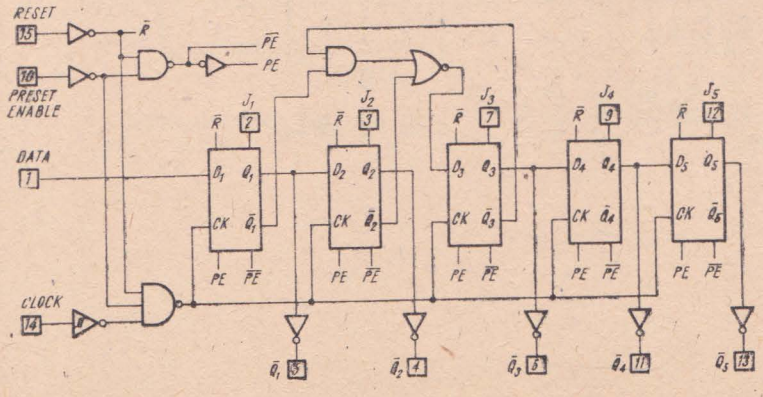
- viteză medie de operare : 10 MHz (tipic) pentru $V_{DD} = 10$ V ;
- operare statică ;
- caracteristici de ieșire simetrice.



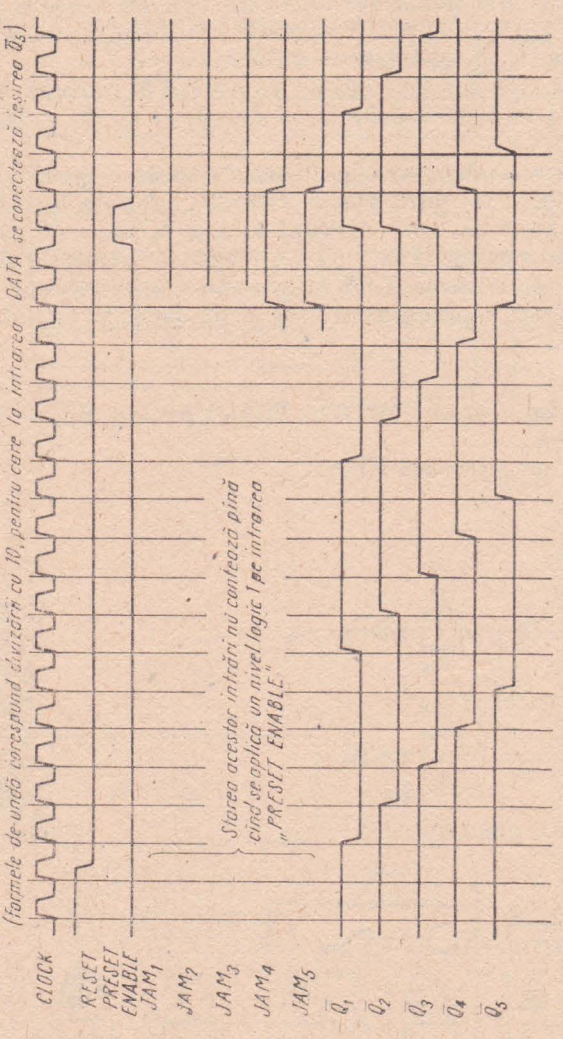
Schema logică a celulei numărătorului.



Semnificația terminalelor.



Schema logică a circuitului.



Formele de undă.

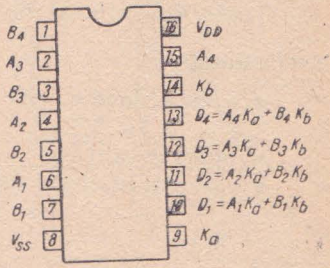
Circuitul integrat MMC 4019 conține 4 configurații de porți SI-SAU (AND/OR) cu selectare între două cuvinte de 4 biți, fiecare configurație avînd 2 porți SI(AND) cu 2 intrări care comandă o poartă SAU(OR) cu 2 intrări.

Selecția unuia dintre cuvintele de 4 biți ($A_1 \ldots A_4$; $B_1 \ldots B_4$) se realizează prin biții de control K_a și K_b.

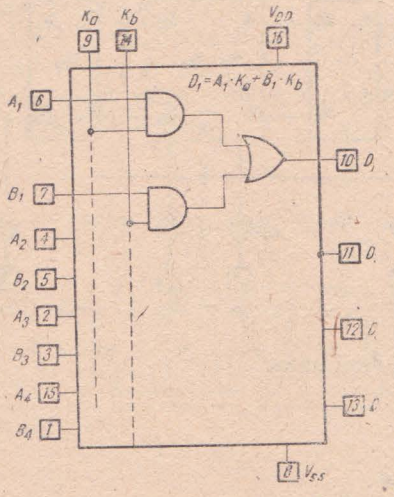
În afară de selecția informației, fie de la canalul A, fie de la canalul B, prin aplicarea simultană a biților de control K_a și K_b se poate realiza funcția logică SAU (OR), între canalele A și B de 4 biți.

Performanțe

- timp de propagare : 60 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V ;
- înlocuiește 3 porți simple (reduce numărul capsulelor utilizate) ;
- caracteristici de ieșire simetrice ;
- intrări și ieșiri cu buffer.



Semnificația terminalelor.



Schema logică funcțională.

K_a	K_b	A_n	B_n	D_n
0	0	X	X	0
1	0	0	X	0
1	0	1	X	1
0	1	X	0	0
0	1	X	1	1
1	1	1	X	1
1	1	X	1	1
1	1	0	0	0

X = Indiferent

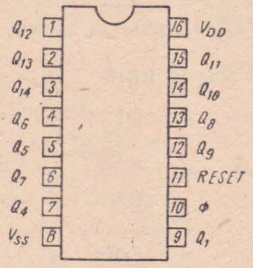
Tabela de adevăr a circuitului.

Circuitul integrat MMC 4020 este un numărător binar asincron (cu transport succesiv) de 14 biți. Toate etajele numărătorului sînt circuite bistabile master-slave de tip T (v. § 1.8.1).

Numărătorul incrementează pe frontul negativ (tranziția negativă) a fiecărui impuls de intrare. Nivelul **1** logic al intrării *RESET* aduce toate ieșirile numărătorului în **0** logic.

Circuitul trigger Schmitt de la intrare permite lucrul cu impulsuri ale căror fronturi sînt oricît de lente.

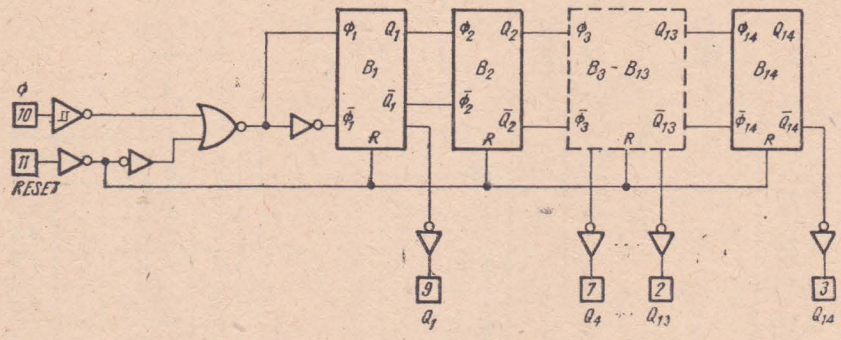
Toate intrările și ieșirile au etaje buffer.



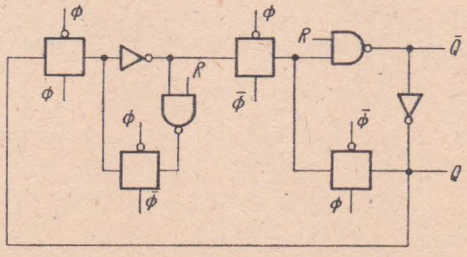
Semnificația terminalelor.

Performanțe

- viteză medie de operare: 16 MHz (tipic) pentru $V_{DD} = 10$ V;
- operare statică;
- caracteristici de ieșire simetrice.



Schema logică a circuitului.



Schema logică a unei celule

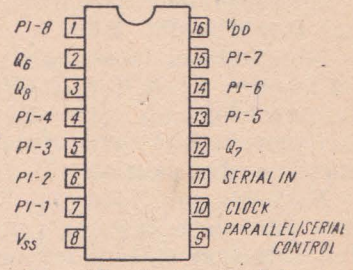
REGISTRU DE DEPLASARE STATIC DE 8 BIȚI, INTRĂRI SINCRONE SERIE SAU ASINCRONE PARALEL — MMC 4021

Circuitul integrat MMC 4021 este un registru de deplasare static de 8 biți, cu intrări paralel sau serie și ieșire serie, avînd tact comun, intrare de control paralel/serie (*PARALLEL/SERIAL CONTROL*), o intrare de date serie (*SERIAL IN*) și intrări paralel *JAM* (*PI-1*...*PI-8*) la fiecare etaj al registrului.

Intrarea datelor paralel se face asincron, iar intrarea datelor serie se face sincron cu tranziția pozitivă a semnalului de tact (intrarea *CLOCK*). Fiecare etaj este un bistabil master-slave de tip *D* (v. § 1.7).

Registrul are ieșiri *Q* de la etajele 6, 7 și 8.

Modul de introducere a datelor este controlat de intrarea *PARALLEL/SERIAL CONTROL*. Dacă aceasta este la **0** logic, datele sînt deplasate în registru serie, sincron pe frontul pozitiv al semnalului de tact. Cînd este la **1** logic, datele de pe intrările paralel *JAM* sînt înscrise în etajele registrului asincron față de semnalul de tact.

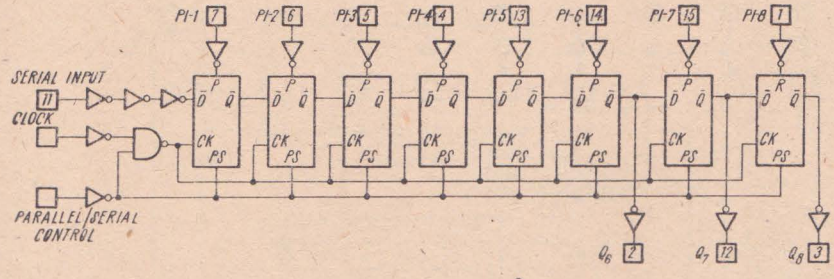


Semnificația terminalelor.

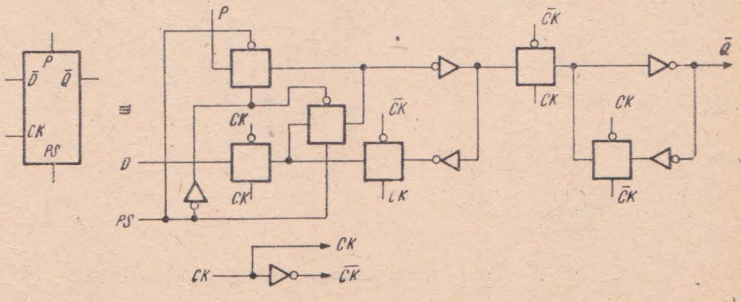
CK	SI	P/S	PI-1	PI-n	Q_1 interm	Q_n	
X	X	1	0	0	0	0	
X	X	1	0	1	0	1	
X	X	1	1	0	1	0	
X	X	1	1	1	1	1	
↑	0	0	X	X	0	Q_{n-1}	
↑	1	0	X	X	1	Q_{n-1}	
↓	X	0	X	X	Q_1	Q_n	NC

X = Indiferent ; NC = Starea nu se schimbă

Tabela de adevăr.



Schema logică a circuitului.



Schema logică a celulei.

Circuitul integrat MMC 4022 este un numărător Johnson cu 4 etaje, care are 8 ieșiri decodificate. Intrările sînt *CLOCK*, *RESET* și *CLOCK INHIBIT* (pentru inhibarea semnalului de tact).

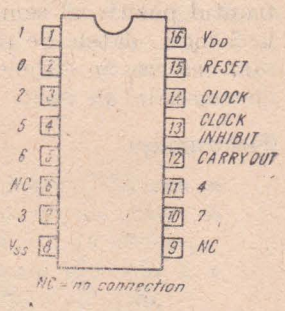
Circuitul trigger Schmitt de la intrarea *CLOCK* permite lucrul cu impulsuri ale căror fronturi sînt oricît de lente.

Numărătorul își schimbă starea la orice front pozitiv al semnalului de tact, cînd intrarea *CLOCK INHIBIT* este la **0** logic. Inhibarea numărării se realizează printr-un **1** logic aplicat pe *CLOCK INHIBIT*. Nivelul **1** logic la intrarea *RESET* aduce toate ieșirile numărătorului la **0** logic. Celula de bază a numărătorului este un bistabil master-slave de tip *D* (v. § 1.7.1.).

Folosirea numărătorului Johnson în configurație octală permite obținerea unei viteze mari de operare și, prin utilizarea unor porți cu 2 intrări pentru decodificarea octală, se obțin la ieșirile decodificate semnale fără tranziții parazite. Cu ajutorul unei porți de anti-blocare se asigură pornirea corectă a numărării din orice stare.

Ieșirile decodificate sînt în mod normal în **0** logic și trec în **1** logic numai în momentul decodificării. Fiecare ieșire decodificată rămîne în **1** logic un interval de timp egal cu o perioadă a impulsului de tact.

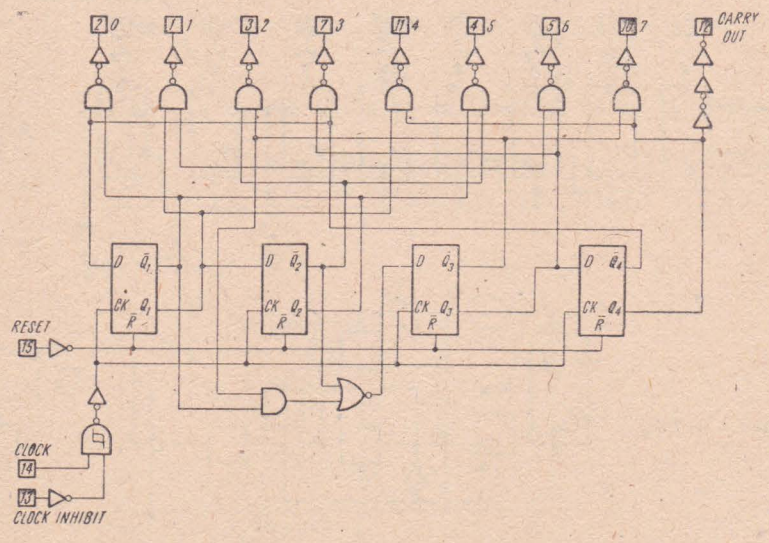
La ieșirea de transport (*CARRY OUT*) se obține un impuls la fiecare 8 impulsuri de tact. Ieșirea *CARRY OUT* se utilizează pentru cascadarea mai multor numărătoare pentru a se obține un lanț de numărare de ordin superior.



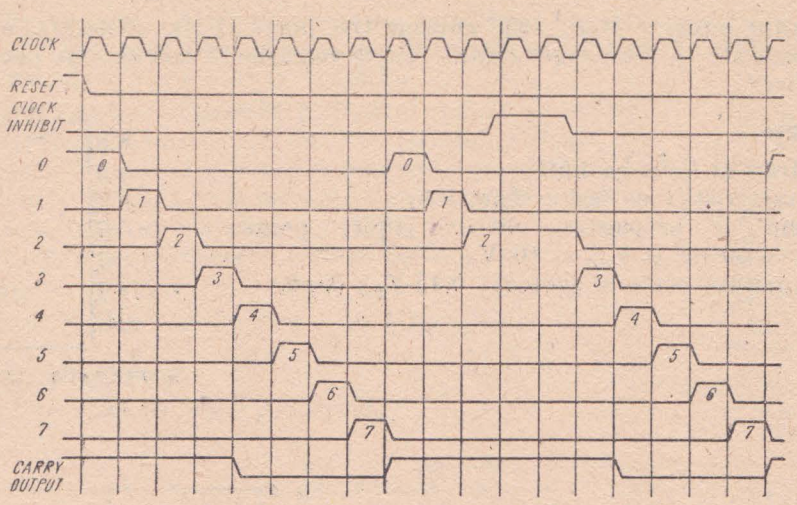
Semnificația terminalelor.

Performanțe

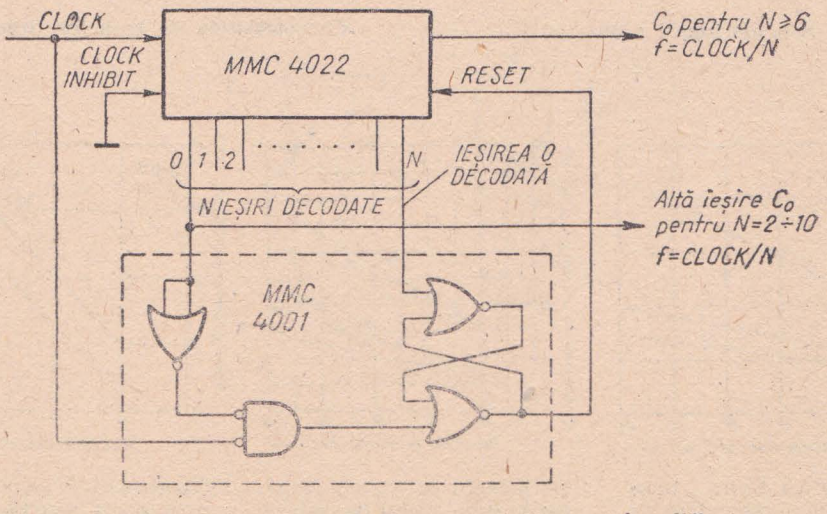
- operare statică ;
- viteză medie de operare : 12 MHz (tipic) pentru $V_{DD} = 10$ V ;
- caracteristici simetrice de ieșire.



Schema logică a circuitului.



Formele de undă.

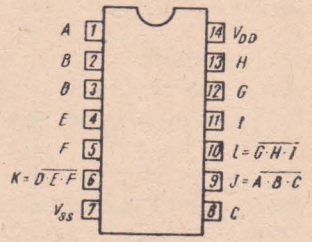


Numărător divizor cu N (N 10), cu N ieșiri decodificate.

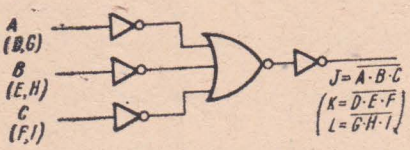
Circuitul integrat MMC 4023 conține trei porți SI-NU (NAND) cu 3 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt prevăzute cu etaje buffer.

Performanțe

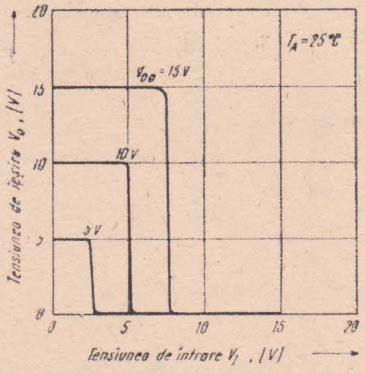
- intrări și ieșiri cu buffer ;
- caracteristici de ieșire simetrice ;
- timp de propagare : 60 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V ;
- imunitate mare la zgomot : 0,45 V_{DD} (tipic)



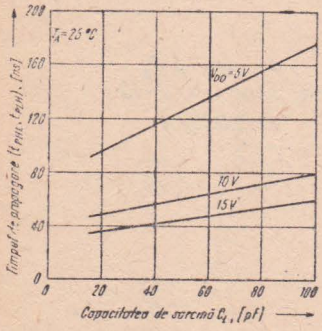
Semnificația terminalelor.



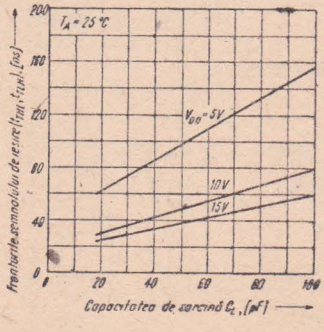
Schema logică a unei porți.



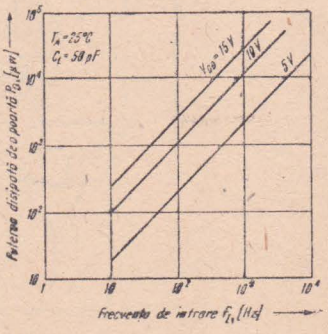
Caracteristica de transfer tipică.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.

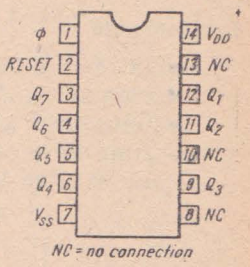


Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

Circuitul integrat MMC 4024 este un numărător binar asincron (cu transport succesiv — *ripple counter*) de 7 biți. Toate etajele numărătorului sînt circuite bistabile master-slave de tip *T* (v. § 1.8.1).

Numărătorul incrementează pe frontul negativ (tranziție negativă) al fiecărui impuls de intrare. Nivelul **1** logic al intrării *RESET* aduce toate ieșirile numărătorului în **0** logic. Circuitul trigger Schmitt de la intrare permite lucrul cu impulsuri ale căror fronturi sînt lent variabile.

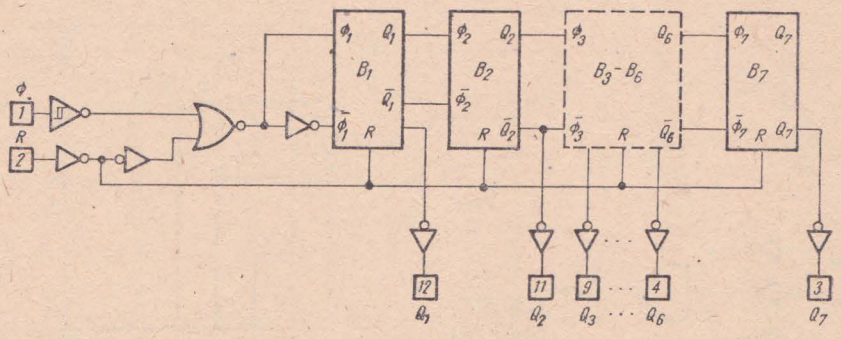
Toate intrările și ieșirile au etaje buffer.



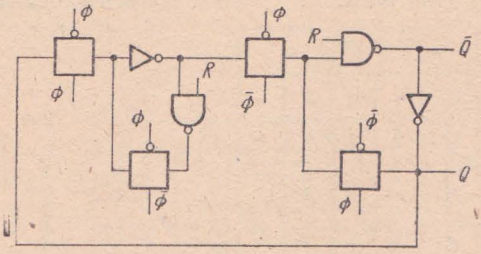
Semnificația terminalelor.

Performanțe

- viteză medie de operare: 16 MHz (tipic) pentru $V_{DD} = 10$ V;
- operare statică;
- caracteristici de ieșire simetrice.



Schema logică a circuitului.

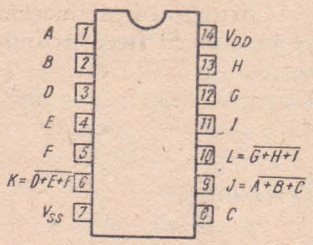


Schema logică a celulei.

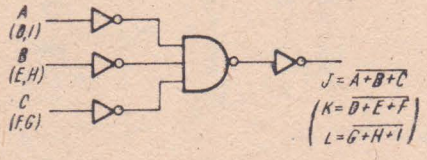
Circuitul integrat MMC 4025 conține trei porți SAU-NU (NOR) cu 3 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt prevăzute cu etaje buffer.

Performanțe

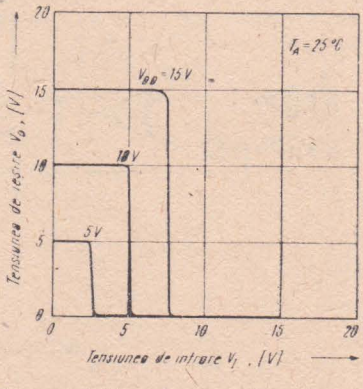
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- imunitate mare la zgomot: 0,45 V_{DD} (tipic);
- timp de propagare: 60 ns (tipic) pentru C_L = = 50 pF și V_{DD} = 10 V.



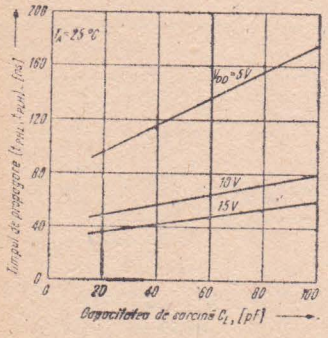
Semnificația terminalelor.



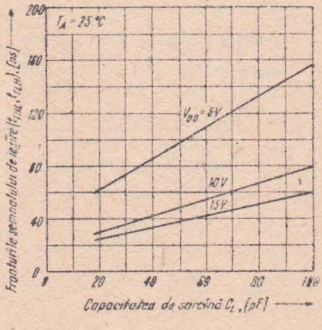
Schema logică a unei porți.



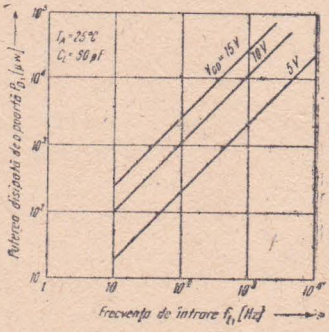
Caracteristica de transfer tipică.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină

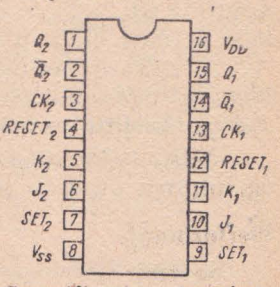


Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

Circuitul integrat MMC 4027 conține doi bistabili master-slave de tip *JK* independenți. Fiecare bistabil are intrări proprii de semnal: *J*, *K*, *SET*, *RESET* și *CLOCK*. Există ieșiri Q și $\overline{Q}$, cu buffer, pentru fiecare bistabil.

Descrierea bistabilului master-slave de tip *JK* este dată în § 1.6.3.

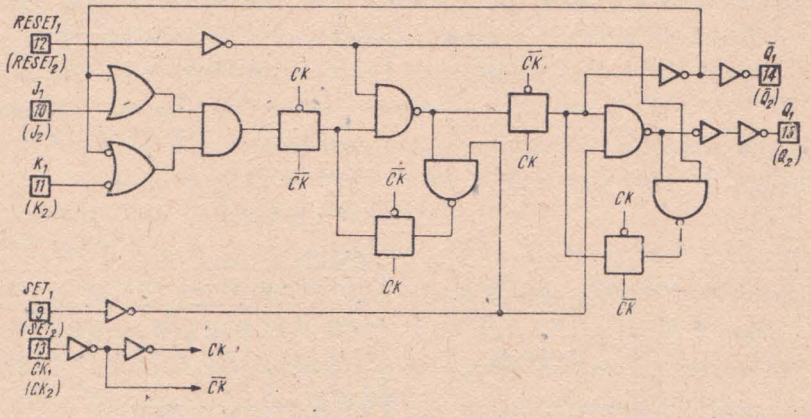
Nivelele logice de pe intrările *J* și *K* controlează tranziția bistabilului, starea acestuia schimbîndu-se sincron cu frontul pozitiv al semnalului de tact (de pe intrarea *CLOCK*). Funcțiile *SET* și *RESET* sînt independente de tact și sînt active atunci cînd nivelul logic **1** apare fie la intrarea *SET*, fie la intrarea *RESET*.



Semnificația terminalelor.

Performanțe

- posibilități de *SET-RESET*;
- viteză medie de operare: 16 MHz (tipic) pentru $V_{DD} = 10$ V;
- operare statică.



Schema logică a unui bistabil.

Starea actuală					CK	Starea următoare	
Intrări				Ieșire		Ieșiri	
J	*K*	*S*	*R*	*Q*		*Q*	$\overline{Q}$
1	X	0	0	0	↓	1	0
X	0	0	0	1	↓	1	0
0	X	0	0	0	↓	0	1
X	1	0	0	1	↓	0	1
X	X	0	0	X	↓	Starea nu se schimbă	
X	X	1	0	X	X	1	0
X	X	0	1	X	X	0	1
X	X	1	1	X	X	1	1

Tabela de adevăr a circuitului.

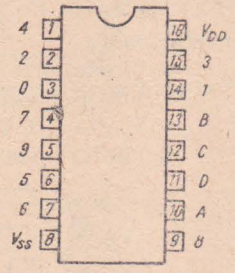
X - Indiferent

MMC 4028 DECODOR BCD-ZECIMAL

Circuitul integrat MMC 4028 este un decodor din codul zecimal codificat binar (BCD) în codul zecimal sau din codul binar în codul octal.

Circuitul MMC 4028 are etaje buffer la cele 4 intrări (A, B, C, D) și 10 ieșiri ($0 \ldots 9$) și o logică de decodificare cu porți. La aplicarea unui cod BCD pe cele 4 intrări ($A \ldots D$) se obține un semnal **1** logic numai la una din cele 10 ieșiri, celelalte 9 ieșiri fiind în **0** logic. Similar, un cod binar de 3 biți prezent pe intrările $A \ldots C$ este decodificat în cod octal pe ieșirile $0 \ldots 7$, dacă intrarea D este în **0** logic. Atunci cînd intrarea D se află în **1** logic, ieșirile $0 \ldots 7$ se forțează în **0** logic. Astfel, circuitul se poate utiliza ca decodor 1 din 8 cu validare.

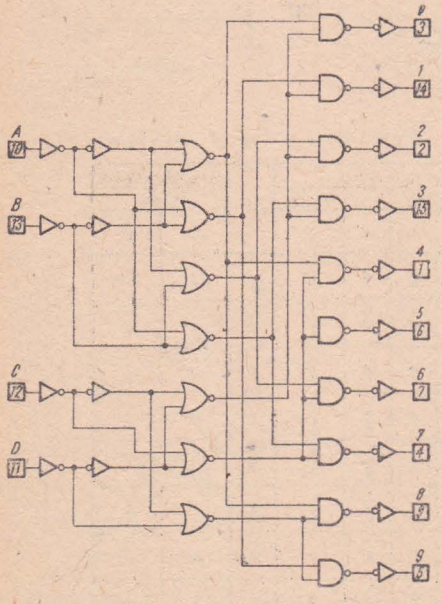
MMC 4028 se poate utiliza și ca demultiplexor de 8 căi, cu intrarea de date activă în **0** logic.



Semnificația terminalelor.

Performanțe

- timp de propagare : 80 ns (tipic) pentru $V_{DD} = 10$ V ;
- logică pozitivă la intrări și ieșiri ;
- decodare BCD-zecimal sau binar-octal.



Schema logică a circuitului.

D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1
1	0	1	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0

Tabela de adevăr.

NUMĂRĂTOR PRESETABIL REVERSIBIL BINAR SAU DECADIC MMC 4029

Circuitul integrat MMC 4029 constă dintr-un numărător sincron cu 4 etaje binar sau decadic (cod BCD), reversibil, prevăzut cu ieșire de transport în ambele moduri de numărare.

Intrările sînt : *CLOCK*-intrare tact, $\overline{CARRY\ IN}$ ($\overline{CLOCK\ ENABLE}$)-intrare transport activă pe **0** logic, o intrare de control a sensului de numărare înainte/înapoi (*UP/DOWN*), o intrare de comandă a modului de numărare binar sau decadic (*BINARY/DECADE*), o intrare de validare a încărcării numărătorului paralel (*PRESET ENABLE*), 4 intrări paralel de date *JAM 1...4*. Ieșirile disponibile sînt Q_1, Q_2, Q_3, Q_4 și $\overline{CARRY\ OUT}$ — ieșire transport, activă pe **0** logic, care indică terminarea ciclului de numărare. Celula numărătorului este de tip *TE* și este descrisă în § 1.8.1.

Informația de la intrările paralel de date, *JAM*, este încărcată în numărător dacă *PRESET ENABLE* este în **1** logic, independent de orice alte condiții la intrări. Cînd intrările *PRESET ENABLE* și $\overline{CARRY\ IN}$ sînt în **0** logic, operarea este sincronă și incrementarea se face la fiecare tranziție pozitivă a semnalului de tact. Cînd oricare dintre aceste intrări este în **1** logic, numărarea este inhibată.

Tipul de operare este determinat de starea intrărilor *UP/DOWN*, *BINARY/DECADE* și $\overline{CARRY\ IN}$. Aceste trei intrări trebuie să fie stabile un interval de timp în jurul frontului pozitiv al semnalului de tact (un timp de stabilire + un timp de menținere față de frontul semnalului).

$\overline{CARRY\ OUT}$ este în mod normal în **1** logic. El trece în **0** logic atunci cînd numărătorul atinge numărul maxim (pentru numărare înainte) sau minim (pentru numărare înapoi), cu condiția ca intrarea $\overline{CARRY\ IN}$ să fie la **0** logic.

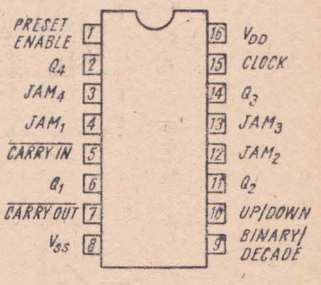
Semnalul $\overline{CARRY\ IN}$ în starea **0** logic acționează ca un semnal de validare tact. În cazul în care terminalul $\overline{CARRY\ IN}$ nu se folosește, el trebuie legat la potențialul V_{SS}.

Atunci cînd intrarea *BINARY/DECADE* este în **1** logic, se obține numărarea binară ; cînd această intrare este în **0** logic, se obține numărarea decadică. Numărătoarea înainte se obține punînd intrarea *UP/DOWN* în **1** logic, iar cea înapoi cînd intrarea *UP/DOWN* este în **0** logic.

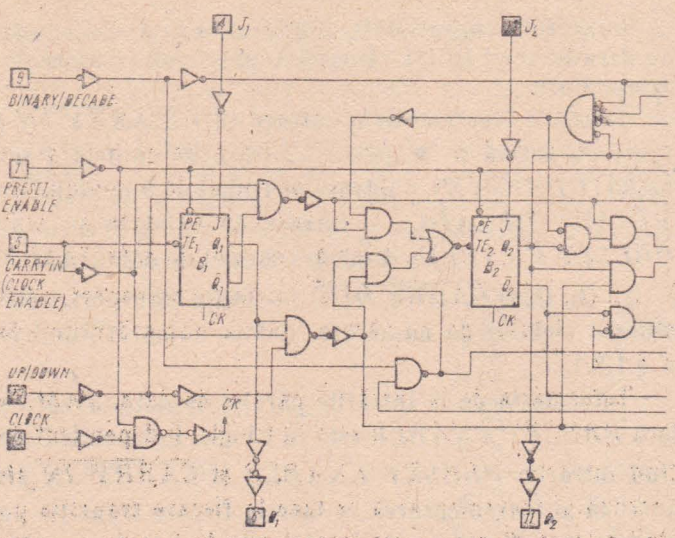
Mai multe capsule se pot cascada fie prin acționarea paralelă a tactului, fie în configurație cu acționare succesivă a tactului (*ripple-clocking*).

Performanțe

- numărător reversibil binar sau decadic ;
- încărcare paralel asincronă ;
- ieșiri BCD în modul decadic ;
- viteză medie de operare : 8 MHz (tipic) la $V_{DD} = 10$ V ;
- ușor cascadabil.



Semnificația terminalelor.



Schema logică

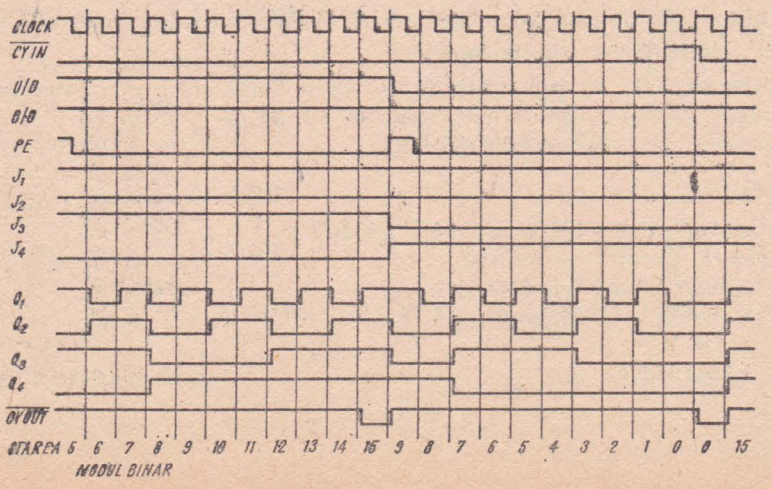
CK	TE	PE	J	Q	$\bar{Q}$	
X	X	0	0	0	1	
↓	0	1	X	$\bar{Q}$	Q	
X	X	0	1	1	0	
↓	1	1	X	Q	$\bar{Q}$	NC
↑	X	1	X	Q	Q	NC

X = Indiferent (0 sau 1)
NC = Starea nu se schimbă

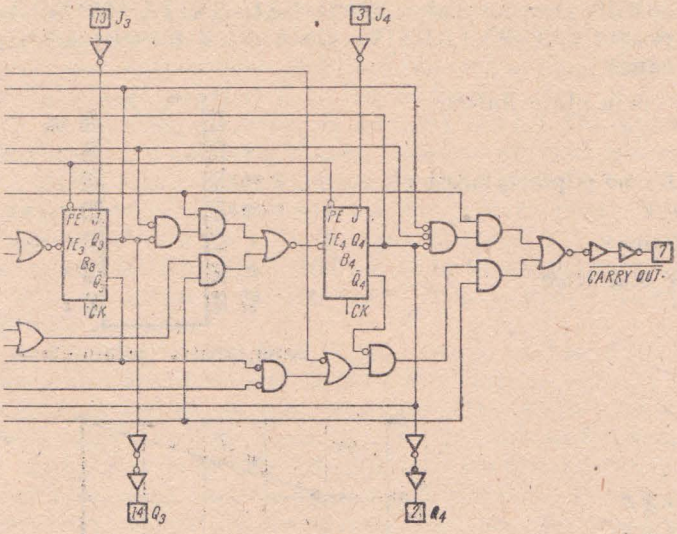
Tabela de adevăr pentru celula numărătorului.

Intrarea de control	Nivel logic	Acțiunea
BIN/DEC (B/D)	1	Numără binar
	0	Numără decadic
UP/DOWN (U/D)	1	Numără înainte
	0	Numără înapoi
PRESET ENABLE (PE)	1	Se încarcă paralel
	0	Nu influențează funcționarea
$\overline{CARRY\ IN}$ ($\overline{CYIN}$)	1	La ↓ pe CK, nu numără
	0	La ↓ pe CK, numără

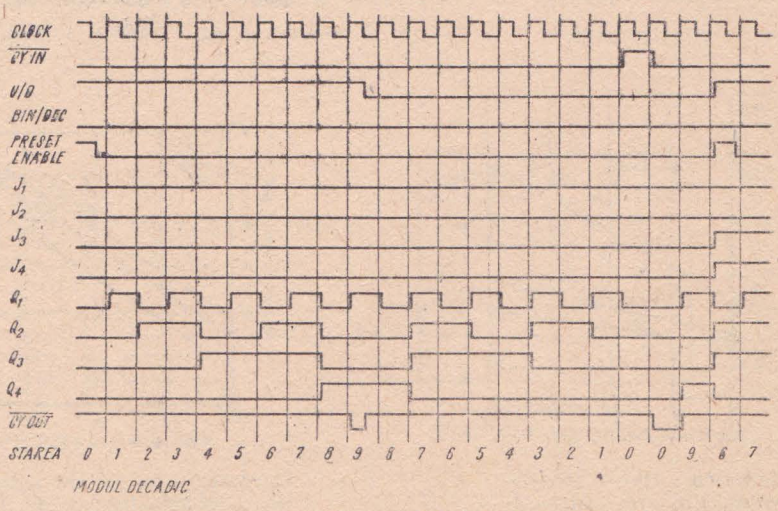
Tabela de adevăr pentru numărător.



Formele de undă pentru modul de lucru binar



a circuitului.



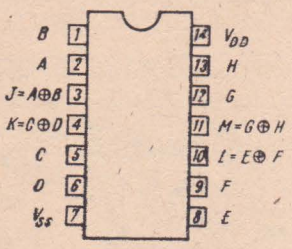
Formele de undă pentru modul de lucru decadic.

Circuitul integrat MMC 4030 conține patru porți SAU-EXCLUSIV(XOR) cu 2 intrări fiecare. Fiecare poartă SAU-EXCLUSIV constă din 4 tranzistoare cu canal *n* și 4 tranzistoare cu canal *p*.

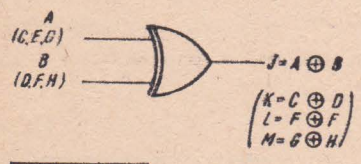
Intrările și ieșirile se fac prin etaje buffer.

Performanțe

- timp de propagare : 65 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V ;
- impedanță mică de ieșire ;
- caracteristici de ieșire simetrice.

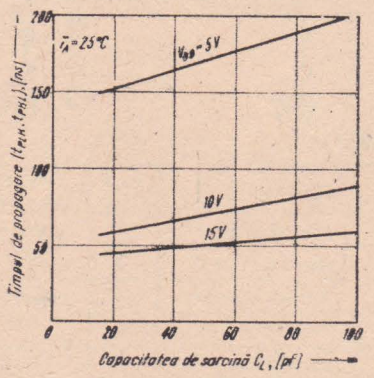


Semnificația terminalelor.

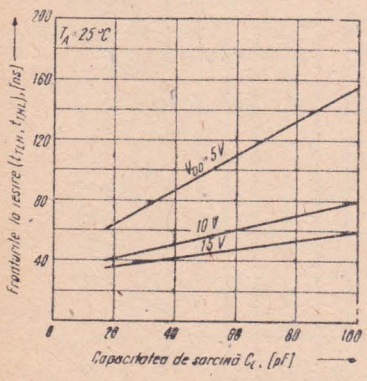


A	B	J
0	0	0
0	1	1
1	0	1
1	1	0

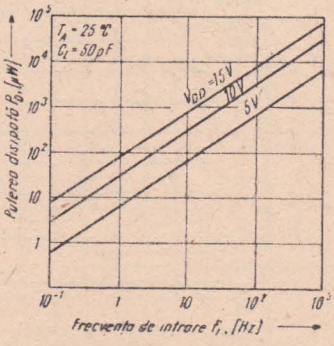
Schema logică și tabela de adevăr pentru o poartă.



Caracteristica tipică timp de propagare — capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.



Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

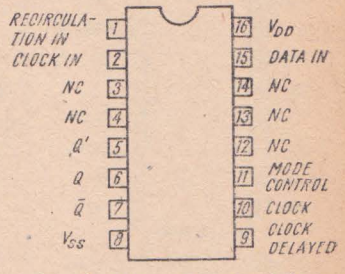
Circuitul integrat MMC 4031 este un registru de deplasare static, format din 64 bistabili master-slave de tip *D* și un latch de tip *D* (numit și o jumătate de etaj, deoarece conține doar secțiunea master a unui bistabil master-slave de tip *D*). Bistabilul de tip *D* este descris în § 1.6.2.

Nivelul logic prezent la intrarea *DATA IN* este transferat în prima celulă și deplasat cu o celulă la fiecare tranziție pozitivă a semnalului de tact (pe intrarea *CLOCK*). Frecvența maximă a semnalului de tact este, tipic de 16 MHz. Deoarece circuitul este static, informația din registru poate fi memorată un timp nedefinit dacă tactul este fie **1**, fie **0** logic. Circuitul are și o intrare de control al modului de lucru (*MODE CONTROL*), care în **1** logic permite operarea în mod de recirculare a datelor. Intrarea *MODE CONTROL* se poate utiliza și ca selector între 2 surse diferite de date.

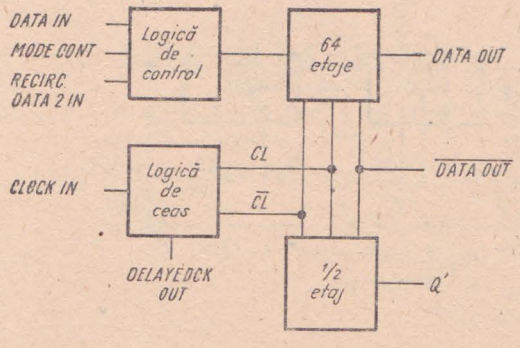
Registrele MMC 4031 se pot cascada în 3 moduri. Pentru a se obține viteze de lucru ridicate, semnalul de tact se aplică în paralel. Al doilea mod de cascadare utilizează ieșirea de tact întîrziat (*DELAYED CLOCK OUT*) pentru comanda registrului următor. Acest tip de cascadare se folosește cînd circuitul de comandă a semnalului de tact al sistemului are un fan-out redus, iar fronturile semnalului de tact sînt lente. A treia opțiune de cascadare folosește ieșirea Q' de la latch-ul *D* care este disponibilă pe următoarea tranziție negativă a tactului, după apariția ieșirii *Q*. Această ieșire întîrziată, ca și tactul întîrziat, se folosește pentru semnale de tact cu fronturi lente.

Performanțe

- viteză medie de operare: 16 MHz (tipic), pentru $V_{DD} = 10$ V;
- capabilitate de comandă TTL standard, la ieșirea *Q*;
- capabilitate de recirculare a datelor;
- 3 moduri posibile de cascadare.



Semnificația terminalelor.



Schema bloc a circuitului.

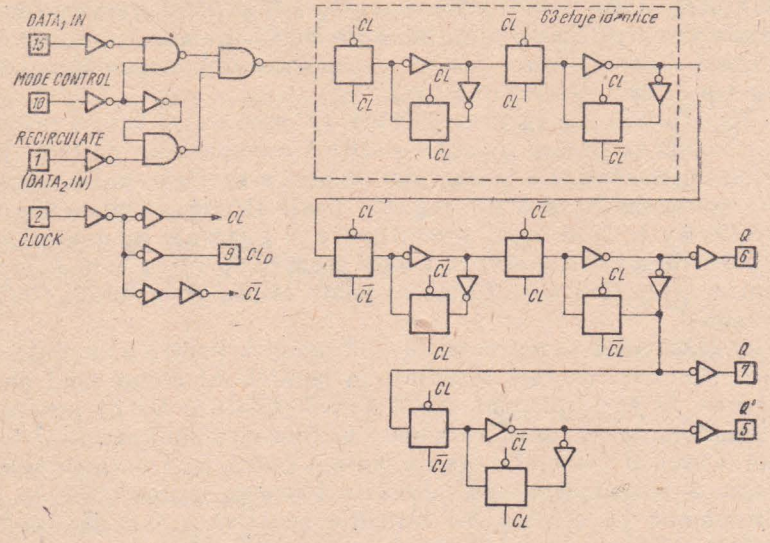
Data	Recirc.	Mod	Conținutul etajului 1
1	X	0	1
0	X	0	0
X	1	1	1
X	0	1	0

X - Indiferent (0 sau 1)
NC - Starea nu se schimbă

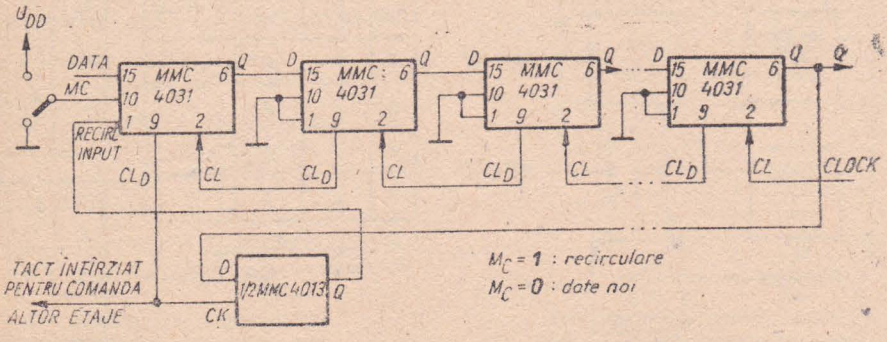
Data	CL	Data+1
0	∫	0
1	∫	1
X	⌐	NC

Data+63	CL	Data+64,5
0	⌐	0
1	⌐	1
X	∫	NC

Tabelele de adevăr pentru circuit.



Schema logică a circuitului.



Mod de cascadare care utilizează ieșirea de tact întîrziat.

Circuitul integrat MMC 4035 este un registru serie de 4 biți cu intrări sincrone paralel (*PI-1...PI-4*) în fiecare etaj și intrări serie în primul etaj care este un bistabil de tip $J\bar{K}$. Etajele 2, 3 și 4 ale registrului sînt bistabili de tip *D*, legați într-o configurație serie (v. § 1.7), cînd registrul este acționat în modul de lucru serie — intrarea de control paralel/serie (*PARALLEL/SERIAL CONTROL*) în **0** logic.

Intrarea datelor paralel în fiecare etaj al registrului se poate efectua numai cînd intrarea *PARALLEL/SERIAL CONTROL* este în **1** logic. Atît în modul de lucru paralel, cît și în cel serie, informația în registru este deplasată la tranziția pozitivă a semnalului de tact (intrarea *CLOCK*).

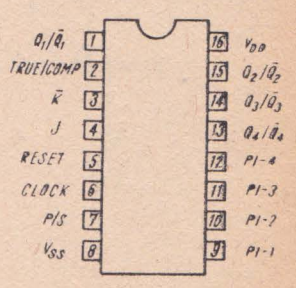
Informația neinversată din registru este disponibilă pe ieșirile $Q_1 \ldots Q_4$ cînd intrarea de control *TRUE/COMPLEMENT* este în **1** logic. Cînd *TRUE/COMPLEMENT* este în **0** logic, pe ieșiri apare informația din registru inversată (complementată). Intrarea *TRUE/COMPLEMENT* acționează asincron față de semnalul de tact.

Bistabilul de intrare de tip $J\bar{K}$ este plasat la intrarea serie (intrările *J* și $\bar{K}$), corespunzătoare primului etaj al registrului, în scopul minimizării necesarului de logică suplimentară (deci, alte capsule cu circuite) în aplicațiile de numărare și de generare de secvențe. Legînd intrările $J\bar{K}$ împreună, primul etaj devine un bistabil de tip *D*.

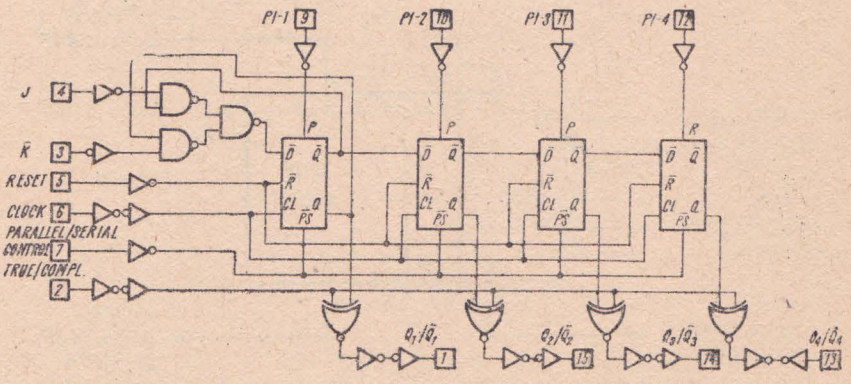
Circuitul are prevăzută și o intrare de *RESET* general, asincronă.

Performanțe

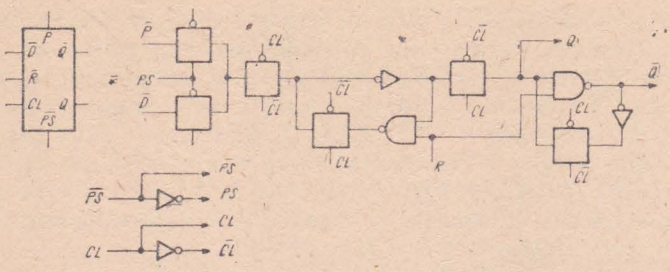
- intrări $J\bar{K}$ în primul etaj ;
- viteză mare : 12 MHz (tipic) pentru $V_{DD} = 10$ V ;
- intrare de control asincronă pentru ieșiri inversate/neinversate ;
- intrări paralel sincrone în toate cele 4 etaje.



Semnificația terminalelor.



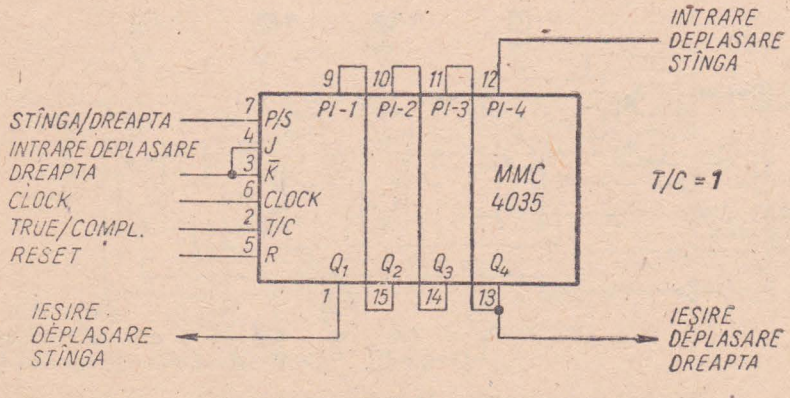
Schema logică a circuitului.



Schema logică a celulei registrului.

Tabela de adevăr pentru circuit.

CK	t_{n-1} (INTRĂRI)				t_n (IEȘIRI)	
	J	K	R	Q_{n-1}	Q_n	
↑	0	X	0	0	0	
↑	1	X	0	0	1	
↑	X	0	0	1	0	
↑	1	0	0	Q_{n-1}	$\bar{Q}_{n-1}$	TOGGLE MODE
↑	X	1	0	1	1	
↓	X	X	0	Q_{n-1}	Q_{n-1}	
X	X	X	1	X	0	

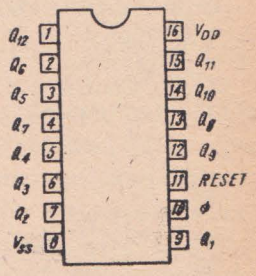


Registru de deplasare universal.

Circuitul integrat MMC 4040 este un numărător binar asincron (cu transport succesiv) de 12 biți. Toate etajele numărătorului sînt circuite bistabile master-slave tip *T* (v. § 1.8.1). Numărătorul incrementează pe fiecare front negativ (tranziție negativă) al fiecărui impuls de intrare.

Nivelul **1** logic al intrării *RESET* aduce toate ieșirile numărătorului în **0** logic.

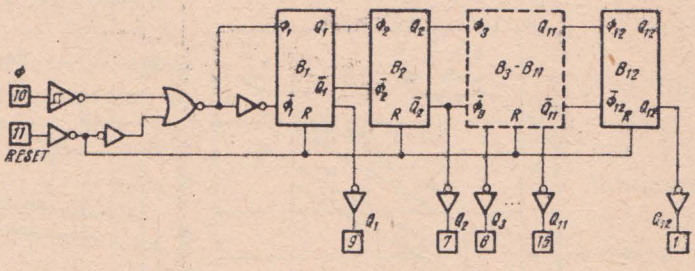
Circuitul trigger Schmitt de la intrare permite lucrul cu impulsuri ale căror fronturi sînt oricît de lente. Toate intrările și ieșirile au etaje buffer.



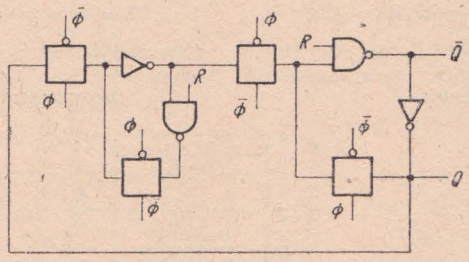
Semnificația terminalelor.

Performanțe

- viteză medie de operare: 16 MHz (tipic) pentru $V_{DD} = 10$ V;
- operare statică;
- caracteristici de ieșire simetrice.



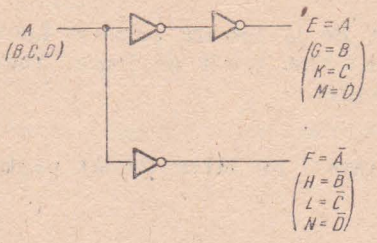
Schema logică a circuitului.



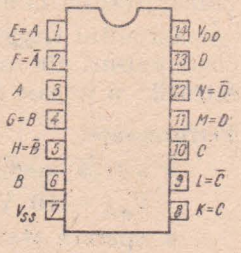
Schema logică a celulei.

Circuitul integrat MMC 4041 conține patru etaje buffer inversoare/neinversoare (*true/complement*), realizate din tranzistoare cu canal *n* și *p* de curent mare, comparativ cu standardul seriei 4000.

Circuitul MMC 4041 este destinat utilizării ca buffer, circuit de comandă pentru linii (*line driver*) sau interfață CMOS-TTL. Poate fi folosit ca circuit de comandă cu consum redus pentru rețelele de rezistențe din convertoarele A/D sau D/A, pentru linii de transmisie sau pentru alte aplicații care solicită imunitate mare la zgomot și/sau consum redus de putere.



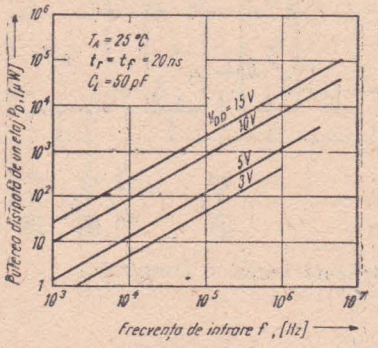
Schema logică a unui buffer.



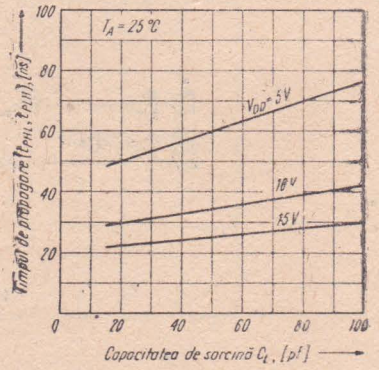
Semnificația terminalelor.

Performanțe

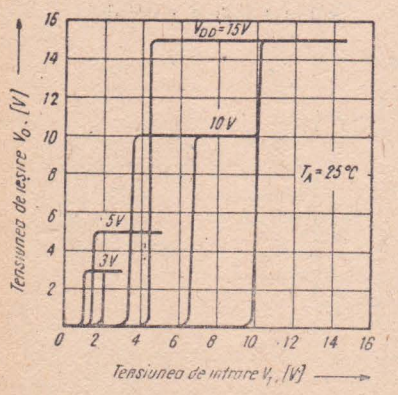
- capabilitate mare de curent: aproximativ de 4 ori mai mare decît standardul seriei 4000 (v. cap. 2);
- timp de propagare egal spre ambele ieșiri: 35 ns (tipic) pentru $V_{DD} = 10$ V;
- caracteristici de ieșire simetrice.



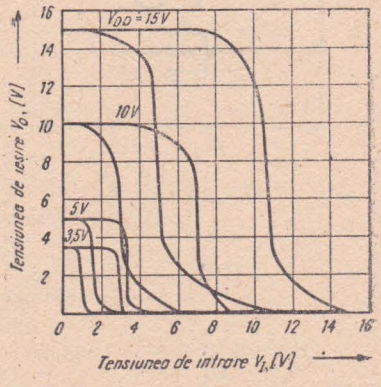
Puterea disipată de un etaj funcție de frecvența semnalului de intrare.



Caracteristica tipică de propagare și capacitatea de sarcină.



Caracteristica de transfer pentru ieșirea neinversoare.



Caracteristica de transfer pentru ieșirea inversoare.

Circuitul integrat MMC 4042 conține patru latch-uri acționate de un semnal de tact (ceas) comun (intrarea *CLOCK*). Fiecare latch are ieșiri complementare (Q și $\bar{Q}$) cu buffer.

Pe durata nivelului de **1** sau **0** logic al semnalului de tact (programat de intrarea *POLARITY*), ieșirile Q și $\bar{Q}$ urmăresc intrarea de date *D*. Cînd intrarea *POLARITY* este în **0** logic, transferul datelor are loc pe nivelul de **0** logic al semnalului de tact, iar cînd intrarea *POLARITY* este în **1** logic, transferul datelor se realizează pe nivelul **1** logic al semnalului de tact. Ieșirile urmăresc intrările de date în funcție de nivelé definite anterior pentru intrările *POLARITY* și *CLOCK*. La apariția unei tranziții a semnalului de tact (pozitivă pentru *POLARITY* = **0** și negativă pentru *POLARITY* = **1**), informația prezentă la intrare pe durata tranziției semnalului de tact este menținută la ieșiri pînă la apariția unei tranziții de sens opus a semnalului de tact.

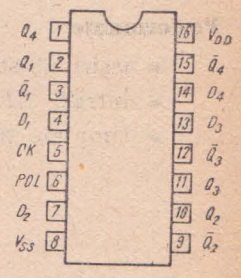
Performanțe

- controlul polarității semnalului de tact;
- semnal de tact comun;
- capabilitate de comandă LPTTL;
- timp de propagare de la intrarea *DATA* la ieșirea Q: 55 ns (tipic) pentru $V_{DD} = 10$ V.

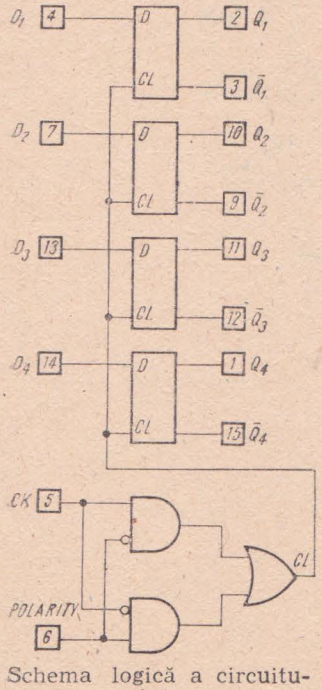
CK	POL	Q
0	0	D
↓	0	▲
1	1	D
↓	1	▲

▲-Memorează informația de pe intrare

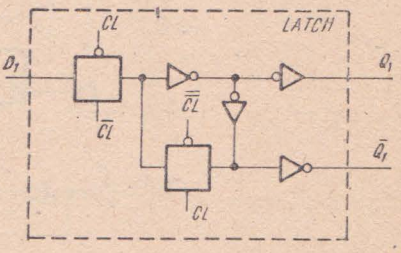
Tabela de adevăr a circuitului.



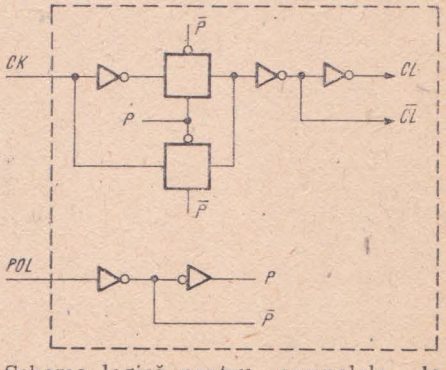
Semnificația terminalelor.



Schema logică a circuitului.



Schema logică a unui latch.

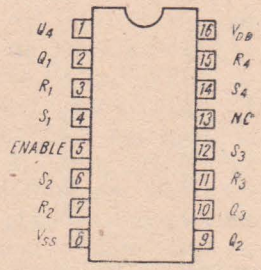


Schema logică pentru semnalele de comandă.

Circuitul integrat MMC 4043 conține patru latch-uri de tip *RS* — realizate cu porți SAU—NU (NOR) în configurație încrucișată — și ieșiri „3-state".

Fiecare latch are o ieșire separată *Q* și intrări individuale de *SET* și *RESET* (v. § 1.6.1). Ieșirile *Q* sînt controlate de o intrare comună de validare (*ENABLE*).

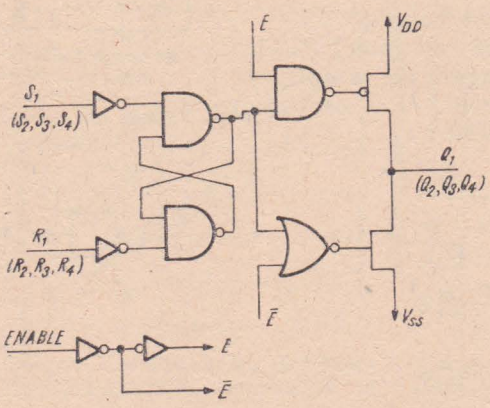
Un nivel **1** logic pe intrarea *ENABLE* permite transmiterea stării latch-urilor la ieșirile *Q*. Un nivel **0** logic pe această intrare *ENABLE* inhibă transmiterea stării latch-urilor la ieșirile *Q*, obținîndu-se o stare de impedanță ridicată (sau „gol") la ieșirile *Q*. Această facilitate permite legarea ieșirilor pe o magistrală (bus) comună de date.



Semnificația terminalelor.

Performanțe

- ieșiri „3-state" cu intrare comună de validare ;
- intrări *SET* și *RESET* separate la fiecare latch ;
- timp de propagare : 70 ns (tipic) pentru $V_{DD} = 10$ V.



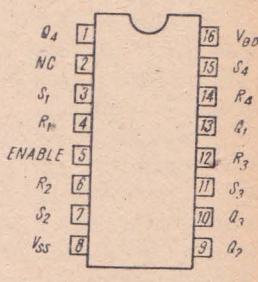
Schema logică a unui latch.

PATRU LATCH-URI „3-STATE" DE TIP RS CU PORȚI ȘI-NU MMC 4044

Circuitul integrat MMC 4044 conține patru latch-uri de tip *RS* — realizate cu porți SI-NU (NAND) în configurație încrucișată — și ieșiri „3-state".

Fiecare latch are ieșire separată *Q* și intrări individuale de *SET* și *RESET* (v. § 1.6.1). Ieșirile *Q* sînt controlate de o intrare comună de validare (*ENABLE*).

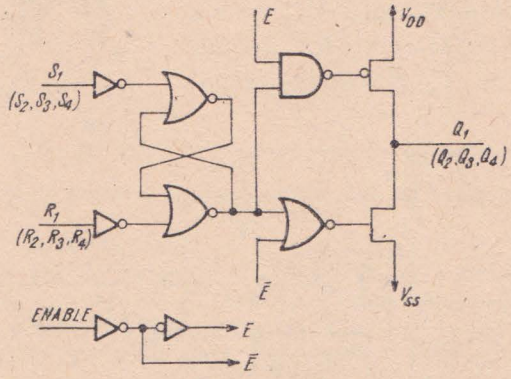
Un nivel **1** logic la intrarea *ENABLE* permite transmiterea stării latch-urilor la ieșirile *Q*. Un nivel **0** logic la această intrare *ENABLE* inhibă transmiterea stării latch-urilor la ieșirile *Q*, obținîndu-se o stare de impedanță ridicată (sau „gol") la ieșirile *Q*. Această facilitate permite legarea ieșirilor pe o magistrală (bus) comună de date.



Semnificația terminalelor.

Performanțe

- ieșiri „3-state" cu intrare comună de validare;
- intrări *SET* și *RESET* separate la fiecare latch;
- timp de propagare: 70 ns (tipic) pentru $V_{DD} = 10$ V.



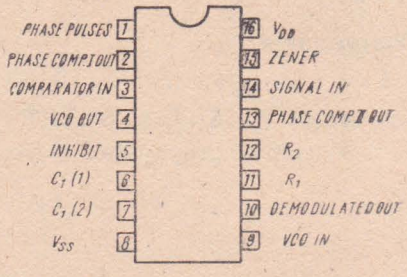
Schema logică a unui latch.

Circuitul integrat MMC 4046 reprezintă o buclă cu calare de fază (**Phase-Locked-Loop-PLL**) și constă dintr-un oscilator comandat în tensiune (*Voltage Controlled* **Oscillator** — **VCO**), două comparatoare de fază cu intrări comune și o diodă Zener de 5,2 V cu anodul conectat la V_{SS} și catodul disponibil în exterior (terminalul *15*).

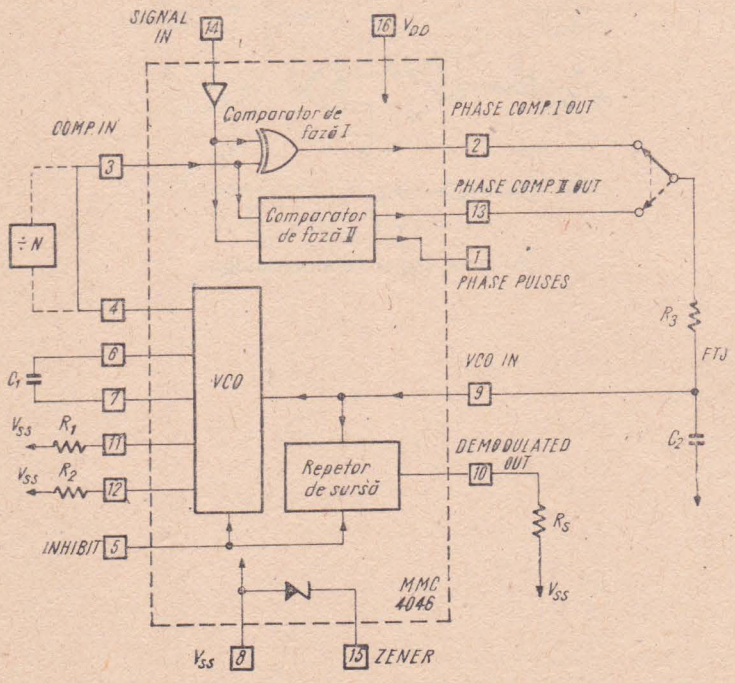
Oscilatorul comandat în tensiune (VCO)

Etajul *VCO* (fig. A) folosește două componente pasive externe: un condensator C_1 și una sau două rezistențe (R_1 sau R_1 și R_2). Rezistența R_1 și condensatorul C_1 determină plaja de frecvență a etajului *VCO*, iar cu rezistența R_2 se poate obține o deplasare a frecvenței centrale a domeniului.

Impedanța de intrare ridicată (10^{12} Ω) a *VCO* simplifică proiectarea filtrelor trece-jos (*FTJ*), permițînd alegerea raportului rezistență-condensator într-o gamă largă. Pentru a nu încărca *FTJ*, semnalul de la intrarea *VCO* este disponibil în exterior (terminalul *10 — DEMODULATED OUTPUT*) prin intermediul unui repetor pe sursă. Dacă se folosește această ieșire, de la terminal spre V_{SS} se va conecta o rezistență de sarcină (R_s) de minim 10 kΩ. Dacă nu se utilizează, termi-



Semnificația terminalelor.



Schema unui sistem *PLL* CMOS.

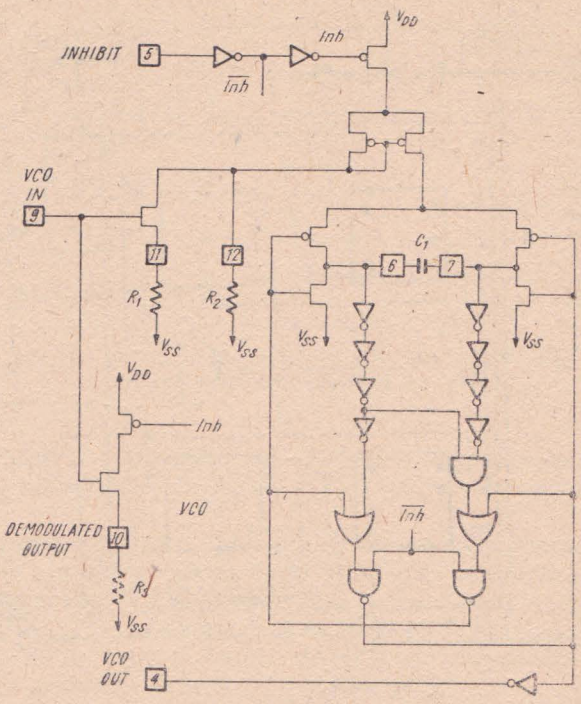


Fig. A. Schema logică a oscilatorului comandat în tensiune *(VCO)*.

nalul va fi lăsat în gol. *VCO* poate fi conectat direct sau prin intermediul unor divizoare de frecvență la intrarea *COMPARATOR IN* a comparatoarelor de fază. Semnalul de la ieșirea *VCO* are nivele CMOS, fapt care permite conectarea directă a divizoarelor de frecvență CMOS MMC 4024, MMC 4018, MMC 4020, MMC 4022, MMC 4029 etc. Cu un circuit MMC 4046 și unul sau mai multe divizoare MMC 4018 sau MMC 4029 se poate construi un sintetizor de joasă frecvență.

Un nivel **0** logic pe intrarea *INHIBIT* permite funcționarea *VCO* și a repetorului pe sursă, în timp ce un **1** logic decuplează aceste etaje de la sursa de alimentare, reducînd, astfel, puterea disipată în *„stand-by"*.

Comparatoarele de fază (fig. B)

Intrarea de semnal a comparatoarelor de fază (*SIGNAL IN* — terminalul *14*) poate fi conectată direct dacă semnalul este în plaja nivelelor logice CMOS (**0** logic $\leqslant 30\%$ $(V_{DD} - V_{SS})$; **1** logic $\geqslant 70\%$ $(V_{DD} - V_{SS})$). Pentru plaje mai restrînse, semnalul se poate cupla capacitiv la intrarea amplificatorului de semnal pe intrare.

Comparatorul pe fază I este o poartă SAU-EXCLUSIV (XOR). Dacă semnalele de pe intrările *SIGNAL IN* și *COMPARATOR IN* au un factor de umplere de 50%, se obține banda de captură maximă.

Comparatorul de fază I are o tensiune medie de ieșire egală cu $V_{DD}/2$, dacă pe intrarea *SIGNAL IN* nu există semnal sau zgomot. Tensiunea medie se obține

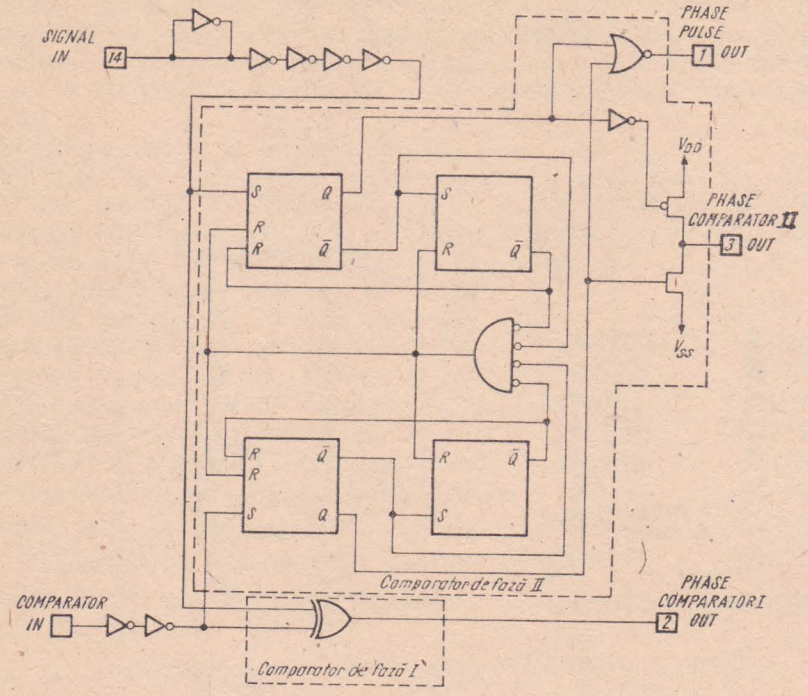


Fig. B. Schema logică a comparatoarelor de fază.

trecînd semnalul dat de comparatorul de fază prin filtrul trece-jos (*FTJ*). Această tensiune aplicată la intrarea *VCO* determină frecvența de oscilație liberă f_0.

Ieșirea comparatorului de fază se conectează prin intermediul filtrului trece-jos (*FTJ*) la intrarea de comandă a *VCO*. În felul acesta, frecvența de oscilație a *VCO* este determinată de tensiunea medie a semnalului de la ieșirea comparatorului

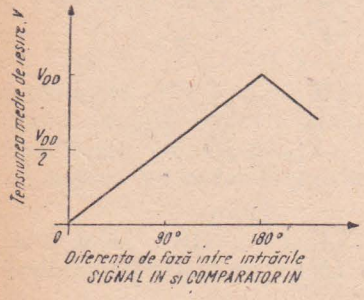


Fig. C. Caracteristica comparatorului de fază I la ieșirea FTJ.

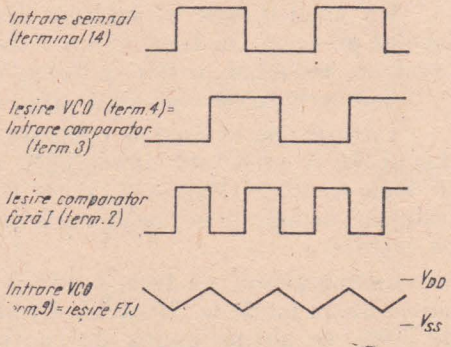


Fig. D. Formele de undă pentru un sistem *PLL* care utilizează comparatorul de fază I

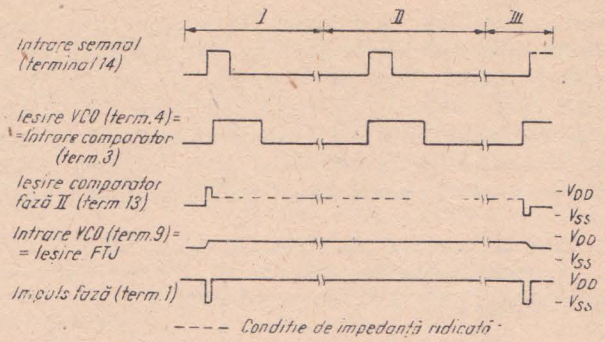


Fig. E. Formele de undă pentru un sistem PLL care utilizează comparatorul de fază II.

de fază. Dacă la intrarea comparatorului de fază nu există semnal util sau zgomot, tensiunea de comandă obținută la ieșirea *FTJ* ($V_{DD}/2$) determină frecvența de oscilație liberă f_0.

Banda de captură ($2f_c$) este domeniul de frecvență a semnalelor de intrare în care circuitul poate ajunge la calarea fazei. Banda de urmărire ($2f_L$) este domeniul de frecvență al semnalelor de intrare în care circuitul, odată „prins", poate urmări variațiile de frecvență. Banda de captură este cel mult egal cu banda de urmărire. Pentru comparatorul de fază I, banda de captură, dependentă de caracteristica FTJ, poate atinge mărimea benzii de urmărire.

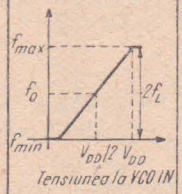
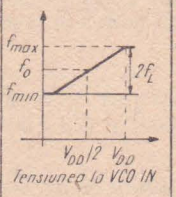
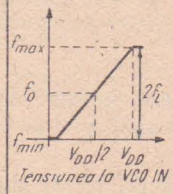
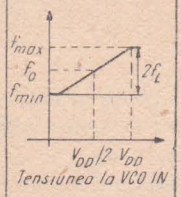
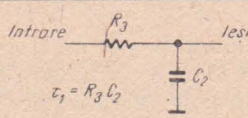
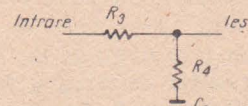
Chiar pentru un semnal de intrare zgomotos, bucla *PLL*, cuprinzînd comparatorul I, poate să rămînă calată.

Acest tip de comparator permite calarea benzii de frecvență de intrare apropiate de armonicile frecvenței libere a *VCO*. O a doua caracteristică este reprezentată de faptul că defazajul între semnalul de intrare (*SIGNAL IN*) și semnalul *COMPARATOR IN* variază între 0° și 180° și este de 90° pentru frecvența liberă f_0 În figura C este prezentată caracteristica tipică a comparatorului de fază I. Formele de undă tipice pentru un *PLL* realizat cu comparatorul de fază I, calat pe frecvența liberă f_0, sînt prezentate în figura D.

Ieșirea comparatorului de fază II nu mai depinde de factorul de umplere al semnalelor de pe intrări, ci numai de poziția relativă a fronturilor lor pozitive. Acest comparator constă din patru bistabili, logică de control și un etaj de ieșire „3-state". Ieșirea este „trasă" la V_{SS} sau V_{DD} după cum este deschis tranzistorul MOS cu canal *n*, respectiv tranzistorul MOS cu canal *p*.

Dacă frecvența semnalului de intrare este mai mare decît frecvența semnalului de la intrarea comparatorului, tranzistorul MOS cu canal *p* de la ieșire este menținut deschis o mare parte din timp, iar în restul timpului ambele tranzistoare (cu canal *n* și cu canal *p*) de ieșire sînt blocate („3-state"). Dacă frecvența semnalului de intrare este mai mică decît frecvența semnalului de la intrarea comparatorului, tranzistorul MOS cu canal *n* de la ieșire va fi deschis o mare parte de timp, iar în restul timpului ambele tranzistoare (cu canal *n* și cu canal *p*) de ieșire — blocate („3-state"). Dacă semnalele de pe intrările comparatorului de fază au aceeași frecvență, dar semnalul de intrare este defazat înainte față de semnalul de la intrarea comparatorului, tranzistorul MOS cu canal *n* de la ieșire va fi deschis cît

timp semnalele sînt, amîndouă, în 1 logic. Dacă frecvența semnalelor de intrare și de la intrarea comparatorului este aceeași, dar semnalul de la intrarea comparatorului este defazat înainte față de semnalul de intrare, tranzistorul MOS cu canal *p* de la ieșire va fi deschis (cît timp semnalele sînt amîndouă în **0** logic). Astfel, tensiunea de pe capacitorul *FTJ* conectat la acest comparator de fază este ajustată pînă cînd semnalele de la intrare și de la intrarea comparatorului sînt în fază și au aceeași frecvență. În acest punct stabil, ambele tranzistoare de la ieșire,

Caracteristici	Utilizînd comparatorul de fază I		Utilizînd comparatorul de fază II	
	VCO fără offset $R_2=\infty$	VCO cu offset	VCO fără offset $R_2=\infty$	VCO cu offset
Frecvența VCO				
Fără semnal la intrare	VCO se va cala pe frecvența centrală f_0		VCO se va cala pe frecvența minimă de operare, f_{min}	
Banda de urmărire $2f_L$	$2f_L$ = Banda maximă de frecvență a VCO $2f_L = f_{max} - f_{min}$			
Banda de captură $2f_C$	 $\tau_1 = R_3 C_2$ [1], [2] $2f_L \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\tau_1}}$		$f_C = f_L$	
Selecția componentelor FTJ	 Vezi [2] pentru $2f_C$			
Unghiul de fază între semnal și comparator	90° la frecvența centrală (f_0) aprox. 0° și 180° la capetele benzii de urmărire ($2f_L$)		Întotdeauna 0° la calare	
Calare pe armonici ale frecvenței centrale	Da		Nu	
Rejecția de zgomot la intrarea de semnal	Ridicată		Coborîtă	

[1] F. Gardner - "Phase-Lock Techniques" John Wiley 1966
[2] G.S. Moschytz - "Miniaturized RC Filters Using PLL", BSTJ, may 1965

Tabel sintetic cu informații de proiectare cu MMC 4046.

cu canal *n* și cu canal *p*, rămîn blocate, ieșirea comparatorului de fază prezentînd o impedanță mare de ieșire („3-state"). Se va menține, astfel, constantă tensiunea pe capacitorul *FTJ*. Semnalul de la ieșirea *PULSE PHASES* (terminalul *1*) va fi la un nivel 1 logic și va putea fi utilizat ca indicator al condiției de calare. Astfel, în cazul comparatorului de fază II nu va exista diferență de fază între semnalele de intrare și de la intrarea comparatorului pe toată gama de frecvență a *VCO*. În plus, puterea disipată pe *FTJ* va fi minimă atunci cînd se utilizează acest comparator de fază, deoarece ambele tranzistoare de ieșire sînt blocate în cea mai mare parte a perioadei semnalului de intrare. Trebuie observat că banda de urmărire a *PLL*, în cazul utilizării acestui comparator de fază este egală cu banda de captură, independent de *FTJ*.

Cînd se utilizează comparatorul de fază II, *VCO* este ajustat pe frecvența cea mai coborîtă dacă nu există semnal de intrare (*SIGNAL IN* terminalul *14*). Figura E reprezintă formele de undă tipice pentru un sistem *PLL* care utilizează comparatorul de fază II la calare.

Componentele exterioare utilizate

Componentele exterioare pasive utilizate trebuie să fie în următoarele game:

- 5 kΩ $\leqslant R_1, R_2, R_s \leqslant$ 1 MΩ;
- $C_1 \geqslant$ 100 pF pentru $V_{DD} \geqslant$ 5 V;
- $C_1 \geqslant$ 50 pF pentru $V_{DD} \geqslant$ 10 V.

Performanțe

- două tipuri de comparatoare de fază;
- putere disipată redusă: 100 μW (tipic) pentru *VCO* $f_0 =$ 10 kHz, $V_{DD} =$ 5 V;
- gamă de frecvență pînă la 1,4 MHz (tipic) pentru $V_{DD} =$ 10 V;
- coeficient de variație de frecvență: 0,06%/°C (tipic) pentru $V_{DD} =$ 10 V.

Circuitul integrat MMC 4047 poate funcționa ca :

a) monostabil neretriggerabil comandat pe frontul pozitiv sau pe frontul negativ ;

b) monostabil triggerabil comandat pe frontul pozitiv ;

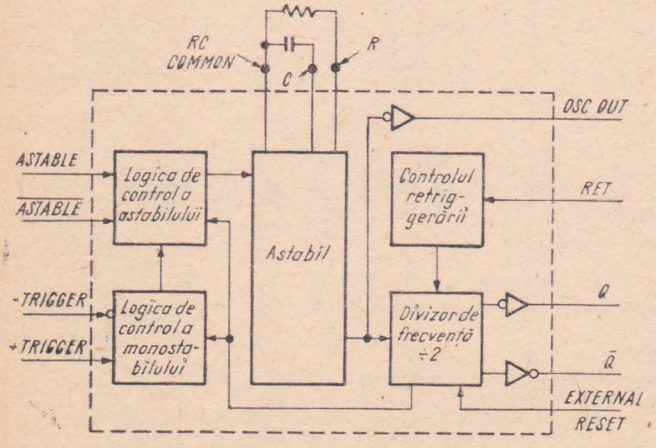
c) astabil cu funcționare continuă ;

d) astabilă cu comandă START-STOP (poate genera trenuri de impulsuri).

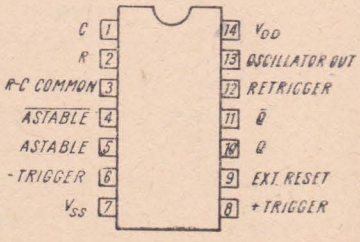
Blocul principal al circuitului este un astabil. Semnalul generat de astabil (disponibil la terminalul *OSCILLATOR OUT* și, în general, cu factorul de umplere $\neq 1/2$) este divizat cu 2 de un bistabil. Ieșirile acestui bistabil sînt disponibile în exterior (Q, $\overline{Q}$). Semnalele de pe Q, $\overline{Q}$ sînt în antifază și au factorul de umplere de 1/2. Toate ieșirile sînt cu buffer.

Astabilul este prevăzut cu o logică suplimentară care să permită funcționarea ca monostabil a circuitului. În toate modurile de lucru, temporizarea este dată de două componente externe : un condensator între terminalele *C* și *RC COMMON* și un rezistor între terminalele *R* și *RC COMMON*.

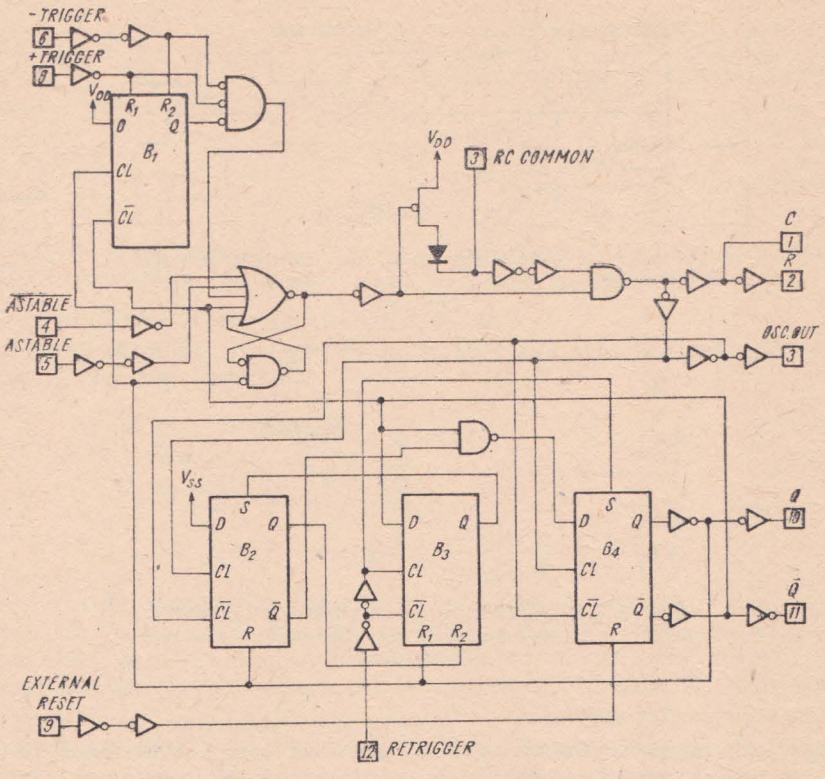
Dacă intrarea *ASTABLE* este în **1** logic sau dacă intrarea $\overline{ASTABLE}$ este în **0** logic, circuitul funcționează în mod astabil (c), generînd în continuu impulsuri. Dacă intrarea $\overline{ASTABLE}$ este în starea **1** logic circuitul va oscila doar atît timp cît și intrarea *ASTABLE* este în starea **1** logic. Deci, apariția impulsurilor la ieșire este condiționată de existența unui semnal de comandă în starea **1** logic. Asemănător, ținînd intrarea *ASTABLE* în starea **0** logic, astabilul va funcționa doar atunci cînd intrarea $\overline{ASTABLE}$ este în starea **0** logic. În acest fel vom avea impulsuri la ieșiri numai atunci cînd un anumit semnal de comandă (pe $\overline{ASTABLE}$) este în **0** logic.



Schema bloc a circuitului.



Semnificația terminalelor.



Schema logică a circuitului.

În modul de lucru monostabil, circuitul poate fi triggerat de frontul pozitiv al impulsului aplicat pe intrarea $+TRIGGER$, dacă se menține intrarea $-TRIGGER$ în starea **0** logic sau poate fi triggerat de frontul negativ al impulsului aplicat pe intrarea $-TRIGGER$, dacă se menține un nivel **1** logic pe intrarea $+TRIGGER$. Monostabilul este comandat pe front și impulsurile de intrare pot avea orice durată relativ la impulsurile de ieșire.

Circuitul poate funcționa ca monostabil retriggerabil, dar comandat numai de frontul pozitiv al unui semnal aplicat simultan pe intrările *RETRIGGER* și $+TRIGGER$. În acest fel, ieșirea Q va rămîne în **1** logic atît timp cît perioada impulsurilor de intrare este mai mică decît perioada determinată de componentele R, C (v. fig. A).

Un nivel **1** aplicat pe intrarea *EXTERNAL RESET* aduce ieșirile Q și *OSCILLATOR OUT* în starea **0** și ieșirea $\overline{Q}$ în **1** logic. Pentru a nu permite apariția unui impuls parazit la ieșire, la cuplarea sursei de alimentare se va menține un nivel logic **1** pe intrarea *EXTERNAL RESET* (v. fig. B). Pentru funcționarea circuitului într-un anume mod, conexiunile se vor face conform tabelei anexate.

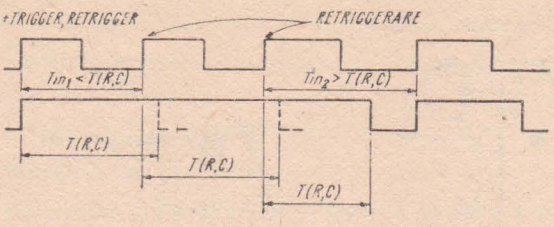


Fig. A. Formele de undă ale impulsurilor de retrigger în modul de lucru monostabil retriggerabil.

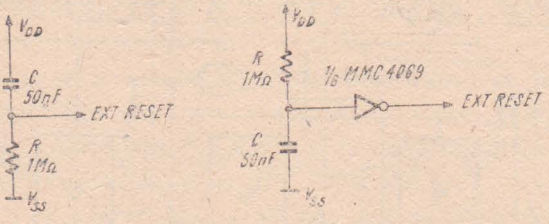


Fig. B. Circuitele externe recomandate pentru a evita comutări parazite la cuplarea sursei de alimentare.

Operarea în modul astabil

În figura C sînt prezentate formele de undă de la ieșirile *OSCILLATOR OUT* și $\overline{Q}$ pentru modul astabil. Duratele t_1, t_2, t_A au expresiile:

$$t_1 = -RC \ln \frac{V_{TR}}{V_{DD} + V_{TR}}$$

$$t_2 = -RC \ln \frac{V_{DD} - V_{TR}}{2V_{DD} - V_{TR}}$$

$$t_A = 2(t_1 + t_2) = -2RC \ln \frac{(V_{TR})(V_{DD} - V_{TR})}{(V_{DD} + V_{TR})(2V_{DD} - V_{TR})}$$

unde V_{TR} este tensiunea de tranziție a cărei valoare variază de la circuit la circuit, între 33% și 67% din valoarea tensiunii de alimentare V_{DD}.

Mai jos sînt date valorile duratei t_A pentru valorile minimă, tipică și maximă ale tensiunii de tranziție:

$$V_{TR} = V_{TR\,min} = 0{,}33\ V_{DD},\ t_A = 4{,}62\ RC$$

$$V_{TR} = V_{TR\,tip} = 0{,}5\ V_{DD},\ t_A = 4{,}4\ RC$$

$$V_{TR} = V_{TR\,max} = 0{,}67\ V_{DD},\ t_A = 4{,}62\ RC$$

Variația maximă a duratei față de valoarea tipică $t_A = 4{,}4\ RC$ este de +5%. Perioada semnalului generat mai variază cu tensiunea de alimentare și cu temperatura.

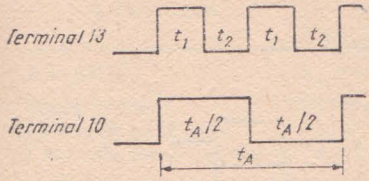


Fig. C. Formele de undă în modul de lucru astabil.

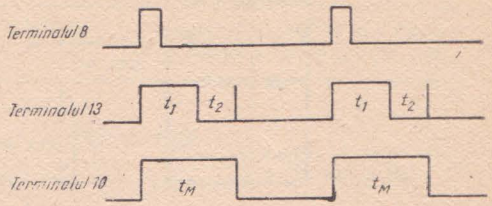


Fig. D. Formele de undă în modul de lucru monostabil.

Operarea în modul monostabil neretriggerabil

Funcționarea în modul monostabil neretriggerabil este ilustrată în figura D. Duratele t_1, t_2, t_M au expresiile:

$$t_1 = -RC \ln \frac{V_{TR}}{2V_{DD}}$$

$$t_2 = -RC \ln \frac{V_{DD} - V_{TR}}{2V_{DD} - V_{TR}}$$

$$t_M = (t_1 + t_2) = -RC \ln \frac{(V_{TR})(V_{DD} - V_{TR})}{(2V_{DD} - V_{TR})(2V_{DD})}$$

unde t_M este durata impulsului generat de monostabil. Dacă se ia în calcul valoarea $t_M = 2{,}48\,RC$, variația maximă va fi de $+9{,}3\%$. Și în acest caz, durata impulsului generat variază cu tensiunea de alimentare și cu temperatura. În modul astabil, prima semiperioadă pozitivă are o durată t_M, următoarele durează $t_{A/2}$.

Operarea în modul monostabil retriggerabil

Circuitul MMC 4047 poate fi utilizat ca monostabil retriggerabil pentru a extinde durata impulsului de ieșire sau pentru a compara frecvența semnalului de intrare cu frecvența oscilatorului intern.

În modul retriggerabil impulsul de comandă se aplică pe intrările *+TRIGGER* și *RETRIGGER*, iar ieșirea se face pe Q, $\bar{Q}$.

Cînd se aplică un singur impuls de comandă, circuitul funcționează ca monostabil (fig. E). La aplicarea mai multor impulsuri cu perioadă corespunzătoare, se obține prelungirea duratei impulsului de ieșire (fig. E). Pentru două impulsuri de intrare, $t_{RE} = t'_1 + t_1 + 2t_2$ (v. fig. E). Pentru mai mult de două impulsuri ieșirea Q trece în **0** după un timp variabil t_D față de frontul negativ al ultimului impuls de retriggerare (fig. E). (Sînt necesare două impulsuri pozitive de la ieșirea oscilatorului pentru a aduce bistabilul 4 în starea $Q = 0$, $\bar{Q} = 1$).

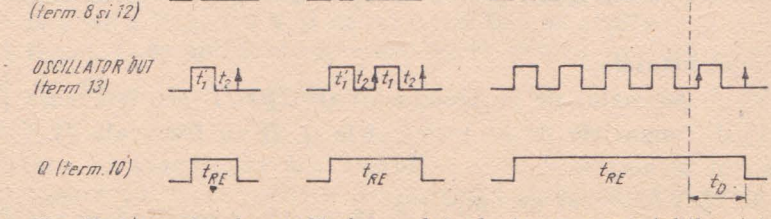


Fig. E. Formele de undă în modul de lucru monostabil retriggerabil.

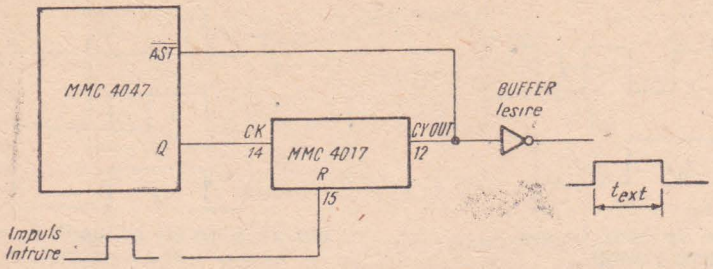


Fig. F. Schema electrică în cazul utilizării unui numărător extern.

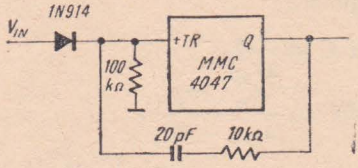


Fig. G. Schema propusă în cazul unor impulsuri de comandă scurte.

Extinderea duratei impulsului cu ajutorul unui numărător extern

Durata t_M poate fi extinsă oricît de mult dacă se folosește un numărător extern adecvat. Se obține, astfel, controlul digital al duratei impulsului și se pot folosi condensatoare de temporizare mici pentru durate mari. O aplicație tipică se vede în figura F. Circuitul MMC 4017 funcționează ca astabil comandat. Impulsul de comandă resetează numărătorul MMC 4017. Atît timp cît ieșirea de transport (*CARRY OUT*) este în 0 logic, astabilul funcționează și impulsurile de ieșire incrementează conținutul numărătorului MMC 4017. Cînd ieșirea de transport trece în 1 logic, oscilatorul se oprește. Circuitul iese din această stare numai la resetarea numărătorului.

Consumul de putere

În starea de repaus (atît ca astabil, cît și ca monostabil), puterea disipată va depinde doar de curenții reziduali. Circuitul este proiectat în așa fel încît cea mai mare parte din consumul de putere în regim dinamic să revină componentelor externe:

— în modul astabil:

$P = 2CV_{DD}^2 f$ (semnalul de pe terminalul *OSC OUT* are frecvența f);

$P = 4CV_{DD}^2 f$ (semnalele de pe terminalele Q, $\overline{Q}$ au frecvența f).

— în modul monostabil:

$P = \dfrac{(2{,}9CV_{DD}^2)\cdot(\text{factorul de umplere})}{T}$ (T pentru semnalul de pe Q, $\overline{Q}$). Cu cît

FUNCȚIE	Conexiunile terminalelor			Impulsul de ieșire	Perioada sau durata impulsului de ieșire
	La V_{DD}	La V_{SS}	Intrare		
ASTABIL :					
Oscilații libere	4, 5, 6, 14	7, 8, 9, 12	—	10, 11, 13	$t_A(10, 11)=4{,}4\ RC$
Comanda pe **1** logic	4, 6, 14	7, 8, 9, 12	5	10, 11, 13	$t_A(13)=2{,}2\ RC$
Comanda pe **0** logic	6, 14	5, 7, 8, 9, 12	4	10, 11, 13	
MONOSTABIL :					
Triggerat pe front pozitiv	4, 14	5, 6, 7, 9, 12	8	10, 11	
Triggerat pe front negativ	4, 8, 14	5, 7, 9, 12	6	10, 11	$t_M(10, 11)=2{,}48\ RC$
Retriggerabil	4, 14	5, 6, 7, 9	8, 12	10, 11	
Cu numărător extern*	14	5, 6, 7, 8, 9, 12		10, 11	

* Impulsul de intrare la intrarea *RESET* a numărătorului extern, ieșirea numărătorului la terminalul 4. În toate cazurile se adaugă din exterior componente R, C între terminalele 1, 2 și 3.

Tabel de conexiuni pentru circuitul MMC 4047

tensiunea și frecvența sînt mai mici, cu atît valorile calculate vor fi mai apropiate de realitate. Puterea disipată nedepinzînd de valoarea rezistenței, pentru o putere consumată minimă se va alege valoarea minimă a capacității C permisă.

Valorile componentelor externe R, C

Condensatorul folosit nu trebuie să fie polarizat și trebuie să aibă pierderi mici (rezistența paralel a condensatorului trebuie să fie de cel puțin 10 ori mai mare decît rezistența R). Deși circuitul oscilează pentru orice valori ale rezistenței și capacității, condensatorul trebuie să aibă o capacitate mult mai mare decît capacitățile parazite din montaj. Rezistența trebuie să fie mult mai mare decît rezistențele care apar în circuit în serie cu ea (sute de ohmi), dar, pentru valori foarte mari, pot apărea instabilități.

Pentru ca temporizările obținute să concorde cu valorile calculate, trebuie să folosim :

— condensatoare cu valori de cel puțin 100 pF pentru modul astabil ;

— condensatoare cu valori de cel puțin 1 000 pF pentru modul monostabil ; (atît pentru monostabil, cît și pentru astabil, valoarea superioară a condensatorului nu este limitată) ;

— rezistențe între 10 kΩ și 1 MΩ.

Funcționarea cu impulsuri de comandă scurte

Circuitul MMC 4047 funcționează dacă impulsurile de comandă sînt de cel puțin 500 ns pentru $V_{DD} = 5$ V și de cel puțin 200 ns pentru $V_{DD} = 10$ V. Cu circuitul din figura G se obține o comandă sigură pentru impulsuri de comandă de cel puțin 20 ns.

Performanțe

- operare cu monostabil sau astabil ;
- declanșare pe front pozitiv sau negativ, retriggerabil ;
- factor de umplere la ieșire de 50% ;
- necesită doar două componente externe (R, C).

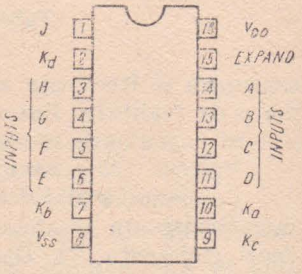
Circuitul integrat MMC 4048 este o poartă cu 8 intrări și 4 intrări de control.

3 intrări de control binare K_a, K_b, K_c asigură implementarea a 8 funcții logice diferite. Aceste funcții sînt : SAU(OR), SAU-NU(NOR), SI(AND), SI-NU(NAND), SAU/SI(OR/AND), SAU/SI-NU(OR/NAND), SI/SAU(AND/OR), și SI/SAU-NU (AND/NOR). A patra intrare de control, K_d, asigură utilizatorului o ieșire „3-state". Cînd intrarea de control K_d este în **1** logic, ieșirea este fie în **1** logic, fie în **0** logic. în funcție de starea internă a circuitului. Cînd intrarea de control K_d este în **0** logic, ieșirea este într-o stare de impedanță ridicată. Această facilitate permite conectarea circuitului pe o magistrală comună de date.

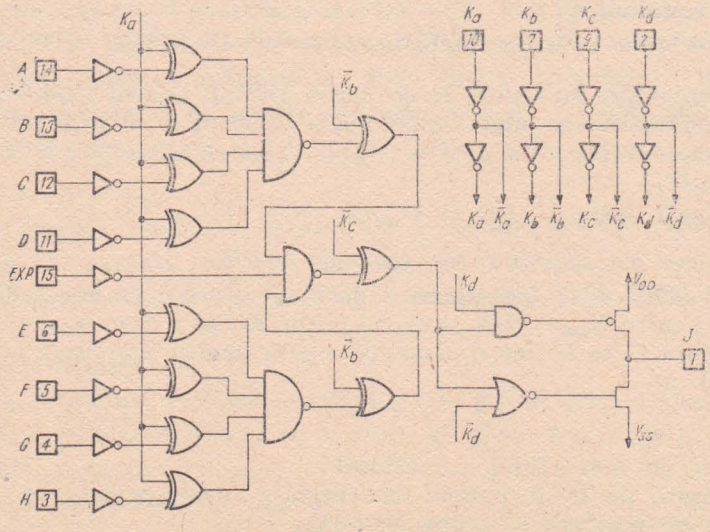
În afară de cele 8 intrări ale porții, este prevăzută și o intrare *EXPAND*, care permite circuitului MMC 4048 să își mărească numărul de intrări. De exemplu, 2 circuite MMC 4048 pot fi legate în cascadă pentru a se obține o poartă multifuncțională cu 16 intrări. Atunci cînd intrarea *EXPAND* nu se folosește, ea trebuiecconectată la V_{SS}.

Performanțe

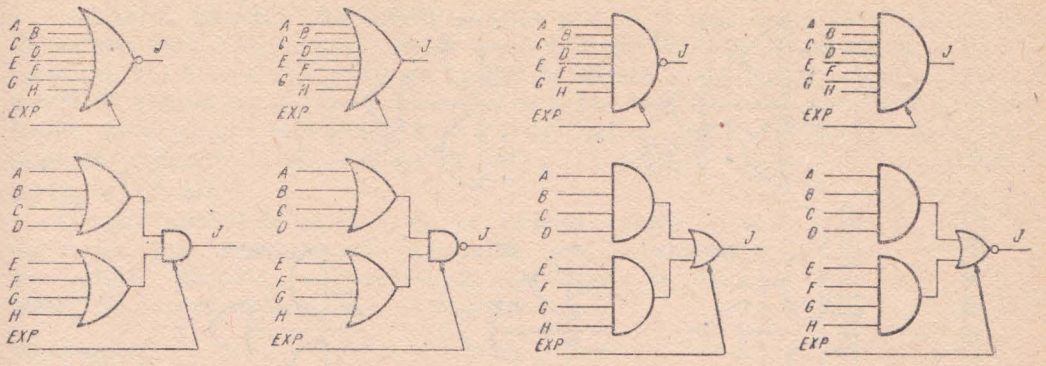
- ieșirea „3-state" ;
- multe funcții logice într-o singură capsulă ;
- timp de propagare : 150 ns (tipic) pentru $V_{DD} = 10$ V.



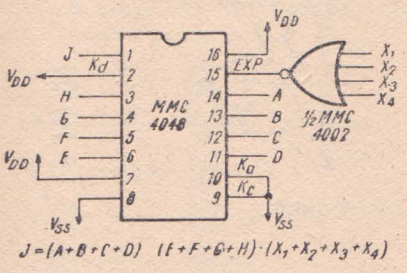
Semnificația terminalelor.



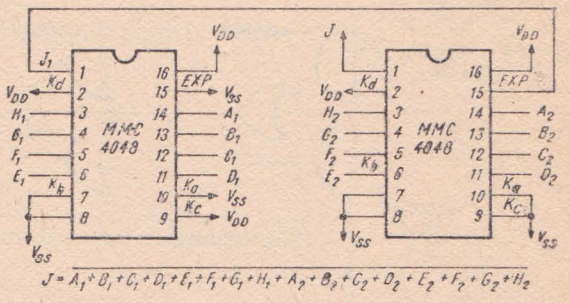
Schema logică a circuitului.



Configurațiile logice fundamentale.



Schema unei porți OR/AND cu 12 intrări.

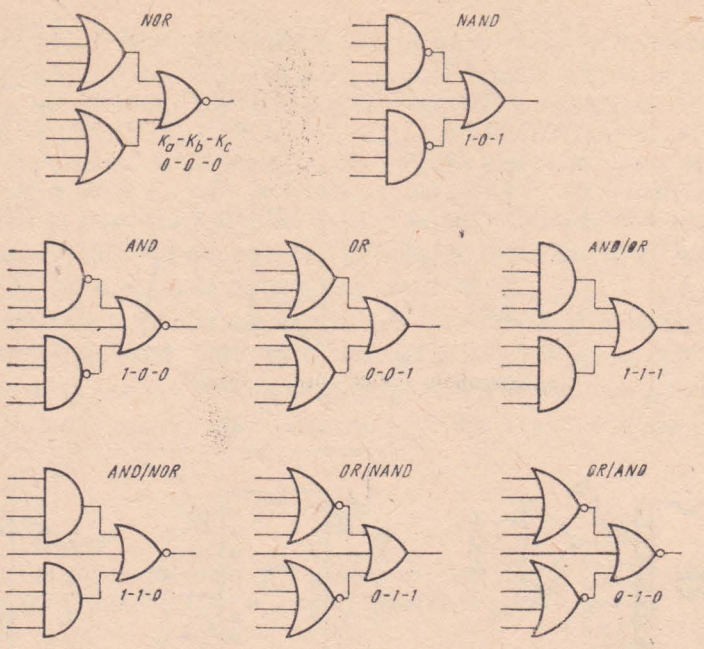


Schema unei porți NOR cu 16 intrări.

Funcția de ieșire	Expresia booleeană	Ka	Kb	Kc	Intrări neutilizate
NOR	$J = \overline{A + B + C + D + E + F + G + H}$	0	0	0	V_{SS}
OR	$J = A + B + C + D + E + F + G + H$	0	0	1	V_{SS}
OR/AND	$J = (A + B + C + D)\cdot(E + F + G + H)$	0	1	0	V_{SS}
OR/NAND	$J = \overline{(A + B + C + D)\cdot(E + F + G + H)}$	0	1	1	V_{SS}
AND	$J = ABCDEFGH$	1	0	0	V_{DD}
NAND	$J = \overline{ABCDEFGH}$	1	0	1	V_{DD}
AND/NOR	$J = \overline{ABCD + EFGH}$	1	1	0	V_{DD}
AND/OR	$J = ABCD + EFGH$	1	1	1	V_{DD}

$K_a = 1$, ieșire normală ;
$K_a = 0$, ieșire de impedanță ridicată ;
$EXPAND = 0$.

Tabelul de adevăr funcțional.



Configurațiile logice efective ale circuitului.

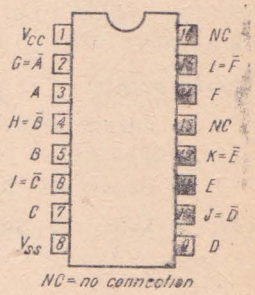
Funcția de ieșire	Funcția necesară la intrarea *EXP*	Expresia booleană
NOR	OR	$J = \overline{(A + B + C + D + E + F + G + H)} + (EXP)$
OR	OR	$J = (A + B + C + D + E + F + G + H) + (EXP)$
AND	NAND	$J = (ABCDEFGH) \cdot (EXP)$
NAND	NAND	$J = \overline{(ABCDEFGH) \cdot (EXP)}$
OR/AND	NOR	$J = (A + B + C + D)(E + F + G + H) \cdot (EXP)$
OR/NAND	NOR	$J = \overline{(A + B + C + D) \cdot (E + F + G + H) \cdot (EXP)}$
AND/NOR	AND	$J = \overline{(ABCD) + (EFGH) + (EXP)}$
AND/OR	AND	$J = (ABCD) + (EFGH) + (EXP)$

EXP reprezintă intrarea *EXPAND* (adică $X1 + X2 + \ldots + XM$)

Implementarea de porți cu mai mult de 9 intrări.

Circuitul integrat MMC 4049 conține șase separatoare (buffer-e) inversoare de putere, care realizează conversia de nivel logic folosind o singură sursă de alimentare. Valoarea nivelului 1 logic aplicat la intrare poate depăși valoarea tensiunii sursei de alimentare și, astfel, circuitul se poate utiliza pentru conversia nivelelor logice. Acest circuit este gîndit spre a fi utilizat ca interfață CMOS — DTL/TTL și poate comanda direct două sarcini DTL/TTL (pentru $V_{DD} = 5$ V, $V_{OL} \leqslant 0{,}4$ V și $I_{OL} \geqslant 3{,}2$ mA).

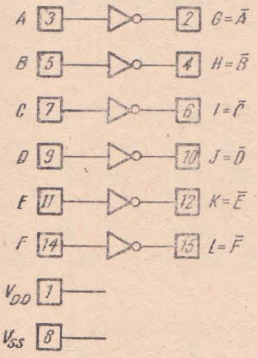
Pentru aplicațiile în care nu se solicită curent mare de ieșire sau conversie de tensiune, din considerente de putere disipată, se recomandă utilizarea circuitului MMC 4069 care conține șase inversoare.



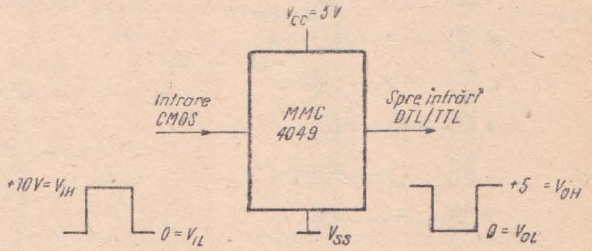
Semnificația terminalelor.

Performanțe

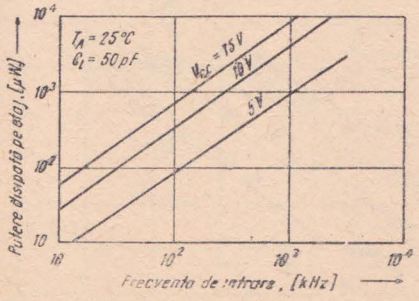
- curent mare absorbit la ieșire pentru [a comanda 2 sarcini TTL ;
- conversie de nivel logic **1—0** ;
- timp de propagare : 60 ns (tipic) pentru $V_{in} = V_{DD} = 5$ V.



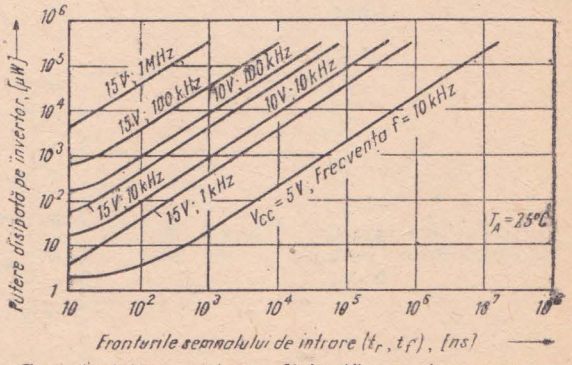
Schema logică a circuitului.



Conversie de nivel logic.



Caracteristica putere disipată pe inversor — frecvența semnalului de intrare.

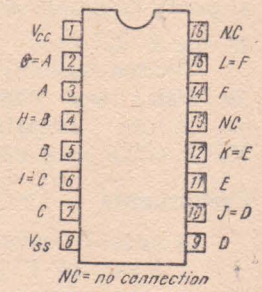


Caracteristica putere disipată pe inversor — fronturile semnalului de intrare.

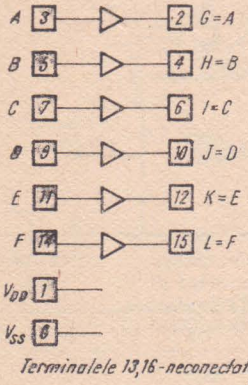
Circuitul integrat MMC 4050 conține șase separatoare (buffer-e) neinversoare de putere, care realizează conversia de nivel logic folosind o singură sursă de alimentare. Valoarea nivelului 1 logic aplicat la intrare poate depăși valoarea tensiunii sursei de alimentare și, astfel, circuitul se poate utiliza pentru conversia nivelelor logice. Acest circuit este gîndit spre a fi utilizat precum interfață CMOS – DTL/TTL și poate comanda direct două sarcini DTL/TTL (pentru $V_{DD} = 5$ V, $V_{OL} \leqslant 0{,}4$ V și $I_{OL} \geqslant 3{,}2$ mA).

Performanțe

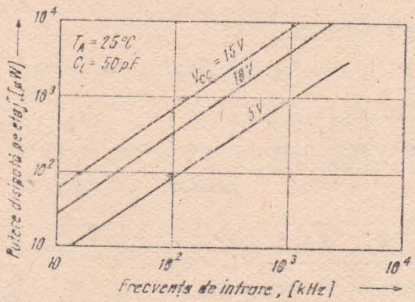
- curent mare absorbit la ieșire pentru a comanda 2 sarcini TTL ;
- conversie de nivel logic **1 — 0** ;
- timp de propagare : 70 ns (tipic) pentru $V_{in} = V_{DD} = 5$ V).



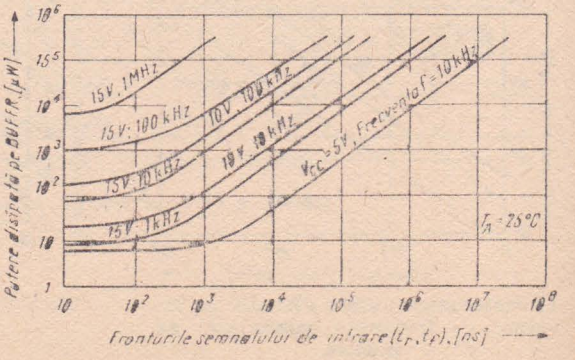
Semnificația terminalelor.



Schema logică a circuitului.



Caracteristica putere disipată pe etaj-frecvența semnalului de intrare.



Caracteristica putere disipată pe etaj-fronturile semnalului de intrare.

Circuitul integrat MMC 4051 este un multiplexor/demultiplexor analogic cu 8 canale, avînd 3 intrări de control binare, *A*, *B* și *C* și o intrare de inhibare (*INHIBIT*). Cele 3 intrări binare selectează unul din cele 8 canale, comutatorul analogic corespunzător canalului selectat fiind deschis (starea *ON*).

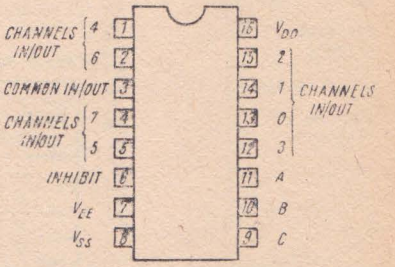
Multiplexarea semnalelor analogice cu amplitudine de pînă la 20 V vîrf-la-vîrf se realizează cu semnale digitale cu amplitudini de la 4,5 V pînă la 20 V (dacă $V_{DD} - V_{SS} = 3$ V, se pot controla semnale $V_{DD} - V_{EE}$ pînă la 13 V; pentru diferențe $V_{DD} - V_{EE}$ de peste 13 V, este necesară o diferență $V_{DD} - V_{SS}$ de minim 4,5 V). De exemplu, dacă $V_{DD} = +5$ V, $V_{SS} = 0$ și $V_{EE} = -13{,}5$ V, se pot controla semnale analogice de valori între −13,5 V și + 4,5V, cu ajutorul unor semnale digitale între 0 și 5 V.

Circuitul conține comutatoare analogice (v. § 1.5.3) care au impedanță în starea *ON* coborîtă și curenți reziduali în starea *OFF* foarte mici.

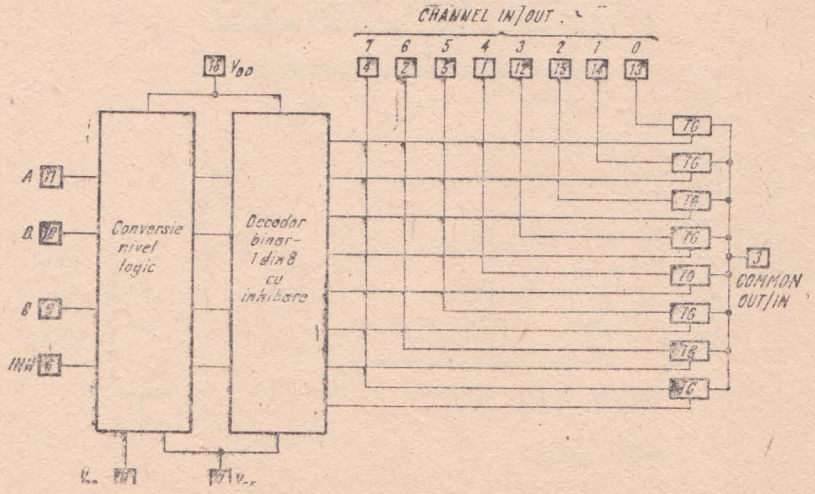
Un nivel 1 logic pe intrarea *INHIBIT* aduce toate canalele în starea *OFF* (blocate).

Performanțe

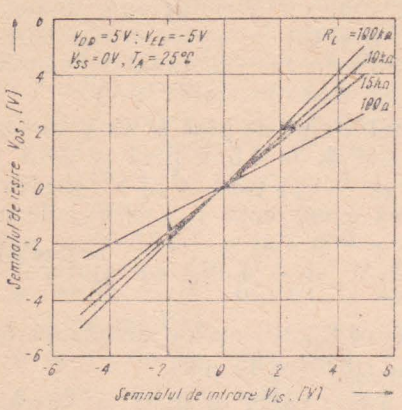
- plajă mare pentru semnalele analogice și digitale: digitale 3...20 V, analogice pînă la 20 V vîrf la vîrf;
- rezistență în starea *ON* mică: 125 Ω (tipic) pe o plajă de 15 V vîrf la vîrf a semnalului de intrare și $V_{DD} - V_{EE} = 15$ V;
- împerecherea rezistenței *ON* a comutatoarelor: 5 Ω (tipic) pentru $V_{DD} - V_{EE} = 15$ V.
- rezistență mare în starea *OFF*: curent rezidual de ± 100 pA (tipic) pentru $V_{DD} - V_{EE} = 18$ V.



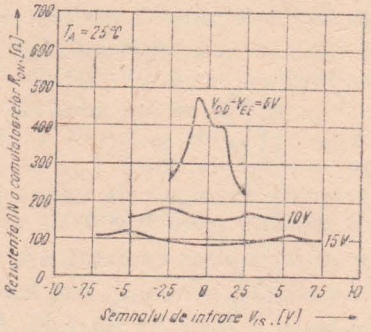
Semnificația terminalelor.



Schema bloc a circuitului.



Caracteristica *ON* a unui canal.



Rezistența *ON* a unui canal, funcție de semnalul de intrare.

Intrări				Canal deschis (ON)
Inhibit	C	B	A	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	X	X	X	Nici unul

Tabelul de adevăr al circuitului.

MULTIPLEXOR / DEMULTIPLEXOR ANALOGIC DIFERENȚIAL CU 4 CANALE — MMC 4052

Circuitul integrat MMC 4052 este un multiplexor/demultiplexor analogic diferențial cu 4 canale, avînd 2 intrări de control binare *A* și *B* și o intrare de inhibare (*INHIBIT*). Cele două intrări binare selectează una din cele patru perechi de canale, deschizînd comutatoarele analogice (starea *ON*) corespunzătoare canalelor selectate.

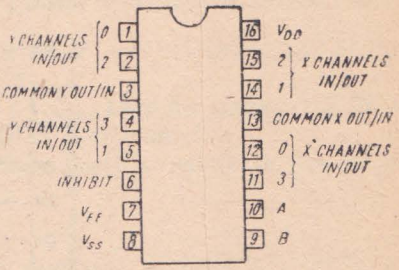
Multiplexarea semnalelor analogice cu amplitudine de pînă la 20 V vîrf-la-vîrf se realizează cu semnale digitale cu amplitudini de la 4,5 V pînă la 20 V (dacă $V_{DD} - V_{SS} = 3$ V, se pot controla semnale $V_{DD} - V_{EE}$ pînă la 13 V; pentru diferențe $V_{DD} - V_{EE}$ de peste 13 V este necesară o diferență $V_{DD} - V_{SS}$ de minim 4,5 V). De exemplu, dacă $V_{DD} = +5$ V, $V_{SS} = 0$ și $V_{EE} = -13{,}5$ V, se pot controla semnalele analogice de valori între $-13{,}5$ V cu ajutorul unor semnale digitale între 0 și 5 V.

Circuitul conține comutatoare analogice (v. § 1.5.3) care au impedanță în starea *ON* coborîtă și curenți reziduali în starea *OFF* foarte mici.

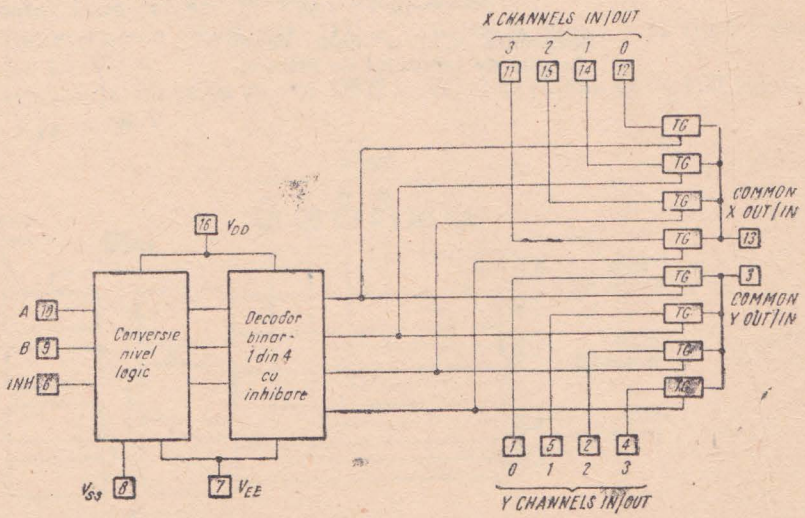
Un nivel 1 logic pe intrarea *INHIBIT* aduce toate canalele în starea *OFF* (blocate).

Performanțe

- plajă mare pentru semnalele analogice și digitale: digitale 3...20 V, analogice pînă la 20 V vîrf-la-vîrf;
- rezistență în starea *ON* mică: 125 Ω (tipic) pe o plajă de 15 V vîrf-la-vîrf a semnalului de intrare și $V_{DD} - V_{EE} = 15$ V;
- împerecherea rezistenței *ON* a comutatoarelor: 5 Ω (tipic) pentru $V_{DD} - V_{EE} = 15$ V;
- rezistență mare în starea *OFF*: curent rezidual de ±100 pA (tipic) pentru $V_{DD} - V_{EE} = 18$ V.



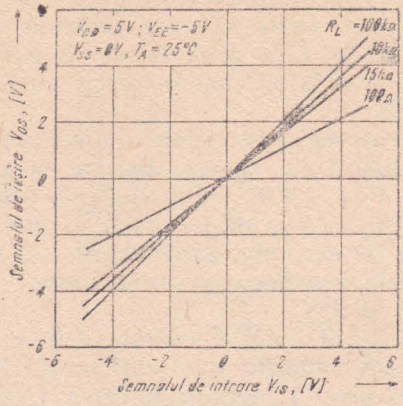
Semnificația terminalelor.



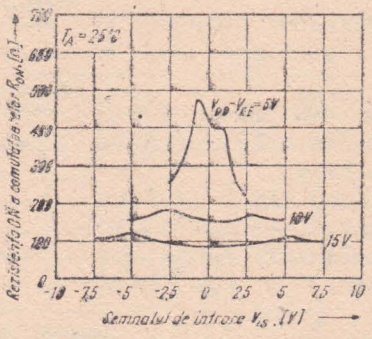
Schema bloc a circuitului.

Inhibit	B	A	Canal deschis (ON)
0	0	0	0x , 0y
0	0	1	1x , 1y
0	1	0	2x , 2y
0	1	1	3x , 3y
1	X	X	Nici unul

Tabelul de adevăr al circuitului.

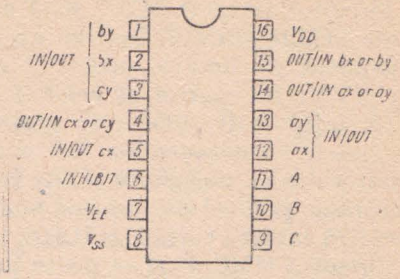


Caracteristica *ON* a unui canal



Rezistența *ON* a unui canal, funcție de semnalul de intrare.

Circuitul integrat MMC 4053 este un multiplexor/demultiplexor analogic triplu cu 2 canale, avînd 3 intrări separate de control *A*, *B*, *C* și o intrare de inhibare (*INHIBIT*). Fiecare intrare de control selectează unul din cele două canale, deschizînd comutatorul analogic (starea *ON*) corespunzător canalului selectat.



Semnificația terminalelor.

INHIBIT	*A sau B sau C*	*Canal deschis (ON)*
0	0	cx sau bx sau cx
0	1	cy sau by sau cy
1	X	Niciunul

Tabelul de adevăr al circuitului.

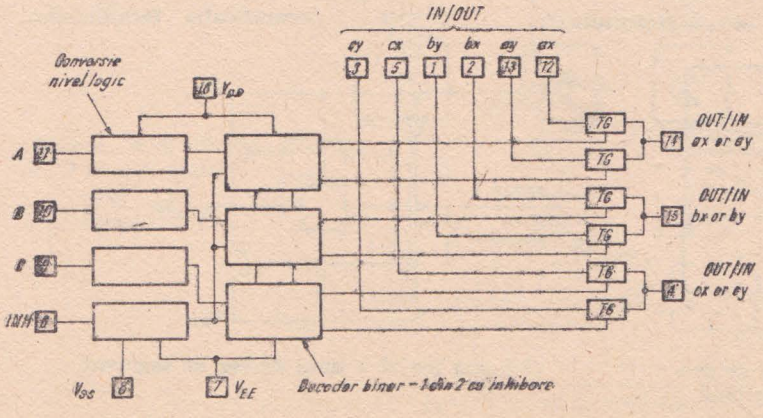
Multiplexarea semnalelor analogice cu amplitudine de pînă la 20 V vîrf-la-vîrf se realizează cu semnale digitale cu amplitudini de la 4,5 V pînă la 20 V (dacă $V_{DD} - V_{SS} = 3$ V, se pot controla semnale $V_{DD} - V_{EE}$ pînă la 13 V; pentru diferențe $V_{DD} - V_{EE}$ de peste 13 V este necesară o diferență $V_{DD} - V_{SS}$ de minim 4,5 V). De exemplu, dacă $V_{DD} = +5$ V, $V_{SS} = 0$ și $V_{EE} = -13{,}5$ V, se pot controla semnale analogice de valori între $-13{,}5$ V și $+4{,}5$ V cu ajutorul unor semnale digitale între 0 și 5 V.

Circuitul conține comutatoare analogice (v. § 1.5.3) care au impedanță în starea *ON* coborîtă și curenți reziduali în starea *OFF* foarte mici.

Un nivel 1 logic pe intrarea *INHIBIT* aduce toate canalele în starea *OFF* (blocate).

Performanțe

- plajă mare pentru semnalele analogice și digitale: digitale 3...20 V, analogice pînă la 20 V vîrf-la-vîrf;
- rezistență în starea *ON* mică: 125 Ω (tipic) pe o plajă de 15 V vîrf-la-vîrf a semnalului de intrare și $V_{DD} - V_{EE} = 15$ V;
- împerecherea rezistenței *ON* a comutatoarelor: 5 Ω (tipic) pentru $V_{DD} - V_{EE} = 15$ V;
- rezistență mare în starea *OFF*: curent rezidual de ±100 pA (tipic) pentru $V_{DD} - V_{EE} = 18$ V.

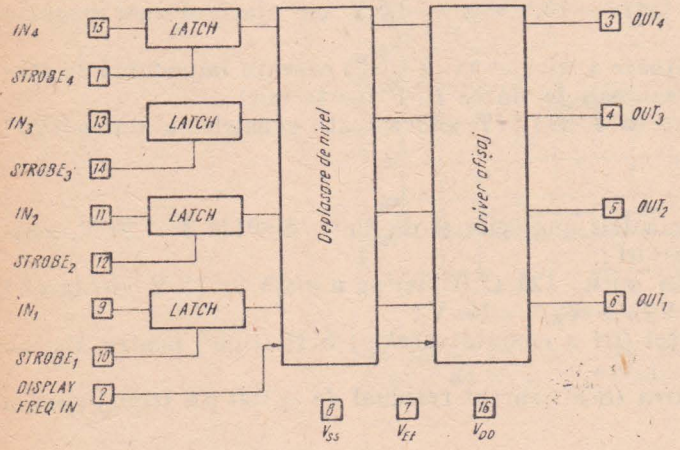


Schema bloc a circuitului.

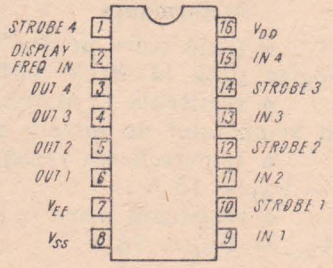
Circuitul integrat MMC 4054 este un driver pentru afișaj de 4 segmente cu cristale lichide (*LCD*). Conține un bloc de deplasare de nivel, latch-uri strobate independent pe fiecare intrare și o intrare comună *DISPLAY FREQUENCY IN* (*DFIN*) de control al celor 4 linii de semnal.

Circuitul MMC 4054 este proiectat în intenția de a asigura compatibilitate de comandă cu decodoarele de 7 segmente MMC 4055 și MMC 4056 pentru punct zecimal, coloană, polaritate și alte comenzi similare de afișare. O ieșire *DF* de mare amplitudine și nivel deplasat se poate obține de la orice ieșire din MMC 4054 prin conectarea intrării corespunzătoare la **0** logic și a intrării *STROBE* la **1** logic.

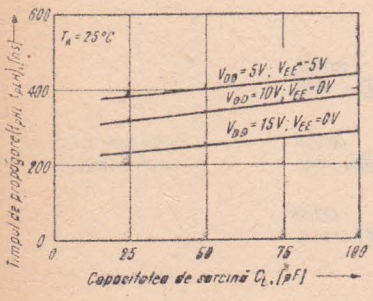
Circuitul MMC 4054 se poate utiliza la „conversia **SUS**" sau „conversia **JOS**" a nivelului logic. De exemplu, semnalul de intrare care variază (V_{DD} la V_{SS}) între +5 V și 0V poate fi convertit într-un semnal de ieșire care variază (V_{DD} la V_{EE}) între +5 V și −5 V. Funcția de deplasare de nivel permite utilizarea de semnale cu game de variație diferite la intrare și ieșire. Astfel, semnalul de intrare este cuprins în gama V_{SS} la V_{DD}, în timp ce semnalul de ieșire este în plaja V_{EE} la V_{DD}. Astfel, intrarea și ieșirea pot varia independent una de alta într-o plajă de 3...18 V. V_{SS} și V_{EE} se pot lega împreună cînd nu se dorește o deplasare de nivel.



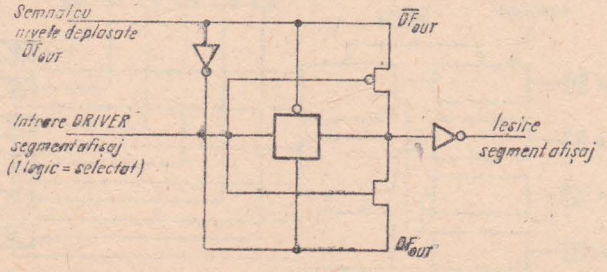
Schema bloc a circuitului.



Semnificația terminalelor.



Caracteristica tipică timp de propagare-capacitate de sarcină.

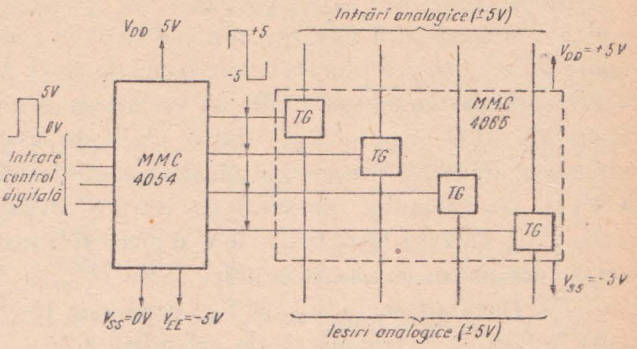


Schema logică a unui driver de segment.

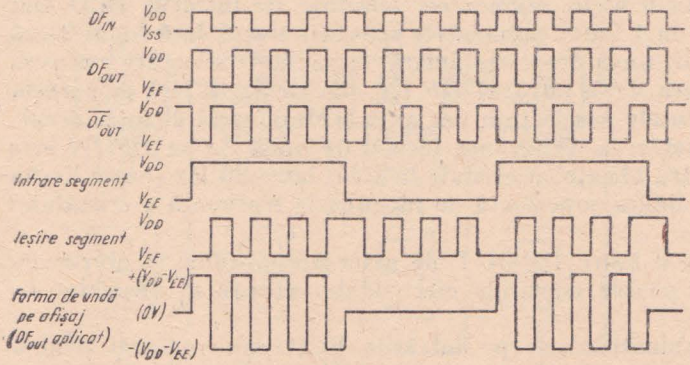
Datele sînt transferate la ieșire aplicînd **1** logic la intrarea *STROBE*. Un nivel **0** logic pe *STROBE* „zăvorăște" intrarea de date și ieșirile de comandă.

Performanțe

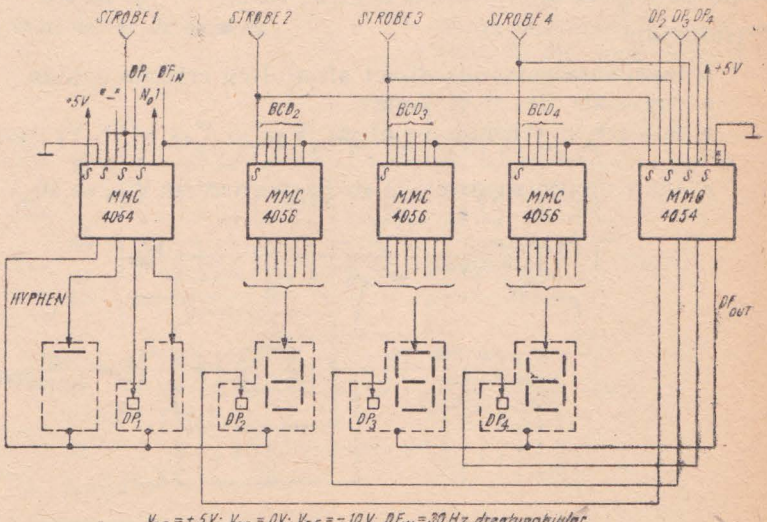
- ieșiri care comandă direct afișajul cu cristale lichide ;
- conversie de nivel logic ;
- dublare de tensiune pe afișaj, $V_{DD} - V_{EE} = 18$ V, duce la 30 V vîrf-la-vîrf pe afișaj ;
- timp de propagare : 340 ns (tipic) pentru $V_{DD} = 10$ V, $V_{SS} = V_{EE} = 0$ V.



Schemă pentru deplasare de nivel (0, +5V) la (+5V, —5V).

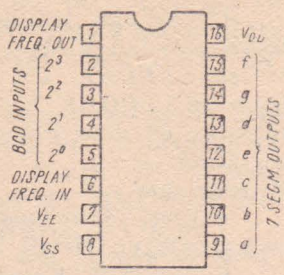


Formele de undă pentru un segment de afișaj.



Schema unui afișaj *LCD* de $3\frac{1}{2}$ digiți.

Circuitul integrat MMC 4055 este un decodor/driver pentru o singură cifră de afișaj, din cod BCD în cod 7 segmente și care asigură funcția de deplasare de nivel. Această funcție permite conversia plajei de variație a semnalelor de intrare BCD (V_{DD} la V_{SS}) într-o plajă de variație a semnalelor de ieșire 7 segmente identică sau diferită (V_{DD} la V_{EE}). De exemplu, semnalul de intrare BCD poate varia (V_{DD} la V_{SS}) între 0 și −3 V și poate fi transformat într-un semnal de comandă la ieșire între (V_{DD} la V_{EE}) 0 și −5 V. Dacă diferența V_{DD} la V_{EE} depășește 15 V, diferența V_{DD} la V_{SS} trebuie să fie cel puțin 4 V.



Semnificația terminalelor.

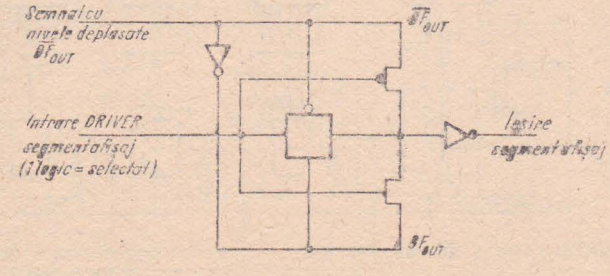
Ieșirile 7 segmente (*a*...*g*) sînt controlate de semnalul aplicat la intrarea *DISPLAY FREQUENCY IN* (*DF IN*), ieșirile segmentelor selectate putînd fi în **1** logic, în **0** logic sau formă de undă dreptunghiulară (pentru afișaje cu cristale lichide). Cînd *DF IN* este în **0** logic, segmentele selectate de intrările BCD sînt în **1** logic. Cînd *DF IN* este în **1** logic, segmentele selectate vor fi în **0** logic. Dacă se excită *DF IN* cu o formă de undă dreptunghiulară, segmentele selectate vor avea aceeași formă de undă cu cea de la intrarea *DF IN*, dar defazată față de aceasta cu 180°. Semnalele pe segmentele neselectate vor avea și ele o formă de undă dreptunghiulară, dar în fază cu intrarea. Frecvența formei de undă de pe *DF IN* este cuprinsă, în mod uzual, pentru afișaje cu cristale lichide, între 30 Hz (peste limita de „clipire") și 200 Hz (sub limita superioară de răspuns în frecvență a cristalului lichid).

Circuitul MMC 4055 are o ieșire *DF OUT* de mare amplitudine și nivele deplasate, care este solicitată pentru comanda electrodului comun al afișajelor cu cristale lichide.

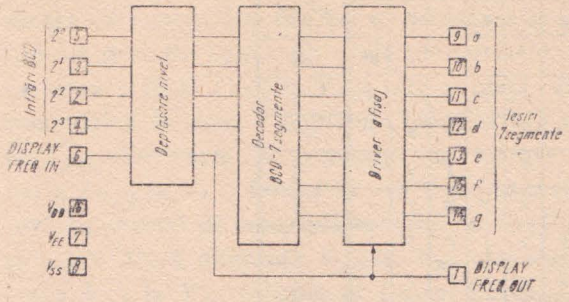
Decodarea tuturor combinațiilor de pe intrările BCD dau comenzi pentru afișaj de 0 pînă la 9, precum și L, P, H, A, −, și blank.

Performanțe

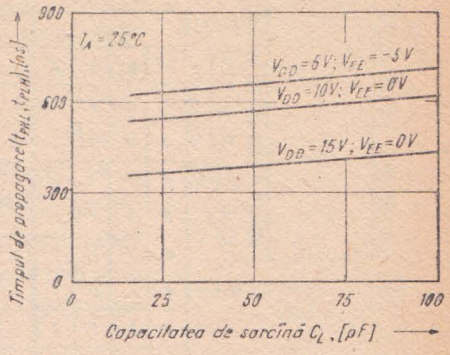
- ieșiri care comandă direct afișajul cu cristale lichide ;
- conversie de nivel logic ;
- dublare de tensiune pe afișaj, $V_{DD} - V_{EE} = 18$ V, duce la 30 V vîrf la vîrf pe afișaj ;
- timp de propagare : 575 ns (tipic) pentru $V_{DD} = 10$ V, $V_{SS} = V_{EE} = 0$ V.



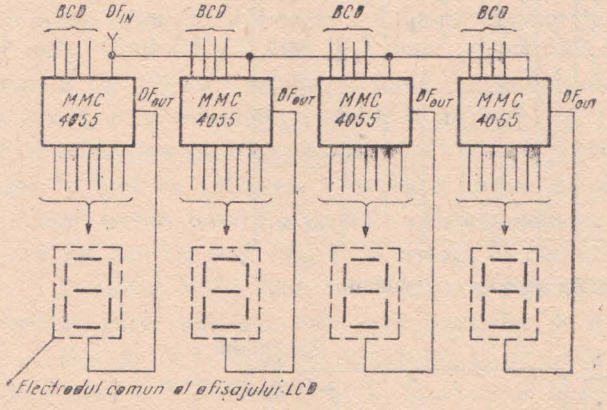
Schema logică a unui driver de segment.



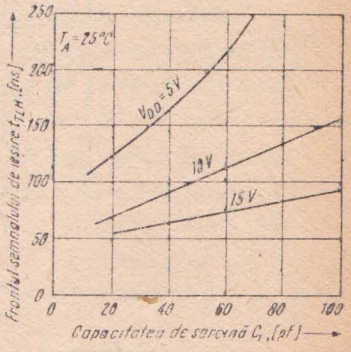
Schema bloc a circuitului.



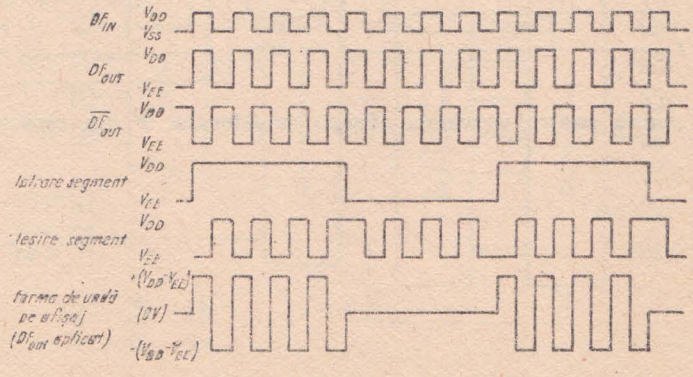
Caracteristica tipică timp de propagare-capacitate de sarcină.



Schema logică a unui driver de segment.



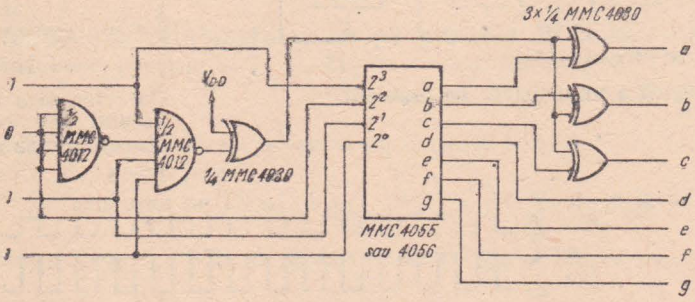
Caracteristica frontului semnalului de ieșire-capacitatea de sarcină.



Formele de undă pentru un segment de afișaj.

Intrare				Ieşire							Caracter afişaj
2^3	2^2	2^1	2^0	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	1	0	1	1	9
1	0	1	0	0	0	0	1	1	1	0	A
1	0	1	1	0	1	1	0	1	1	1	B
1	1	0	0	1	1	0	0	1	1	1	C
1	1	0	1	1	1	1	0	1	1	1	D
1	1	1	0	0	0	0	0	0	0	1	-
1	1	1	1	0	0	0	0	0	0	0	Blanc

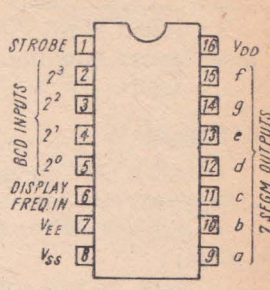
Tabela de adevăr a circuitului.



Schemă logică pentru conversia afişării caracterului *F* din caracterul *H*.

DECODOR/DRIVER BCD-7 SEGMENTE PENTRU AFIȘAJ LCD, INTRARE „STROBE" MMC 4056

Circuitul integrat MMC 4056 este un decodor/driver pentru o singură cifră de afișaj, din cod BCD în cod 7 segmente care asigură și funcția de deplasare de nivel. Această funcție permite conversia plajei de variație a semnalelor de intrare BCD (V_{DD} la V_{SS}) într-o plajă de variație a semnalelor de ieșire 7 segmente identică sau diferită (V_{DD} la V_{EE}). De exemplu, semnalul de intrare BCD poate varia (V_{DD} la V_{SS}) între 0 și −3 V și poate fi transformat într-un semnal de comandă la ieșire între (V_{DD} la V_{EE}) 0 și −5 V. Dacă diferența V_{DD} la V_{EE} depășește 15V, diferența V_{DD} la V_{SS} trebuie să fie cel puțin 4 V.



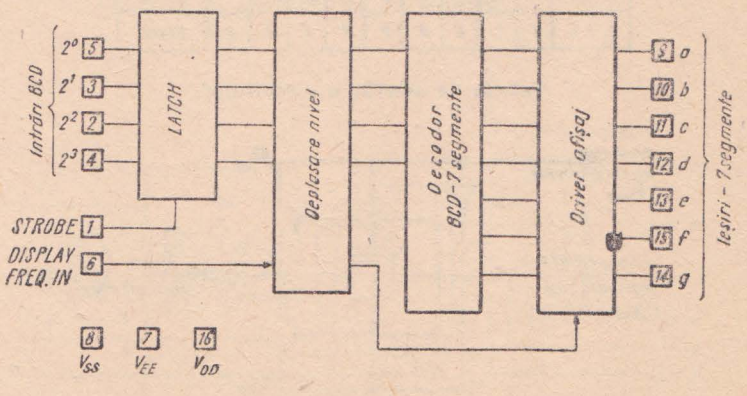
Semnificația terminalelor.

Ieșirile 7 segmente (*a*...*g*) sînt controlate de semnalul aplicat la intrarea *DISPLAY FREQUENCY IN* (*DF IN*), ieșirile segmentelor selectate putînd fi în **1** logic, în **0** logic sau formă de undă dreptunghiulară (pentru afișaje cu cristale lichide). Cînd *DF IN* este în **0** logic, segmentele selectate de intrările BCD sînt în **1** logic. Cînd *DF IN* este în **1** logic, segmentele selectate vor fi în **0** logic. Dacă se excită *DF IN* cu o formă de undă dreptunghiulară, segmentele selectate vor avea aceeași formă de undă cu cea de la intrarea *DF IN*, dar defazată de aceasta cu 180°. Semnalele pe segmentele neselectate vor avea și ele o formă de undă dreptunghiulară, dar în fază cu intrarea. Frecvența formei de undă de pe *DF IN* este cuprinsă, în mod uzual, pentru afișaje cu cristale lichide, între 30 Hz (peste limita de „clipire") și 200 Hz (sub limita superioară de răspuns în frecvență a cristalului lichid).

Circuitul MMC 4056 are o intrare *STROBE* (care la circuitul MMC 4055 nu există), care validează înscrierea intrărilor de date BCD în latch-urile de intrare.

Decodarea tuturor combinațiilor de pe intrările BCD dau comenzi pentru afișaj de 0 pînă la 9 precum și L, P, H, A — și blank.

Datele sînt transferate de la intrare la ieșire punînd *STROBE* în **1** logic. **0** logic pe intrarea *STROBE* „zăvorăște" intrarea de date și ieșirile segmentelor.



Schema bloc a circuitului.

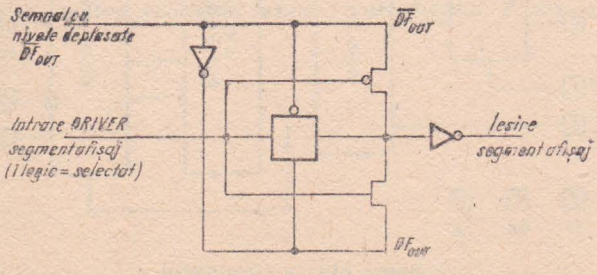
Circuitul MMC 4056 trebuie utilizat împreună cu circuitul MMC 4054, pentru a avea ieșirea comună *DF OUT*, deoarece, spre deosebire de MMC 4055, MMC 4056 nu are ieșire *DF OUT*.

Performanțe

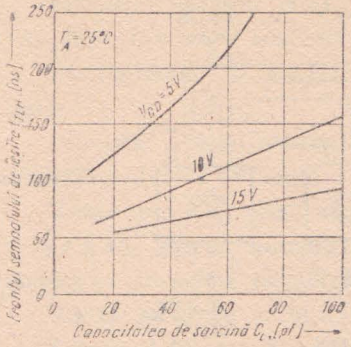
- ieșiri care comandă direct afișajul cu cristale lichide ;
- conversie de nivel logic ;
- dublare de tensiune pe afișaj, $V_{DD} - V_{EE} = 18$ V, duce la 30 V vîrf la vîrf pe afișaj ;
- timp de propagare : 575 ns (tipic) pentru $V_{DD} = 10$ V, $V_{SS} = V_{EE} = 0$ V.

Intrare				Ieșire							Caracter afișaj
2^3	2^2	2^1	2^0	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	1	0	1	1	9
1	0	1	0	0	0	0	1	1	1	0	-
1	0	1	1	0	1	1	0	1	1	1	U
1	1	0	0	1	1	0	0	1	1	1	P
1	1	0	1	1	1	1	0	1	1	1	H
1	1	1	0	0	0	0	0	0	0	1	-
1	1	1	1	0	0	0	0	0	0	0	Blanc

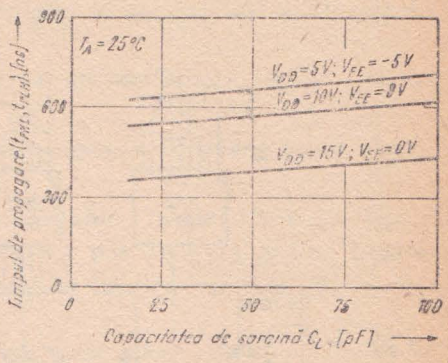
Tabela de adevăr a circuitului.



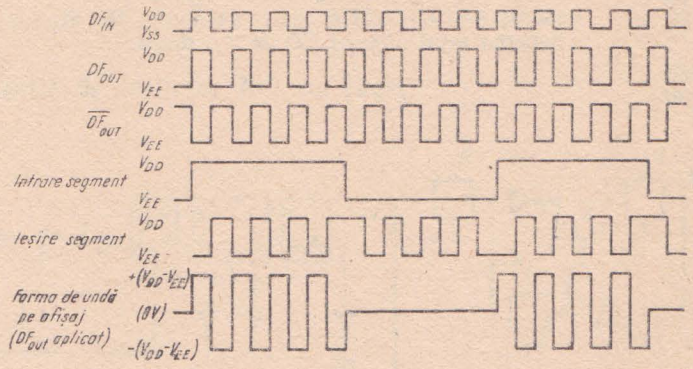
Schema logică a unui driver de segment.



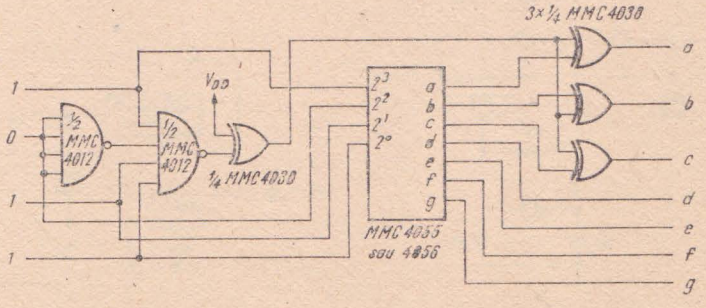
Caracteristica frontului semnalului de ieșire-capacitatea de sarcină



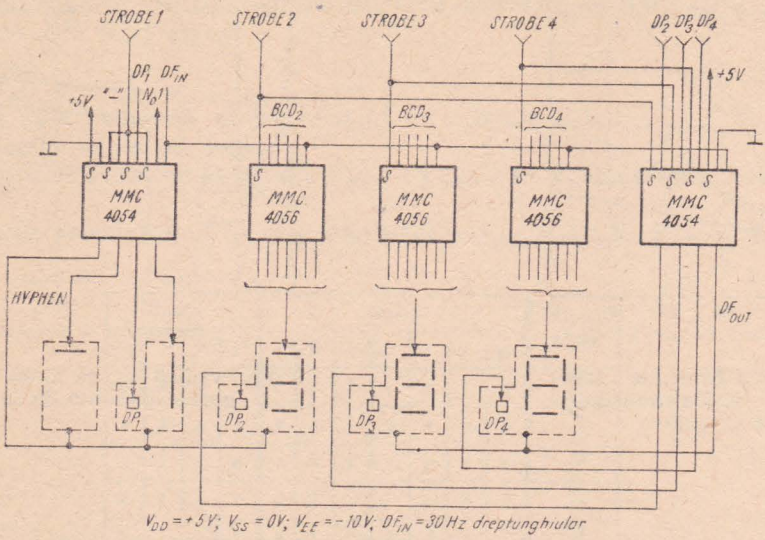
Caracteristica tipică timp de propagare-capacitate de sarcină.



Formele de undă pentru un segment de afișaj.



Schema logică pentru conversia afișării caracterului *F* din caracterul *H*.



Schema unui afișaj *LCD* de $3^1/_2$ digiți.

Circuitul integrat MMC 4060 conține un oscilator și un numărător binar asincron (cu transport succesiv) de 14 biți.

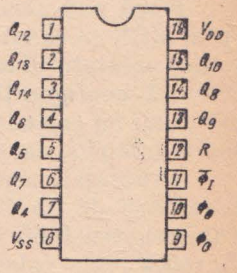
Configurația de oscilator permite proiectarea de oscilatoare fie *RC*, fie cu cuarț.

Circuitul are o intrare *RESET* (activă pe **1** logic), care aduce toate etajele numărătorului în **0** logic și inhibă oscilatorul.

Toate etajele numărătorului sînt circuite bistabile master-slave de tip *T* (v. § 1.8.1). Starea numărătorului avansează cu un pas (bit) în ordine binară, sincron cu tranziția negativă a semnalului prezent la intrarea de tact Φ_I (și Φ_0).

Toate intrările și ieșirile sînt cu buffer.

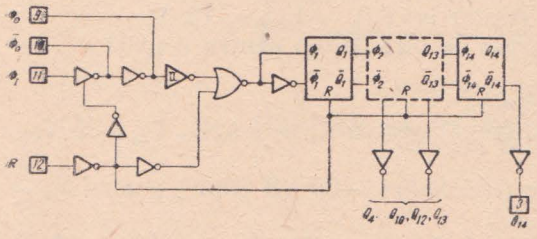
Circuitul trigger Schmitt de pe intrarea de tact permite lucrul cu impulsuri ale căror fronturi sînt oricît de lente.



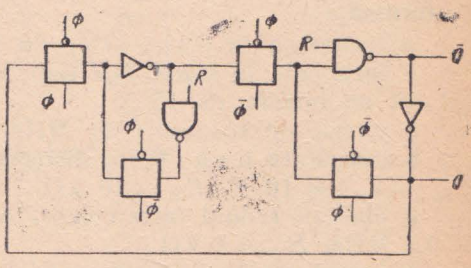
Semnificația terminalelor.

Performanțe

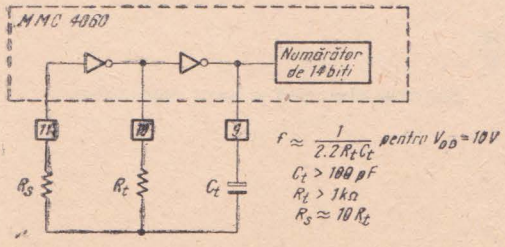
- operare statică ;
- viteză medie de operare : 16 MHz (tipic) pentru $V_{DD} = 10$ V ;
- configurație de oscilator *RC* sau cuarț.



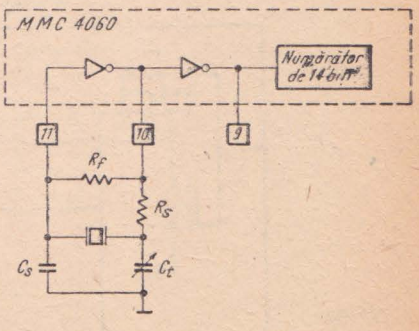
Schema logică a circuitului.



Schema logică a celulei.

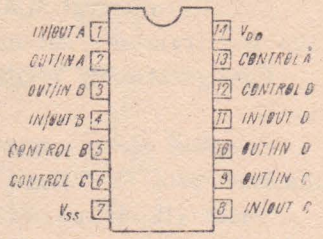


Schema tipică de oscilator *RC*.



Schema logică de oscilator cu cuarț.

Circuitul integrat MMC 4066 conține patru comutatoare bilaterale, concepute pentru transmisia sau multiplexarea semnalelor analogice sau digitale. Circuitul este pin la pin compatibil cu circuitul MMC 4016 dar, în comparație cu acesta, asigură o rezistență *ON* mult mai mică. În plus, rezistența în starea *ON* a comutatorului este relativ constantă pe toată plaja semnalului de intrare (v. § 1.5.4).



Semnificația terminalelor.

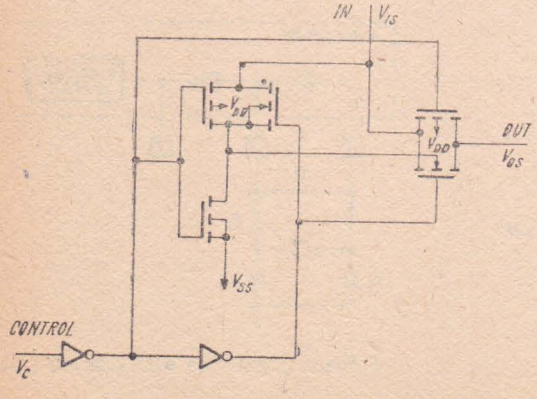
Există un singur semnal de control (*CONTROL*) pe comutator. Ambele tranzistoare (și cel cu canal *n* și cel cu canal *p*) dintr-un comutator sînt deschise (*ON*) sau blocate (*OFF*) simultan.

După cum rezultă din schema electrică a comutatorului, substratul tranzistorului MOS cu canal *n* din fiecare comutator este conectat fie la semnalul de intrare (cînd comutatorul este deschis — *ON*), fie la V_{SS} (cînd comutatorul este blocat — *OFF*). Această configurație elimină variația tensiunii de prag a tranzistoarelor comutatorului cu semnalul de intrare și astfel, menține rezistența în starea *ON* la o valoare coborîtă în toată plaja valorilor semnalului de intrare.

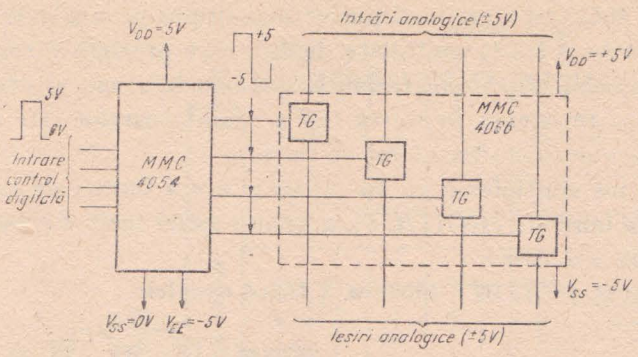
Avantajele acestor comutatoare CMOS față de comutatoarele realizate cu un tranzistor de un singur tip sînt: gama valorilor semnalelor de intrare egală cu valoarea tensiunii de alimentare și rezistența în starea *ON* de valoare coborîtă în toată plaja valorilor semnalului de intrare. Pentru aplicații de tip „*sample-and-hold*" se recomandă, însă, utilizarea circuitului MMC 4016, datorită capacităților de intrare, ieșire și intrare-ieșire de valori mai mici.

Performanțe

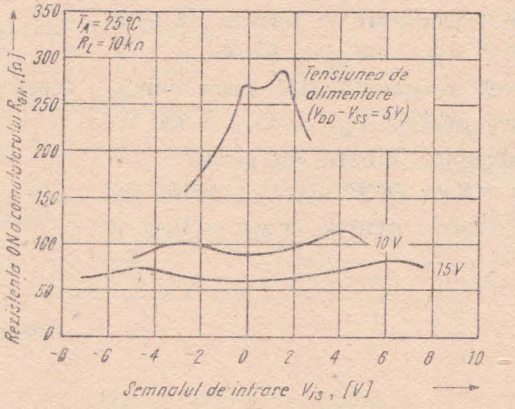
- rezistență în starea *ON*: 80 Ω (tipic) la $V_{DD} - V_{SS} = 15$ V;
- rezistență în starea *ON* împerecheată în 5 Ω (tipic) pentru o plajă a semnalului de intrare de 15 V;
- viteză de răspuns: 40 MHz (tipic);
- liniaritate bună: 0,5% distorsiuni (tipic) pentru $f_{is} = 1$ kHz, $V_{is} = 5$ V_{PP}, $V_{DD} - V_{SS} \geqslant 10$ V, $R_L = 10$ kΩ;
- diafonie redusă între comutatoare (*crosstalk*): —50 dB (tipic) pentru $f_{is} = 0{,}9$ MHz, $R_L = 1$ kΩ;
- curent rezidual în starea *OFF*: 10 pA (tipic) pentru $V_{DD} - V_{SS} = 10$ V, $T_A = 25°C$.



Schema electrică a unui comutator.



Schemă pentru deplasare de nivel (0, +5V) la (+5V, —5V).



Caracteristica rezistenței *ON* funcție de semnalul de intrare.

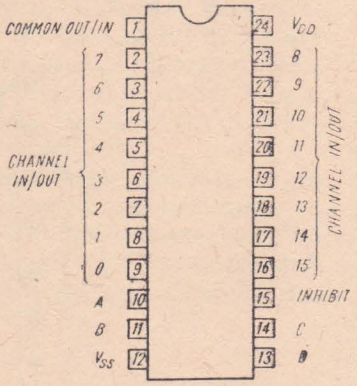
Circuitul integrat MMC 4067 este un multiplexor/demultiplexor analogic şi conţine comutatoare analogice (v. § 1.5.4) controlate digital, care prezintă o rezistenţă în starea *ON* de valoare coborîtă, curent rezidual în starea *OFF* mic şi decodare internă a adresei. În plus, rezistenţa în starea *ON* a comutatoarelor este relativ constantă pe toată plaja valorilor semnalului de intrare.

Circuitul MMC 4067 este un multiplexor cu 16 canale şi are 4 intrări de control *A*, *B*, *C*, *D* şi o intrare de inhibare (*INHIBIT*), aranjate astfel încît o combinaţie a intrărilor să selecteze un canal.

Un nivel 1 logic pe intrarea *INHIBIT* blochează toate canalele.

Performanţe

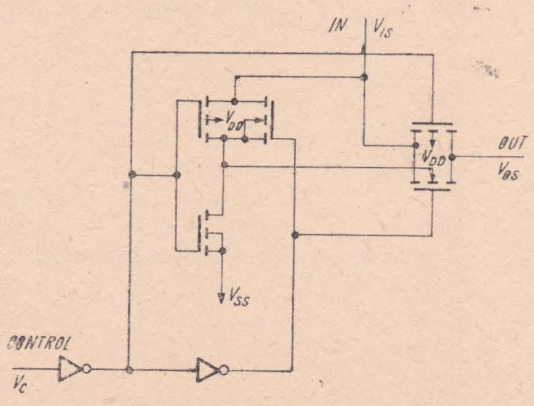
- rezistenţă în starea *ON*: 125 Ω (tipic) pentru o plajă de valori ale semnalului de intrare de pînă la 15 V vîrf-la-vîrf şi $V_{DD} - V_{SS} = 15$ V;
- împerechere de rezistenţă *ON* între comutatoare: 5 Ω (tipic) pentru $V_{DD} - V_{SS} = 15$ V;
- decodarea adreselor binare pe circuit;
- rezistenţa în starea *OFF* mare: curent rezidual ± 10 pA (tipic) pentru $V_{DD} - V_{SS} = 10$ V.



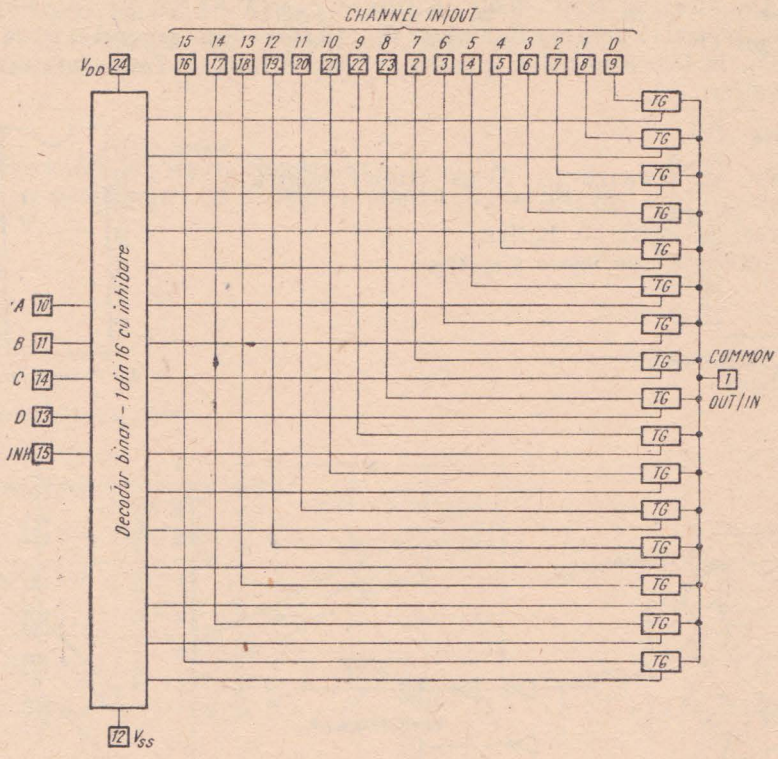
Semnificaţia terminalelor.

A	*B*	*C*	*D*	*INH*	*Canal selectat*
X	*X*	*X*	*X*	*1*	*Nici unul*
0	*0*	*0*	*0*	*0*	*0*
1	*0*	*0*	*0*	*0*	*1*
0	*1*	*0*	*0*	*0*	*2*
1	*1*	*0*	*0*	*0*	*3*
0	*0*	*1*	*0*	*0*	*4*
1	*0*	*1*	*0*	*0*	*5*
0	*1*	*1*	*0*	*0*	*6*
1	*1*	*1*	*0*	*0*	*7*
0	*0*	*0*	*1*	*0*	*8*
1	*0*	*0*	*1*	*0*	*9*
0	*1*	*0*	*1*	*0*	*10*
1	*1*	*0*	*1*	*0*	*11*
0	*0*	*1*	*1*	*0*	*12*
1	*0*	*1*	*1*	*0*	*13*
0	*1*	*1*	*1*	*0*	*14*
1	*1*	*1*	*1*	*0*	*15*

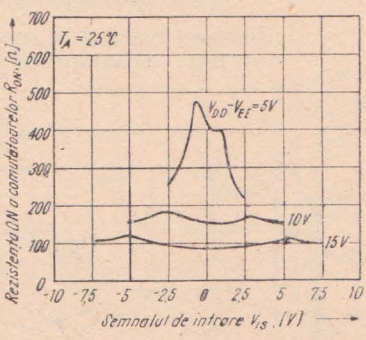
Tabela de adevăr.



Schema electrică a unui comutator.



Schema bloc a circuitului.

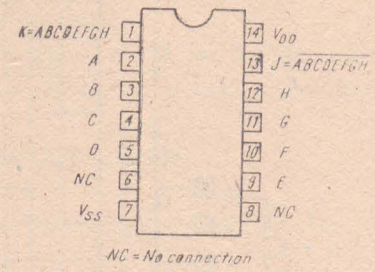


Rezistența *ON* a unui canal funcție de semnalul de intrare.

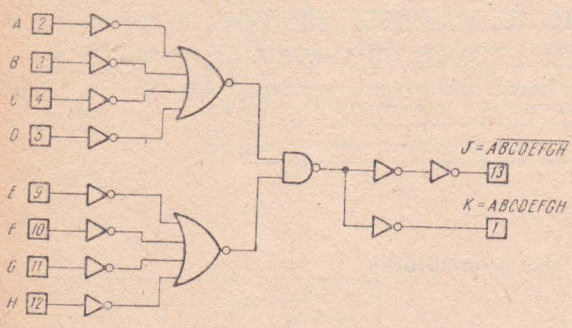
Circuitul integrat MMC 4068 conține o poartă SI-NU/SI (NAND/AND) cu 8 intrări. Pe același circuit există ambele funcții (deci ieșiri separate) SI-NU (NAND) și SI (AND), în logică pozitivă, pentru aceleași 8 intrări. Toate intrările și ieșirile sînt cu buffer.

Performanțe

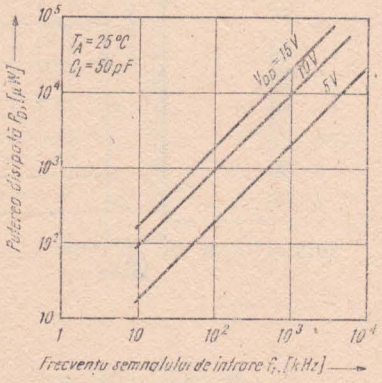
- timp de propagare: 75 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V;
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice.



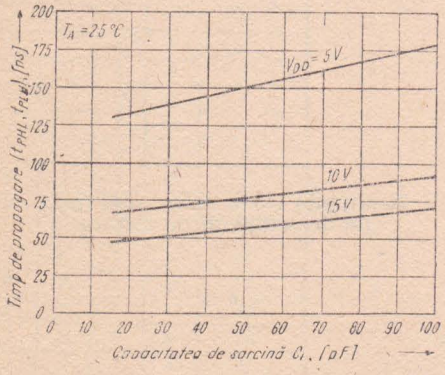
Semnificația terminalelor.



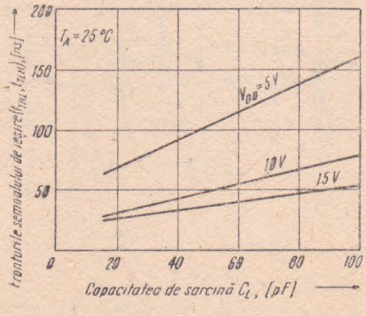
Schema logică a circuitului.



Puterea disipată, funcție de frecvența semnalului de intrare.



Caracteristica tipică timp de propagare-capacitatea de sarcină.

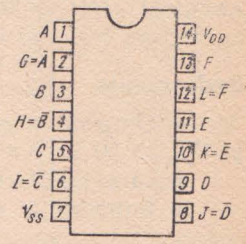


Caracteristica tipică fronturile de ieșire-capacitatea de sarcină.

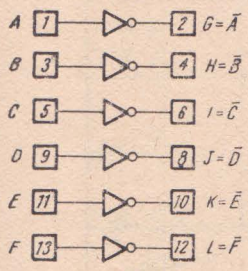
Circuitul integrat MMC 4069 conține șase inversoare CMOS (v. § 1.3). Acest tip de circuit este proiectat pentru aplicații de uz general, în care nu se solicită o capabilitate de comandă pentru porți TTL sau o conversie de nivel logic, ca în cazul circuitului MMC 4049.

Performanțe

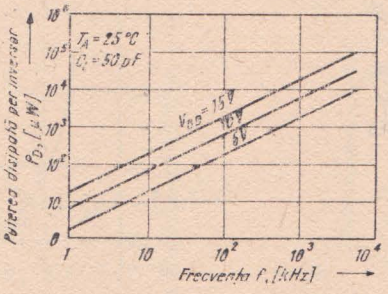
- caracteristici de ieșire simetrice;
- timp de propagare: 30 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V.



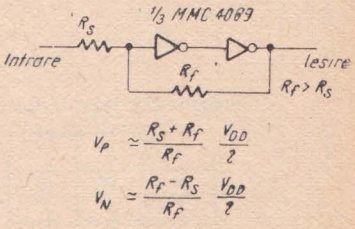
Semnificația terminalelor.



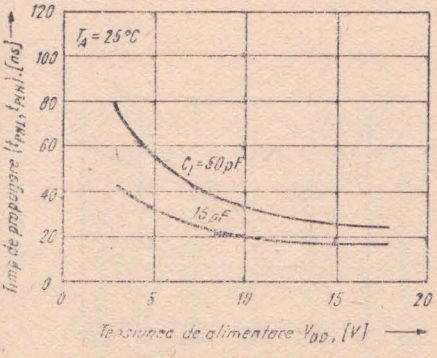
Schema logică a circuitului.



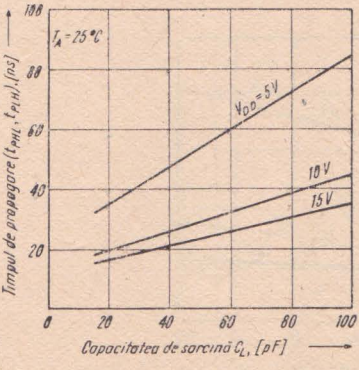
Puterea disipată funcție de frecvența semnalului de intrare.



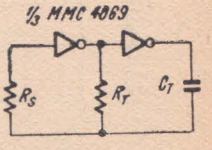
Schema unui trigger Schmitt realizat cu MMC 4069.



Caracteristica tipică timp de propagare-tensiune de alimentare.



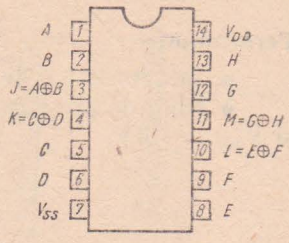
Caracteristica tipică timp de propagare-capacitatea de sarcină.



Schema tipică a unui oscilator *RC*.

Circuitul integrat MMC 4070 conține patru porți SAU-EXCLUSIV (XOR) cu 2 intrări fiecare. Fiecare poartă SAU-EXCLUSIV constă din patru tranzistoare MOS cu canal *n* și patru tranzistoare MOS cu canal *p*.

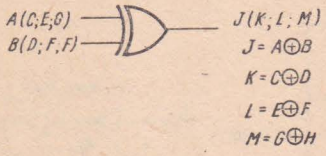
Circuitul MMC 4070 este pin la pin compatibil cu circuitul MMC 4030, dar are o capabilitate sporită de curent pe ieșiri și curent rezidual de intrare mai mic.



Semnificația terminalelor.

Performanțe

- timp de propagare : 65 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V ;
- caracteristici de ieșire simetrice ;
- impedanță mică de ieșire.

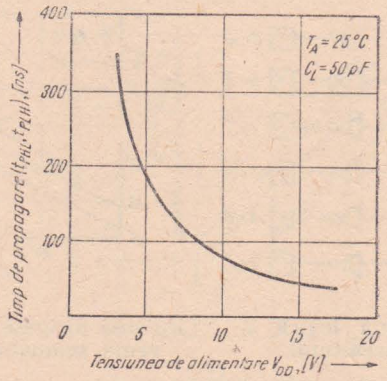


Semnificația terminalelor.

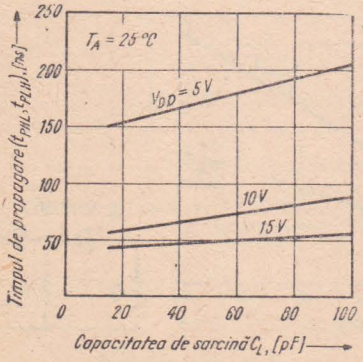
A	B	J
0	0	0
1	0	1
0	1	1
1	1	0

$J = A \oplus B$

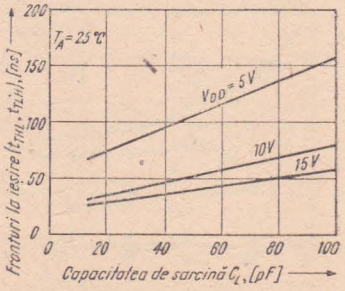
Tabela de adevăr a unei porți.



Caracteristica timp de propagare-tensiune de alimentare.



Caracteristica tipică timp de propagare-capacitate de sarcină.

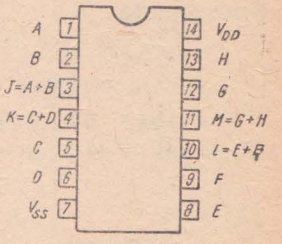


Caracteristica tipică fronturi la ieșire-capacitate de sarcină.

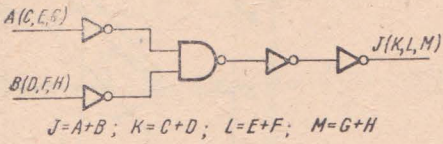
Circuitul integrat MMC 4071 conține patru porți SAU (OR) cu 2 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt cu buffer.

Performanțe

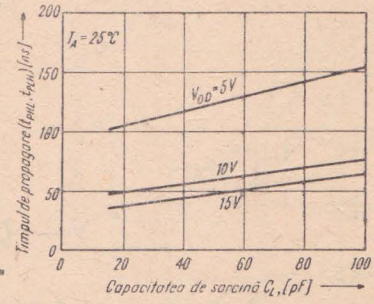
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- timp de propagare: 60 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V.



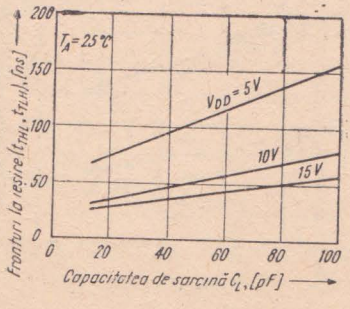
Semnificația terminalelor.



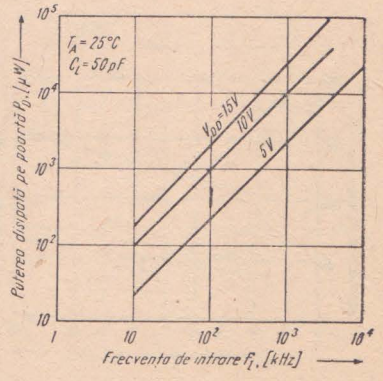
Schema logică a unei porți.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturi la ieșire-capacitate de sarcină.

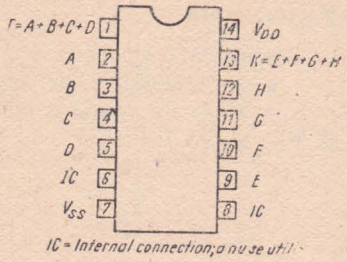


Puterea disipată de o poartă funcție de frecvența semnalului de intrare.

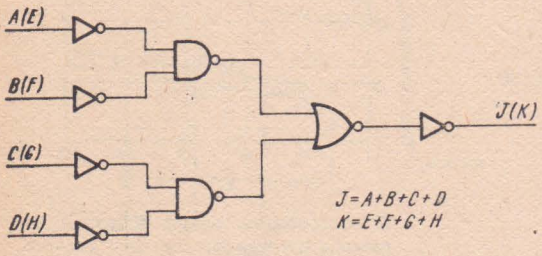
Circuitul integrat MMC 4072 conține 2 porți SAU (OR) cu 4 intrări fiecare realizate în tehnologie CMOS. Toate intrările au buffer, ca și ieșirile.

Performanțe

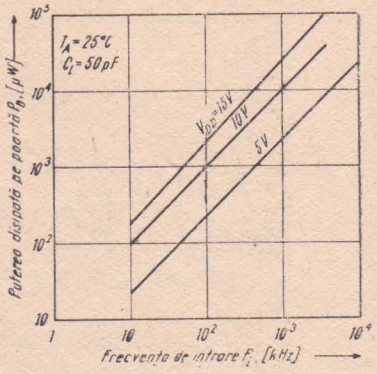
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- timp de propagare: 60 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V



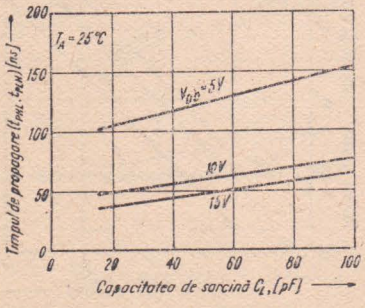
Semnificația terminalelor.



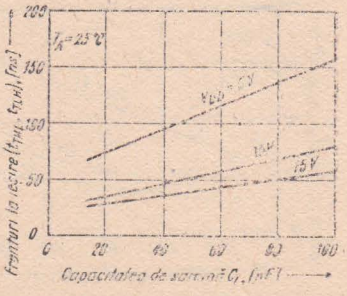
Schema logică a unei porți.



Puterea disipată de o poartă funcție de frecvența semnalului de intrare.



Caracteristica tipică timp de propagare — capacitate de sarcină.

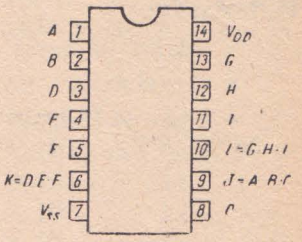


Caracteristica tipică fronturi la ieșire — capacitate de sarcină.

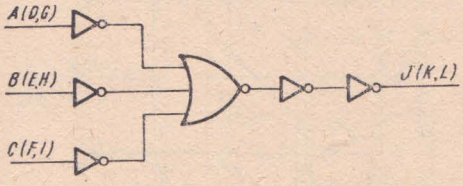
Circuitul integrat MMC 4073 conține trei porți SI (AND) cu 3 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt cu buffer.

Performanțe

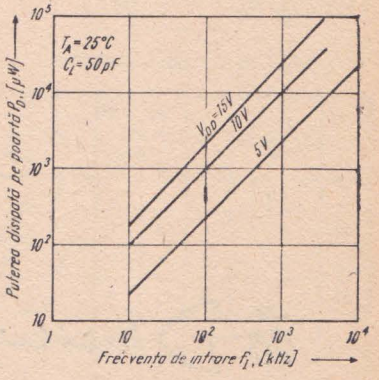
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- timp de propagare: 60 ns (tipic) pentru C_L = = 50 pF și V_{DD} = 10 V.



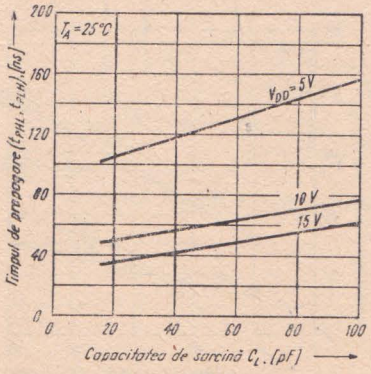
Semnificația terminalelor.



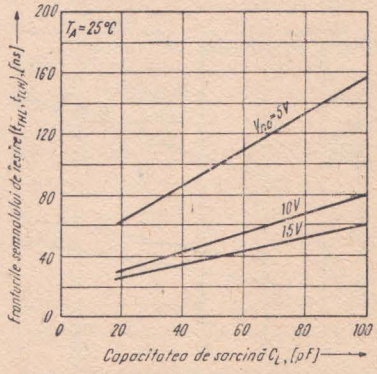
Schema logică a unei porți.



Puterea disipată de poartă funcție de frecvența semnalului la intrare.



Caracteristica tipică timp de propagare — capacitate de sarcină.

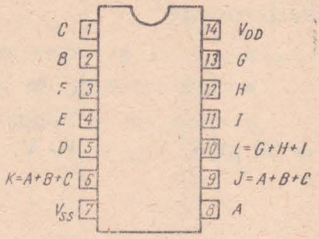


Caracteristica tipică fronturi de ieșire — capacitate de sarcină.

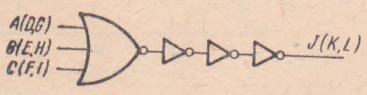
Circuitul integrat MMC 4075 conține trei porți SAU (OR) cu 3 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt cu buffer.

Performanțe

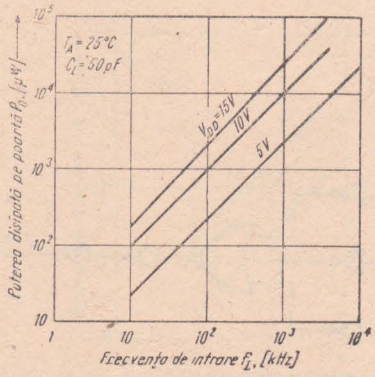
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- timp de propagare: 60 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V.



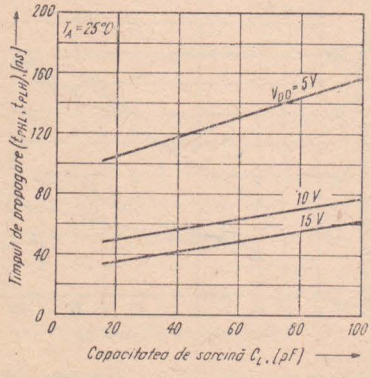
Semnificația terminalelor.



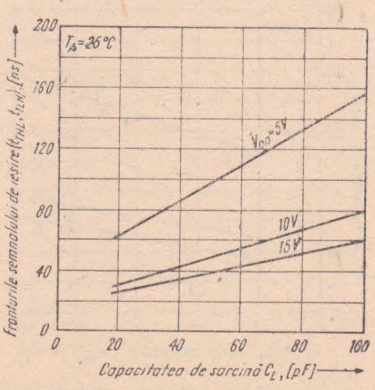
Schema logică a unei porți.



Puterea disipată de o poartă funcție de frecvența semnalului de intrare.



Caracteristica tipică timp de propagare — capacitate de sarcină.



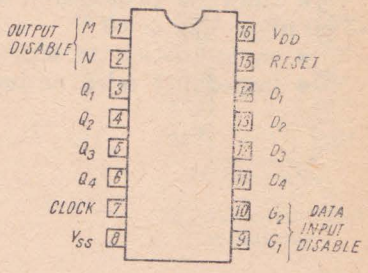
Caracteristica tipică fronturi la ieșire — capacitate de sarcină.

Circuitul integrat MMC 4076 este un registru de 4 biți, realizat cu bistabili de tip D (v. § 1.6.2) și ieșiri „3-state". Există 2 intrări de invalidare (*DATA INPUT DISABLE* — G_1, G_2), care controlează intrarea datelor în registru. Cînd ambele intrări G_1 și G_2 sînt în **0** logic, datele de pe intrările de date D_1, D_2, D_3, D_4 sînt încărcate în bistabilii corespunzători, la următoarea tranziție pozitivă a semnalului de tact (intrarea *CLOCK*).

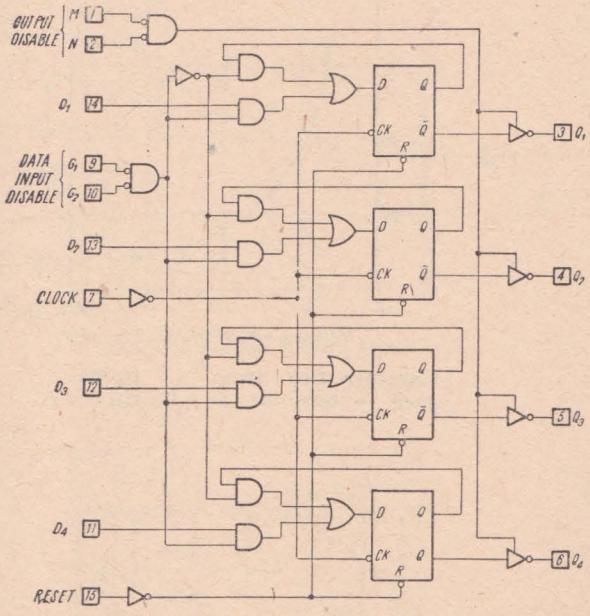
Sînt prevăzute și intrări de invalidare a ieșirilor (*DATA OUTPUT DISABLE* — M, N). Dacă intrările M și N sînt în **0** logic, starea logică din bistabil este disponibilă la ieșire. Ieșirile sînt invalidate independent de tact printr-un **1** logic pe oricare intrare M sau N și prezintă o stare de impedanță ridicată.

Performanțe

- ieșiri „3-state";
- invalidare intrări fără blocare de tact;
- viteză medie de lucru: 12 MHz (tipic) pentru $V_{DD} = 10$ V.



Semnificația terminalelor.

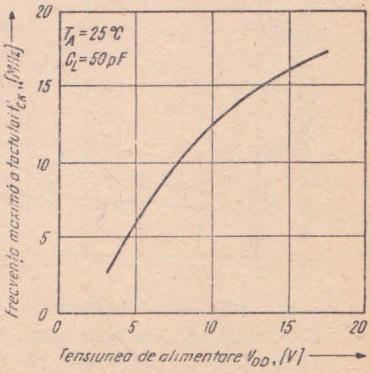


Schema logică a circuitului.

Reset	CK	Data Input Disable		D	Starea următoare Q	
		G_1	G_2			
1	X	X	X	X	0	
0	0	X	X	X	Q	NC
0	↓	1	X	X	Q	NC
0	↓	X	1	X	Q	NC
0	↓	0	0	1	1	
0	↓	0	0	0	0	
0	1	X	X	X	Q	NC
0	↘	X	X	X	Q	NC

NC = Starea nu se schimbă
X = Indiferent
M sau N în 1 logic - ieșire în stare de impedanță ridicată

Tabela de adevăr a circuitului.

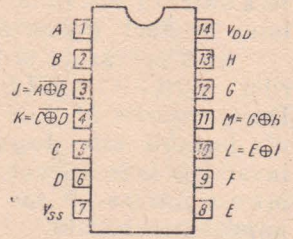


Caracteristica frecvenței maxime a semnalului de tact funcție de tensiunea de alimentare.

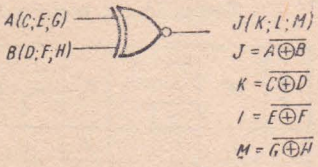
Circuitul integrat MMC 4077 conține patru porți SAU-NU-EXCLUSIV (XNOR) cu 2 intrări fiecare. Fiecare poartă SAU-NU-EXCLUSIV constă din șase tranzistoare MOS cu canal *n* și șase tranzistoare MOS cu canal *p*. Intrările și ieșirile sînt cu buffer.

Performanțe

- timp de propagare: 65 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V.
- caracteristici de ieșire simetrice;
- impedanță mică de ieșire.



Semnificația terminalelor.

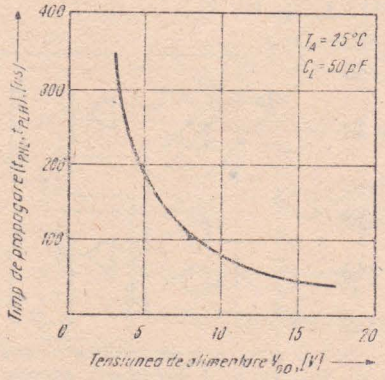


Schema logică a unei porți.

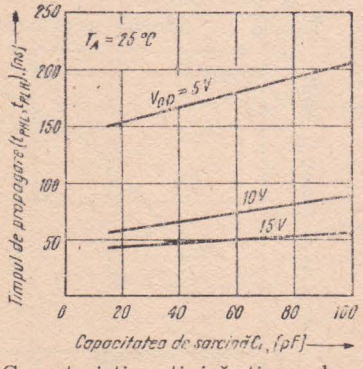
A	B	J
0	0	1
1	0	0
0	1	0
1	1	1

$J = \overline{A \oplus B}$

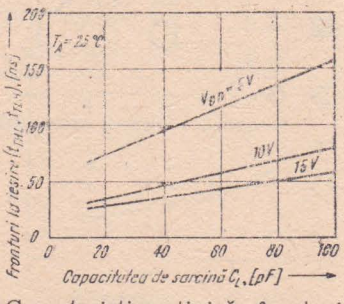
Tabela de adevăr a unei porți.



Caracteristica timp de propagare — tensiune de alimentare.



Caracteristica tipică timp de propagare — capacitate de sarcină.

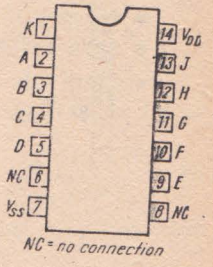


Caracteristica tipică fronturi la ieșire — capacitate de sarcină.

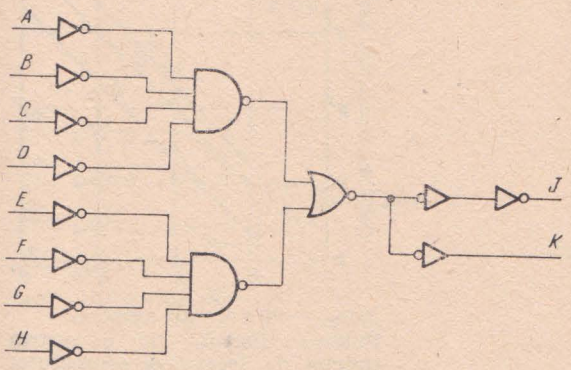
Circuitul integrat MMC 4078 conține o poartă SAU-NU/SAU (NOR/OR) cu 8 intrări. Pe același circuit există ambele funcții (deci ieșiri separate) SAU-NU (NOR) și SAU (OR), în logică pozitivă, pentru aceleași 8 intrări. Toate intrările și ieșirile sînt cu buffer.

Performanțe

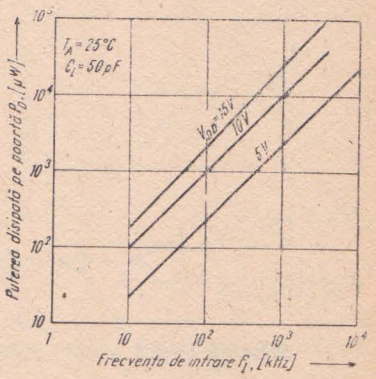
- timp de propagare : 75 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V.
- intrări și ieșiri cu buffer ;
- caracteristici de ieșire simetrice.



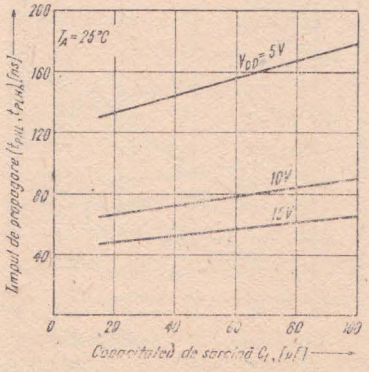
Semnificația terminalelor.



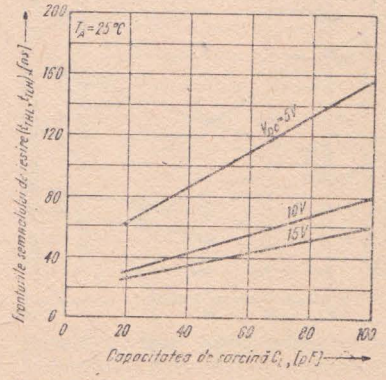
Schema logică a unei porți.



Puterea disipată de poartă funcție de frecvența semnalului la intrare.



Caracteristica tipică timp de propagare — capacitate de sarcină.

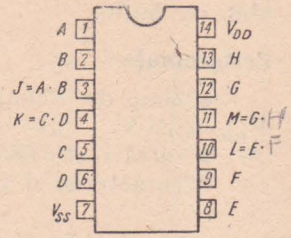


Caracteristica tipică fronturi la ieșire — capacitate de sarcină.

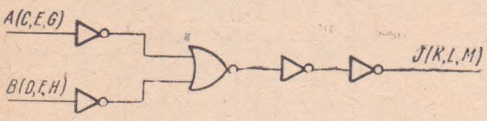
Circuitul integrat MMC 4081 conține patru porți SI (AND) cu 2 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt cu buffer.

Performanțe

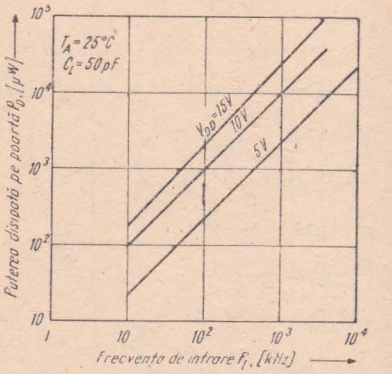
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- timp de propagare: 60 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V.



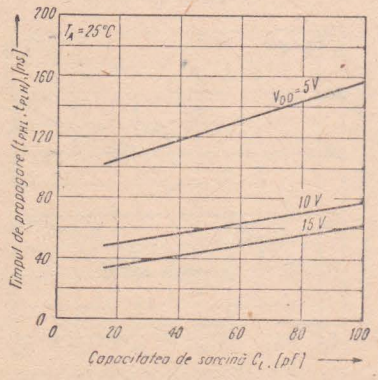
Semnificația terminalelor.



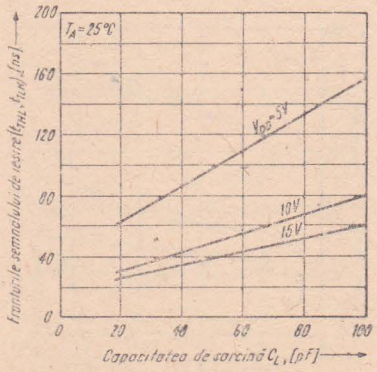
Schema logică a unei porți.



Puterea disipată de o poartă funcție de frecvența semnalului de intrare.



Caracteristica tipică timp de propagare — capacitate de sarcină.

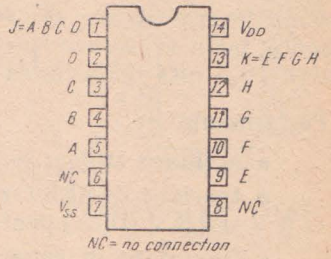


Caracteristica tipică fronturi la ieșire — capacitate de sarcină.

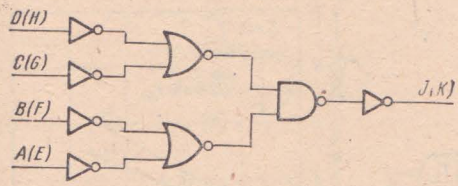
Circuitul integrat MMC 4082 conține două porți SI (AND) cu 4 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt cu buffer.

Performanțe

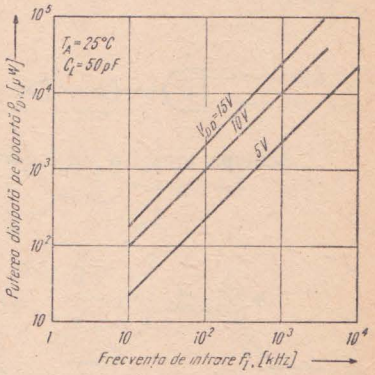
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- timp de propagare: 60 ns (tipic) pentru C_L = = 50 pF și V_{DD} = 10 V.



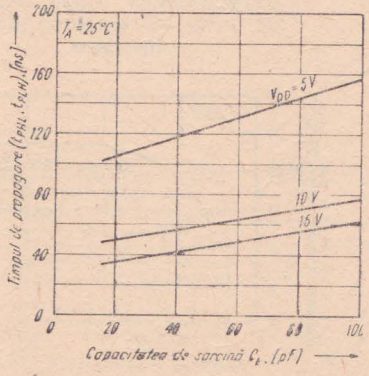
Semnificația terminalelor.



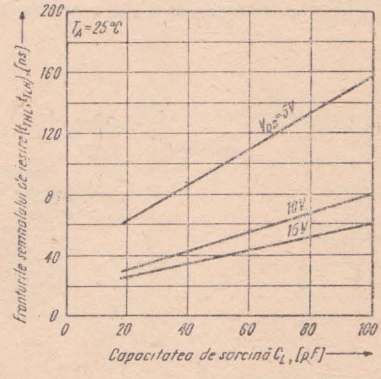
Schema logică a unei porți.



Puterea disipată de o poartă funcție de frecvența semnalului de intrare.

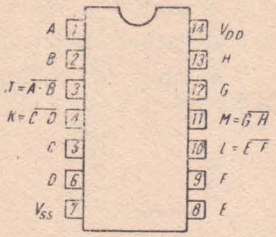


Caracteristica tipică timp de propagare — capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire — capacitate de sarcină.

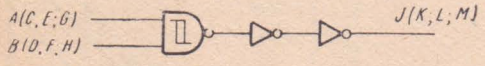
Circuitul integrat MMC 4093 conține patru trigger-e Schmitt. Fiecare dintre acestea funcționează ca o poartă SI-NU (NAND) cu 2 intrări cu acțiune de trigger Schmitt pe ambele intrări. Poarta comută în nivele de tensiune diferite pentru semnale crescătoare și, respectiv, descrescătoare. Diferența între tensiunea pozitivă (V_P) și tensiunea negativă (V_N) este definită ca tensiunea de histeresis (V_H).



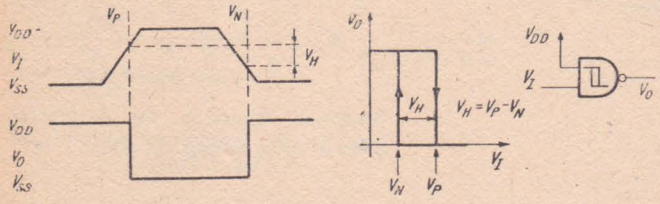
Semnificația terminalelor.

Performanțe

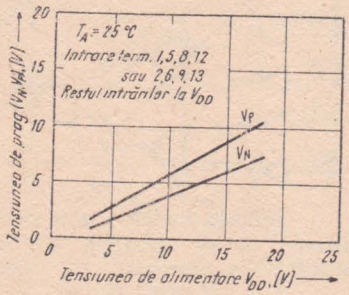
- acțiunea trigger Schmitt pe fiecare intrare ;
- tensiune de histerezis : 0,9 V (tipic) pentru V_{DD} = = 5 V și 2,3 V (tipic) pentru V_{DD} = 10 V ;
- imunitate la zgomot mai mare de 50% ;
- timp de propagare : 150 ns (tipic) pentru V_{DD} = = 10 V.



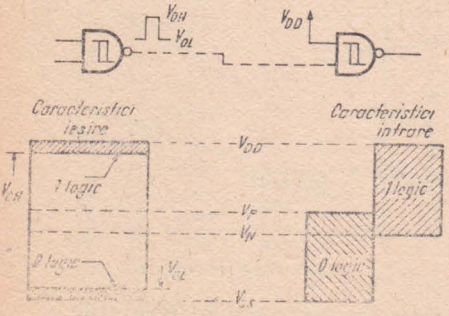
Schema logică a unei porți.



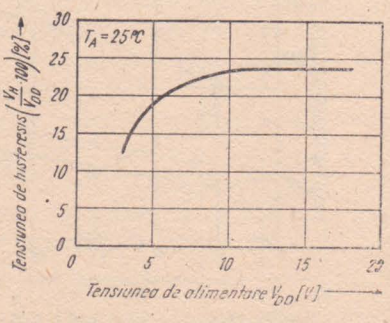
Definiția histeresisului și caracteristica porții.



Caracteristica tipică tensiune de prag — tensiune de alimentare.



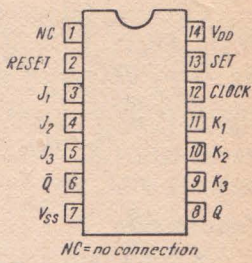
Caracteristicile de intrare și de ieșire.



Caracteristica tipică tensiune de histeresis — tensiune de alimentare.

Circuitul integrat MMC 4095 este un bistabil master-slave de tip *JK* (v. § 1.6.3) cu intrări multiple (J_1, J_2, J_3 și K_1, K_2, K_3) legate prin funcția SI (AND).

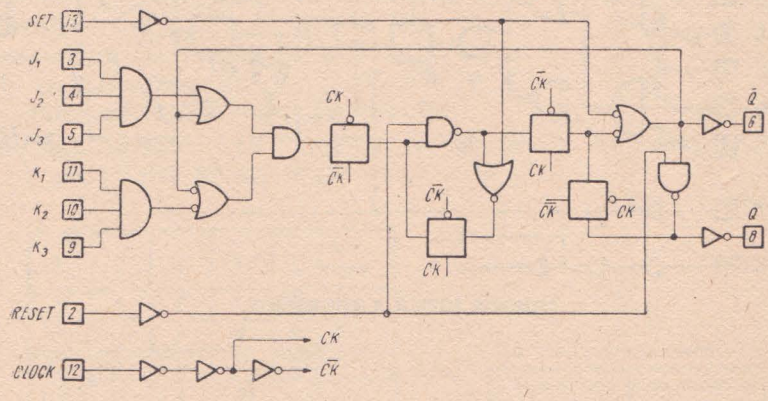
Informația de pe intrările *J* și *K* este transferată la ieșirile Q și $\bar{Q}$ pe frontul pozitiv al semnalului de tact (intrarea *CLOCK*). Intrările *SET* și *RESET* (active pe nivelul logic **1**) sînt prevăzute pentru operare asincronă.



Semnificația terminalelor.

Performanțe

- frecvență de lucru (modul *toggle*) : 16 MHz (tipic) pentru $V_{DD} = 10$ V ;
- intrări multiple ;
- caracteristici de ieșire simetrice.



Schema logică a circuitului.

Operare sincronă (R=S=0)

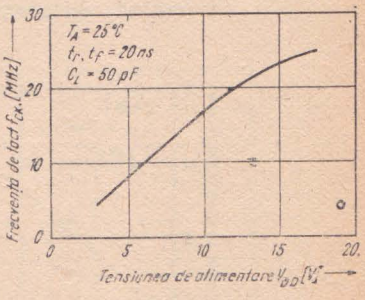
Intrări înainte de tranziție pozitivă		Intrări după tranziție pozitivă	
J	*K*	Q	$\bar{Q}$
0	0	Nici o schimbare	
0	1	0	1
1	0	1	0
1	1	TOGGLE	

Operare asincronă (J și K nu contează)

S	*R*	Q	$\bar{Q}$
0	0	Nici o schimbare	
0	1	0	1
1	0	1	0
1	1	0	0

$J = J_1\ J_2\ J_3$
$K = K_1\ K_2\ K_3$

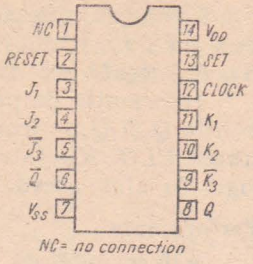
Tabele de adevăr.



Frecvența maximă a semnalului de tact funcție de tensiunea de alimentare.

Circuitul integrat MMC 4096 este un bistabil maser-slave de tip *JK* (v. § 1.6.3) cu intrări multiple (J_1, J_2, $\bar{J}_3$ și K_1, K_2, $\bar{K}_3$) legate prin funcția SI (AND).

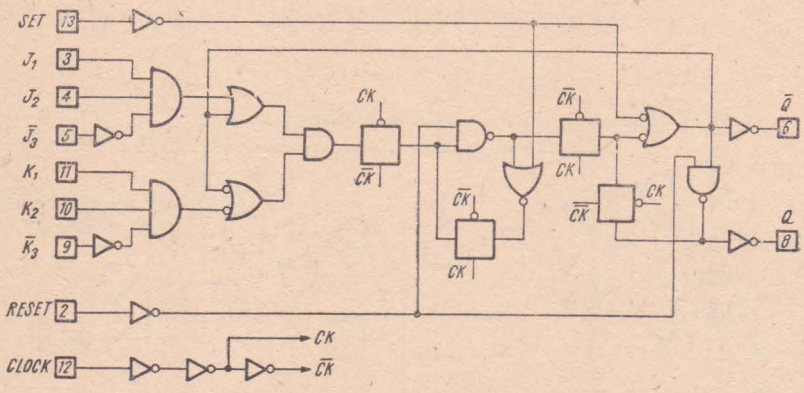
Informația de pe intrările J și K este transferată la ieșirile Q și $\bar{Q}$ pe frontul pozitiv al semnalului de tact (intrarea *CLOCK*). Intrările *SET* și *RESET* (active pe nivelul logic **1**) sînt prevăzute pentru operare asincronă.



Semnificația terminalelor.

Performanțe

- frecvență de lucru (modul *toggle*): 16 MHz (tipic) pentru $V_{DD} = 10$ V.
- intrări multiple;
- caracteristici de ieșire simetrice.



Schema logică a circuitului.

Operare sincronă (R = S = 0)

Intrări înainte de tranziție pozitivă		*Intrări după tranziție pozitivă*	
J	*K*	*Q*	$\bar{Q}$
0	0	*Nici o schimbare*	
0	1	0	1
1	0	1	0
1	1	*TOGGLE*	

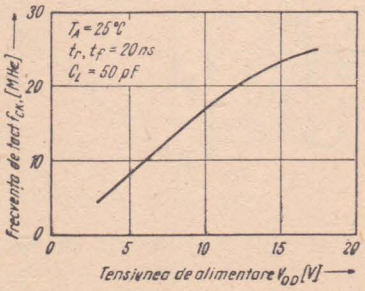
Operare asincronă (J și K nu contează)

S	*R*	*Q*	$\bar{Q}$
0	0	*Nici o schimbare*	
0	1	0	1
1	0	1	0
1	1	0	0

$J = J_1 \cdot J_2 \cdot \bar{J}_3$

$K = K_1 \cdot K_2 \cdot \bar{K}_3$

Tabele de adevăr.

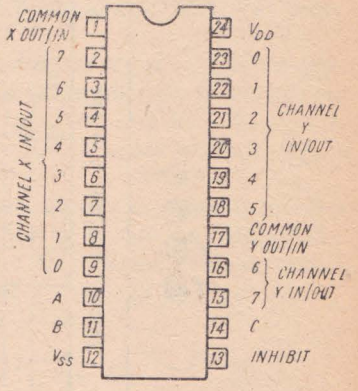


Frecvența maximă a semnalului de tact funcție de tensiunea de alimentare.

Circuitul integrat MMC 4097 este un multiplexor/demultiplexor analogic și conține comutatoare analogice (v. § 1.5.4) controlate digital, care prezintă o rezistență în starea *ON* de valoare coborîtă, curent rezidual în starea *OFF* mic și decodare internă a adresei. În plus, rezistența în starea *ON* a comutatoarelor este relativ constantă pe toată plaja valorilor semnalului de intrare.

Circuitul MMC 4097 este un multiplexor diferențial cu 8 canale și are 3 intrări de control *A*, *B*, *C* și o intrare de inhibare (*INHIBIT*). Intrările permit selecția uneia din cele 8 perechi de comutatoare.

Un nivel **1** logic pe intrarea *INHIBIT* blochează toate canalele.



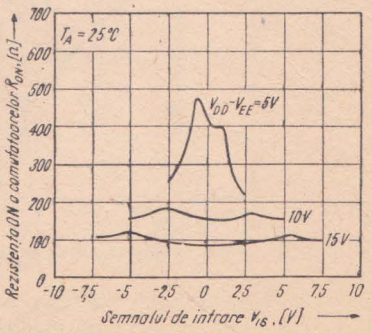
Semnificația terminalelor.

Performanțe

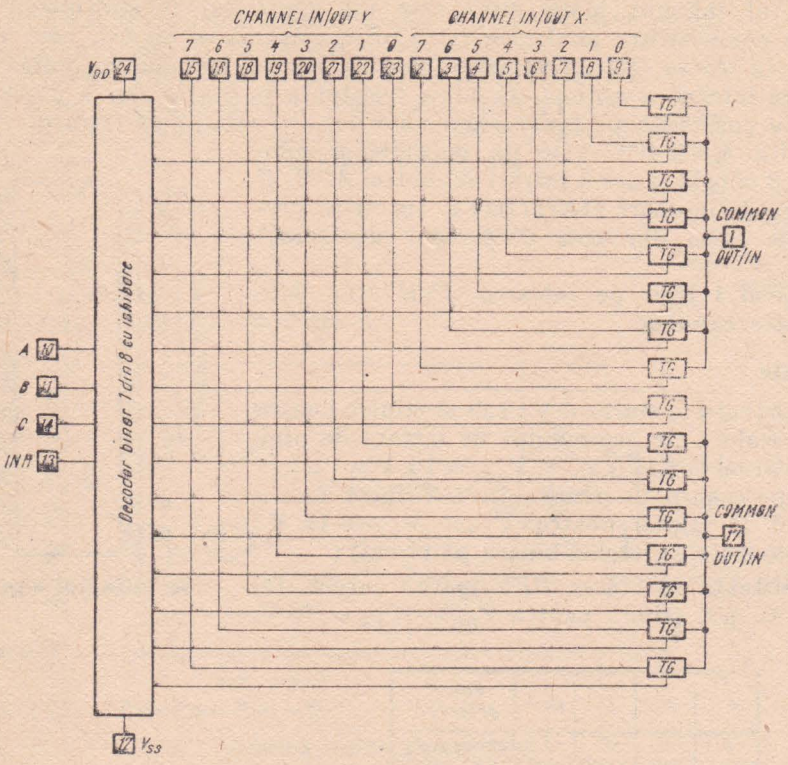
- rezistența în starea *ON*: 125 Ω (tipic) pentru o plajă de valori ale semnalului de intrare de pînă la 15 V vîrf-la-vîrf și $V_{DD} - V_{SS} = 15$ V;
- împerechere de rezistență *ON* între comutatoare: 5 Ω (tipic) pentru $V_{DD} - V_{SS} = 10$ V;
- decodarea adreselor binare pe circuit;
- rezistență în starea *OFF* mare: curent rezidual ± 10 pA (tipic) pentru $V_{DD} - V_{SS} = 10$ V.

A	*B*	*C*	*INH*	*Canal selectat*
X	*X*	*X*	*1*	*Niciunul*
0	*0*	*0*	*0*	*0X, 0Y*
1	*0*	*0*	*0*	*1X, 1Y*
0	*1*	*0*	*0*	*2X, 2Y*
1	*1*	*0*	*0*	*3X, 3Y*
0	*0*	*1*	*0*	*4X, 4Y*
1	*0*	*1*	*0*	*5X, 5Y*
0	*1*	*1*	*0*	*6X, 6Y*
1	*1*	*1*	*0*	*7X, 7Y*

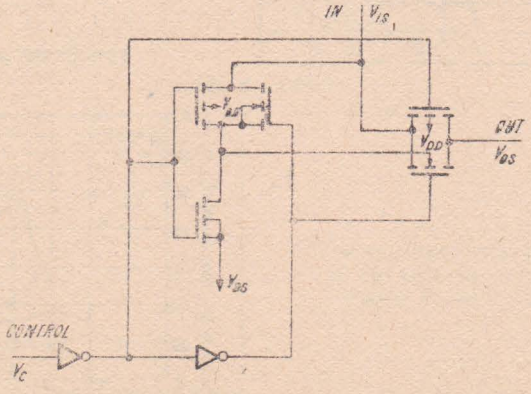
Tabela de adevăr.



Rezistența *ON* a unui canal funcție de semnalul de intrare.



Schema bloc a circuitului.



Schema electrică a unui comutator.

DOUĂ MONOSTABILE MMC 4098

Circuitul integrat MMC 4098 conține două monostabile care sînt operabile și în modul de lucru retriggerabil.

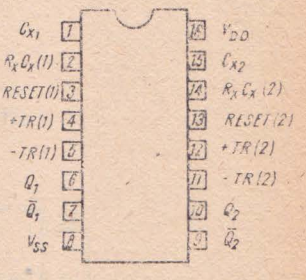
Controlul temporizării circuitului se realizează cu o rezistență externă (R_x) și un capacitor extern (C_x). Ajustarea grupului $R_x - C_x$ asigură o largă varietate de durate de impulsuri la ieșirile Q și $\overline{Q}$. Timpul de propagare al semnalului de la intrarea TRIGGER la ieșire (timpul de propagare trigger) și timpul de propagare al semnalului de la intrarea *RESET* la ieșire (timpul de propagare reset) sînt independente de R_x și C_x.

Intrările de $+TR$ (trigger pe front pozitiv — *leading-edge*) și $-TR$ (trigger pe front negativ — *trailing-edge*) asigură posibilitatea de triggerare pe oricare front al impulsului de intrare. Atunci cînd nu se utilizează intrarea $+TR$, aceasta trebuie legată la V_{SS}, iar cînd nu se utilizează intrarea $-TR$, aceasta trebuie legată la V_{DD}.

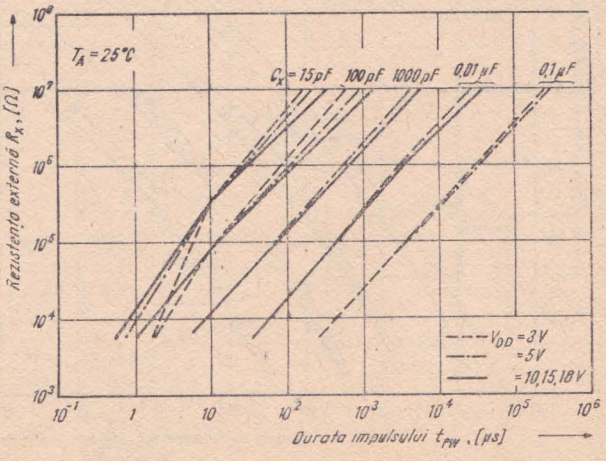
Există și intrare de *RESET* (activă pe nivel **0** logic) pentru a comuta imediat ieșirea sau pentru a preveni impulsuri pe ieșire la cuplarea sursei de alimentare. Intrarea *RESET* neutilizată se leagă la V_{DD}. Dacă nu se folosesc ambele monostabile din MMC 4098, intrarea *RESET* a celui nefolosit se va lega la V_{SS}.

În modul de operare normală, circuitul comută (extinde impulsul de ieșire cu o perioadă) la aplicarea fiecărui nou impuls de comandă. Pentru operarea în modul de lucru neretriggerabil ieșirea $\overline{Q}$ se leagă la $-TR$ cînd se utilizează intrarea $+TR$, sau ieșirea Q se leagă la $+TR$ cînd se utilizează intrarea $-TR$.

Perioada de timp T a acestui monostabil se poate aproxima cu $T_x = (1/2) \cdot R_x C_x$ pentru $C_x \geqslant 0{,}01$ μF. Valorile lui T variază de la capsulă la capsulă și ca o funcție de tensiune, temperatură și $R_x C_x$. Valoarea minimă a rezistenței externe R_x este de 5 kΩ. Valoarea maximă a capacității externe C_x este de 100 μF.



Semnificația terminalelor.

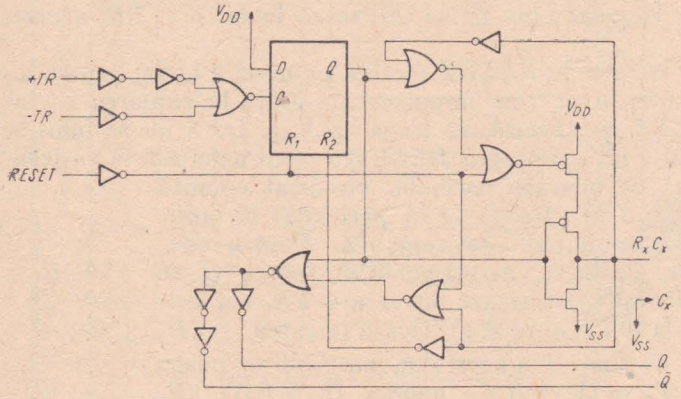


Caracteristica tipică rezistență externă — durata impulsului.

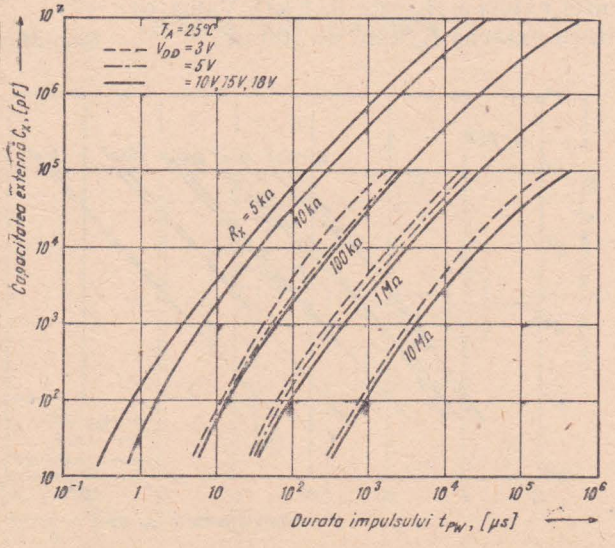
Durata impulsului de ieșire are variații tipice de ±2,5%, în plaja de temperatură −55°C la +125°C pentru $R_x = 100$ kΩ și $C_x = 1\,000$ pF. Pentru variații de ±5% ale sursei de alimentare, durata impulsului de ieșire variază tipic cu ±0,5% pentru $V_{DD} = 10$ V și 15 V, și cu ±1% tipic pentru $V_{DD} = 5$ V, la $C_x = 1\,000$ pF și $R_x = 5$ kΩ.

Performanțe

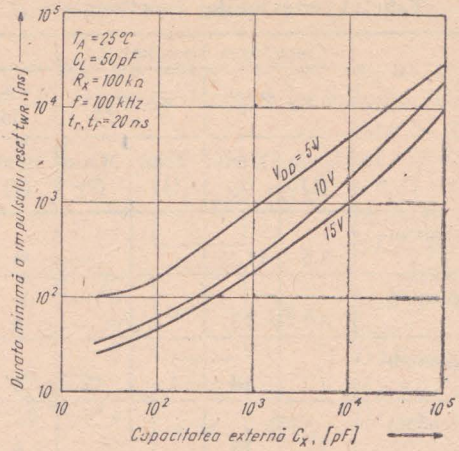
- capabilități de retriggerare/resetare;
- timpi de propagare trigger și reset independenți de R_xC_x;
- triggerare pe front pozitiv sau negativ;
- ieșiri Q și $\overline{Q}$ cu buffer.



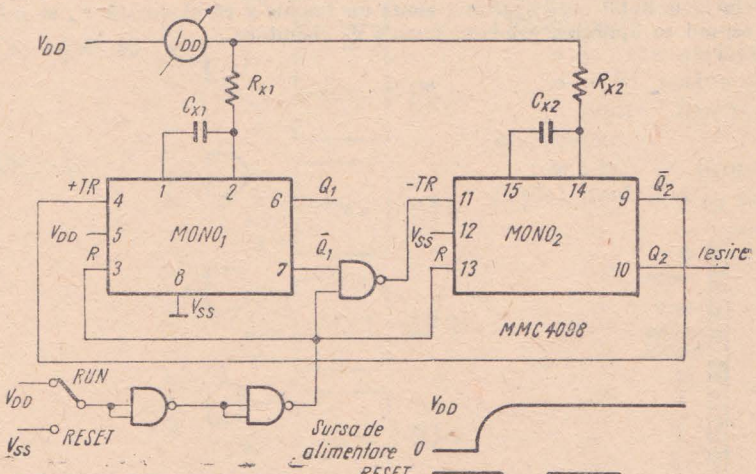
Schema logică a unui monostabil.



Caracteristica tipică capacitate externă — durata impulsului.

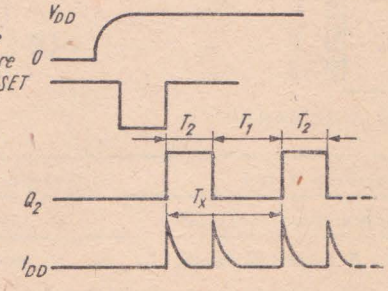


Durata minimă a impulsului de RESET funcție de capacitatea externă.



Rx	I_{DD} (mediu)	T_x ($T_1 + T_2$)	V_{DD}
10k	1mA ↓ 0,05mA	3,8 μs ↓ 0,5 s	5V
	2,5mA ↓ 0,5mA	3,2 μs ↓ 0,5s	10V
10M	5mA ↓ 1mA	3μs ↓ 0,5 s	15V

NOTĂ: Toate valorile sînt tipice
$C_x \geq 0{,}0001\,\mu F \div 0{,}1\,\mu F$



Schema unui astabil realizat cu MMC 4098.

Tabelul conexiunilor funcționale

FUNCȚIONARE	Conectarea terminalelor				Alte conexiuni			
	La V_{DD}		La V_{SS}		Impuls intrare			
	Mono (1)	Mono (2)	Mono (1)	Mono (2)	Mono (1)	Mono (2)	Mono (1)	Mono (2)
Monostabil retriggerabil (comandat pe front pozitiv)	3,5	11,13			4	12		
Monostabil neretriggerabil (comandat pe front negativ)	3	13			4	12	5,7	11,9
Monostabil netriggerabil (comandat pe front negativ)	3	13	4	12	5	11		
Monostabil neretriggerabil (comandat pe front negativ)	3	13			5	11	4,6	12,10
Secțiunea neutilizată	5	11	3,4	12,13				

NOTE: [1] Un monostabil retriggerabil are o durată a impulsului la ieșire care se prelungește cu o perioadă de timp T_x după aplicarea ultimului impuls de comutare.
[2] Un monostabil neretriggerabil emite un impuls a cărui durată T_x se măsoară începînd cu aplicarea primului impuls de comutare.

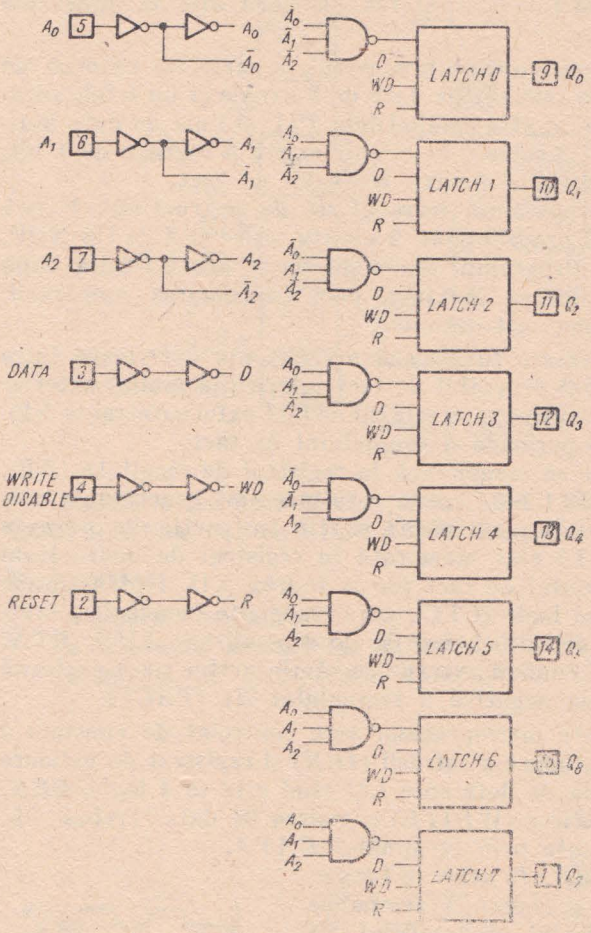
Circuitul integral MMC 4099 este un latch adresabil de 8 biți, cu intrare comună și ieșire paralel.

Data este introdusă într-un latch selectat anume (prin intrările A_0, A_1, A_2) și cînd intrarea *WRITE DISABLE* este în **0** logic. Cînd *WRITE DISABLE* este în **1** logic, intrarea datelor este inhibată ; toate cele 8 ieșiri pot fi citite în mod continuu și independent de *WRITE DISABLE* și intrările de adresă.

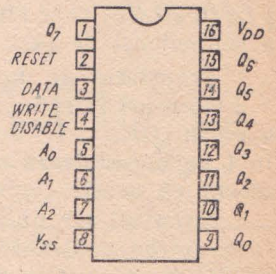
Există o intrare de *RESET* general, care aduce toți biții în **0** logic cînd *RESET* și *WRITE DISABLE* sînt în **1** logic. Cînd *RESET* este în **1** logic și *WRITE DISABLE* în **0** logic, latch-ul se comportă ca un demultiplexor 1 din 8 ; bitul adresat are ieșirea activă și urmărește intrarea de date, în timp ce restul biților (care au fost selectați) sînt ținuți în **0** logic.

Performanțe

- intrare serială de date ;
- ieșiri active paralel ;
- poate funcționa ca demultiplexor ;
- timp de propagare : 75 ns (tipic) pentru $V_{DD} = 10$ V.



Schema logică a circuitului.



Semnificația terminalelor.

Tipuri	*WD*	*R*	Latch adresat	Latch neadresat
A	0	0	Urmărește *Data*	Menține starea anterioară
B	0	1	Urmărește *Data*	Reset în starea **0**
			Demultiplexor cu 8 canale	
C	1	0	Menține starea anterioară	
D	1	1	Reset în starea **0**	Reset în starea **0**

Tabel de selectare a modului de lucru

Circuitul integrat MMC 4500 este o unitate de control industrial de 1 bit, care poate înlocui procesoare multibit sau logică cablată în aplicații de control.

Dispozitivul acceptă 16 instrucțiuni de 4 biți. Fiecare instrucțiune desemnează o operație asupra unei date care apare pe o linie bidirecțională de 1 bit. Principalul avantaj al circuitului îl constituie simplitatea utilizării sale în aplicațiile repetitive de control ale sistemelor.

O configurație minimă de sistem conține procesorul, o memorie externă de program, un contor de programe, un selector de date de 8 canale și un latch adresabil de 8 biți. Intrările de instrucțiuni sînt compatibile TTL și linia de date bidirecțională de 1 bit are capabilitate „3-state". În circuit există 3 registre de 1 bit, care sînt direct adresabile și un oscilator pentru semnalul de tact.

Cele 16 instrucțiuni de 4 biți reprezintă întregul set de instrucțiuni. Există 7 instrucțiuni logice, 5 de control al programului, 2 pentru ieșire și 2 de tip NOP. Toate operațiile se execută pe bit. Programul din memorie se poate repeta după ce contorul de program atinge valoarea maximă, prin continuarea numărării, ceea ce înseamnă revenirea la prima instrucțiune.

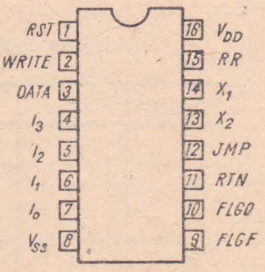
Circuitul conține un oscilator intern (utilizează o rezistență exterioară între terminalele X1 și X2), care generează semnalul de tact intern (disponibil exterior la *CLK OUT* X1). Circuitul poate fi utilizat și cu semnal de tact extern (intrarea X2). Orice instrucțiune se execută pe o perioadă a semnalului de tact.

Rezultatele operațiilor booleene se memorează în registrul de rezultate (*RR*), care este, de fapt, un acumulator de 1 bit. Aceste rezultate sînt generate în unitatea logică (*LU*), care are ca intrări data exterioară și *RR*. Instrucțiunile prezente pe intrările corespunzătoare ($I_0 \ldots I_3$) sînt memorate în registrul de instrucțiuni (*IR*) pe tranziția negativă a semnalului de tact (de la ieșirea X1). Instrucțiunile sînt decodate în unitatea de control logic (*CTL*), care transmite comenzile corespunzătoare către *LU*. În *CTL* se decodifică ieșirile de semnalizare *JMP*, *RTN*, *FLGO*, *FLGF*, care sînt semnale de control externe ce rămîn active pe o perioadă a semnalului de tact după tranziția negativă a semnalului X1 (*TACT*).

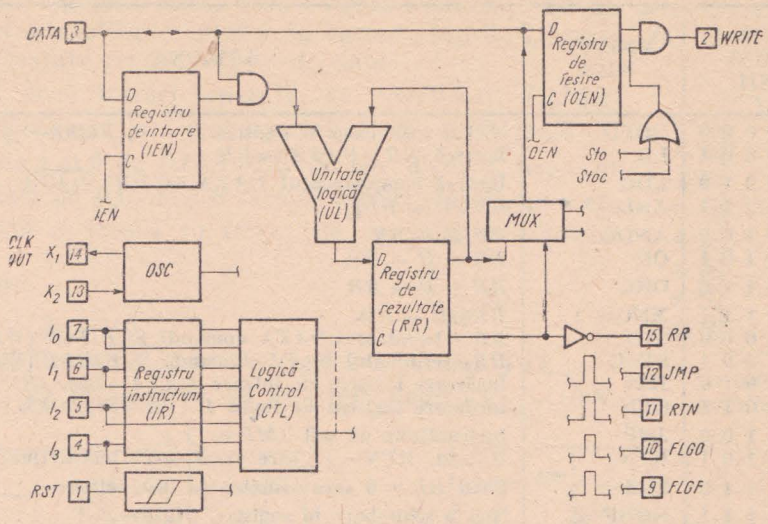
Transferul de date de la și spre microprocesor este controlat de conținutul a 2 latch-uri interne, registrul de validare a intrării (*IEN*) și registrul de validare a ieșirii (*OEN*). *IEN* validează calea de date spre *LU* cînd este în **1** logic. *OEN*, în **1** logic, validează semnalul de scriere (*WRITE*) și ieșirea de date. Trebuie observat că aceste registre pot fi setate prin terminalul *DATA*.

Circuitul are un reset general (*RST*) activ în **1** logic, care șterge conținutul registrelor și comandă semnalele *FLAG* din circuit în **0** logic. Terminalul oscilatorului X1 este ținut în **1** logic, cînd *RST* este în **1** logic. Dacă *RST* trece în **0** logic, oscilatorul pornește după un interval de timp. În plus, starea *RR* este disponibilă la ieșirea cu buffer *RR* (terminal *15*).

Circuitele de suport pentru un sistem cu MMC 4500 sînt MMC 4599 (sau MMC 4099) — latch adresabil de 8 biți, MMC 4508 — două latch-uri de 4 biți, ieșire „3-state", MMC 4051 — multiplexor cu 8 canale și MMC 4503 — buffer-e cu ieșiri „3-state".



Semnificația terminalelor.

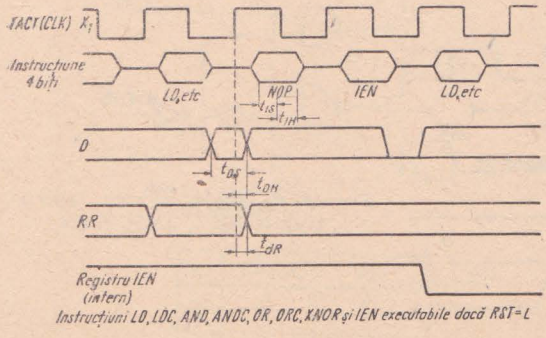


Schema bloc a circuitului.

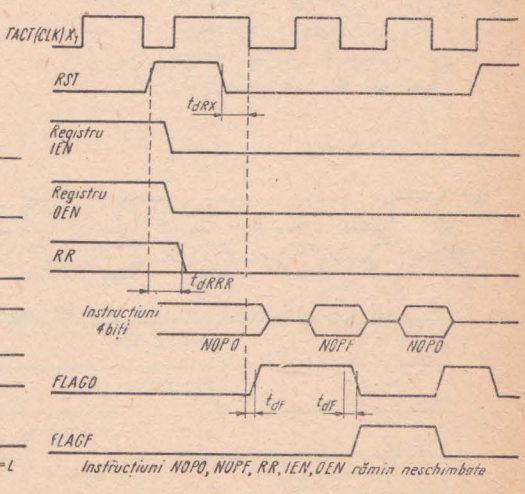
Există o variantă a circuitului MMC 4500 fabricată în tehnologie I^2L la IPRS Băneasa, sub codul βP 14500. Circuitele sînt pin la pin compatibile.

Performanțe

- operare statică ;
- frecvența semnalului de tact : 1 MHz (tipic) pentru $V_{DD} = 5$ V ;
- intrări de instrucțiuni compatibile TTL.



Forme de undă pentru instrucțiunile LD, LDC, AND, ANDC, OR, ORC, XOR și IEN.

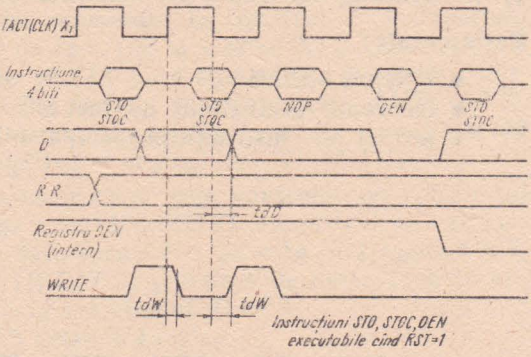


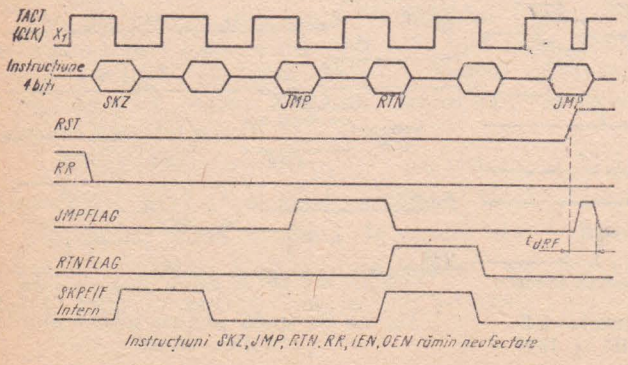
Forme de undă pentru instrucțiunile NOPO, NOPF.

CODUL INSTRUCŢIUNII		MNEMONICA	ACŢIUNE
# 0	0 0 0 0	NOPO	Nici o schimbare în registre $R \rightarrow R$, $FLGO \leftarrow \overline{\lfloor\ \rfloor}$
# 1	0 0 0 1	LD	Încarcă $RR : DATA \rightarrow RR$
# 2	0 0 1 0	LDC	Încarcă complementul $DATA$ cu $RR : \overline{DATA} \rightarrow RR$
# 3	0 0 1 1	AND	$RR_n \cdot D \rightarrow RR_{n+1}$
# 4	0 1 0 0	ANDC	$RR \cdot \overline{D} \rightarrow RR$
# 5	0 1 0 1	OR	$RR + D \rightarrow RR$
# 6	0 1 1 0	ORC	$RR + \overline{D} \rightarrow RR$
# 7	0 1 1 1	XNOR	$\overline{RR \oplus D} \rightarrow RR$
# 8	1 0 0 0	STO	$RR \rightarrow$ terminalul $DATA$, comandă $SCRIERE$ ($WRITE \leftarrow 1$)
# 9	1 0 0 1	STOC	$RR \rightarrow$ terminalul $DATA$, comandă $SCRIERE$ ($WRITE \leftarrow 1$)
# A	1 0 1 0	IEN	Încărcare registru de intrare $DATA \rightarrow Reg.\ IEN$
# B	1 0 1 1	OEN	Încărcare registru de ieşire $DATA \rightarrow Reg.\ OEN$
# C	1 1 0 0	JMP	Instrucţiune de salt $JMP \leftarrow \overline{\lfloor\ \rfloor}$
# D	1 1 0 1	RTN	Return. $RTN \leftarrow \overline{\lfloor\ \rfloor}$ sare următoarea instrucţiune
# E	1 1 1 0	SKZ	Dacă $RR = 0$ sare următoarea instrucţiune
# F	1 1 1 1	NORF	Nici o schimbare în registre, $FLGF \leftarrow \overline{\lfloor\ \rfloor}$

Setul de instrucţiuni al microprocesorului.

Forme de undă pentru instrucţiunile STO, STOC, OEN.

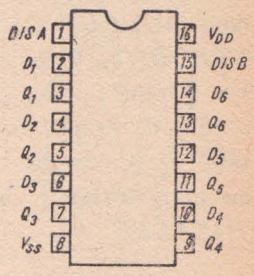




Forme de undă pentru instrucţiunile SKZ, JMP, RTN.

Circuitul integrat MMC 4503 conţine şase etaje buffer neinversoare cu ieşiri „3-state" şi capabilitate sporită în curent. Ieşirile „3-state" fac circuitul util în aplicaţii orientate pe magistrale de date.

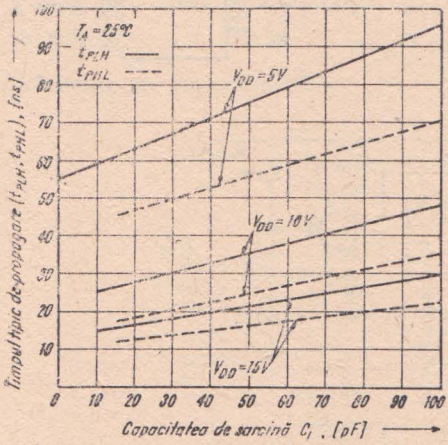
Există două intrări separate de invalidare (*DISABLE*). Buffer-ele 1...4 sînt controlate de *DISABLE A*, iar buffer-ele 5 şi 6 de *DISABLE B*. Un nivel **1** logic pe oricare intrare de *DISABLE* face ca ieşirile etajelor pe care le controlează să treacă în starea de impedanţă ridicată.



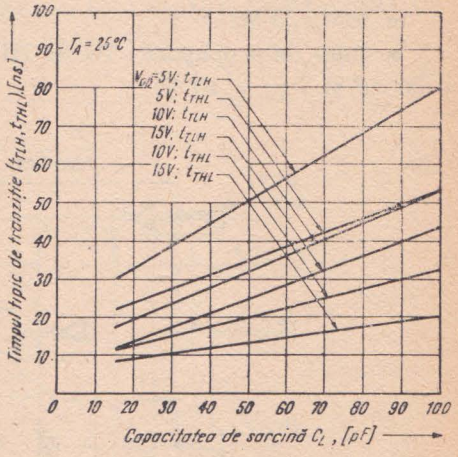
Semnificaţia terminalelor.

Performanţe

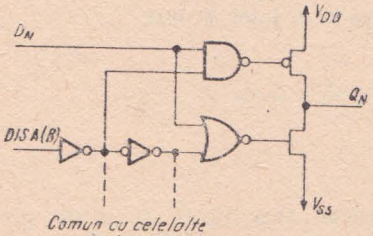
- ieşiri „3-state" ;
- capabilitate de comandă pentru 1 sarcină TTL ;
- timp de propagare : 25 ns (tipic) pentru V_{DD}=10 V.



Caracteristica tipică timp de progare — capacitate de sarcină.



Caracteristica tipică fronturi la ieşire — capacitate de sarcină.

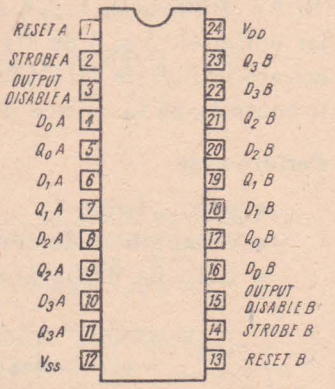


Schema logică a unui buffer şi tabela de adevăr.

D_N	DISA(B)	Q_N
0	0	0
1	0	1
X	1	Impedanţă mare

X = Indiferent

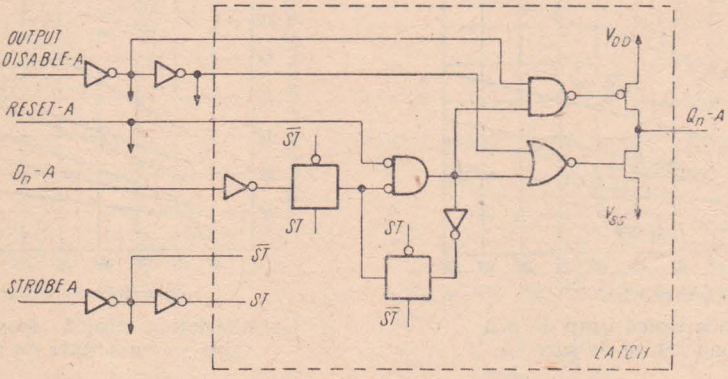
Circuitul integrat MMC 4508 conține două latch-uri de 4 biți identice, cu intrări separate de control *STROBE*, *RESET* și *OUTPUT DISABLE*. Cu intrarea *STROBE* în **1** logic, datele de pe intrările *D* apar la ieșirile *Q* corespunzătoare, dacă *OUTPUT DISABLE* este în **0** logic. Schimbînd *STROBE* în **0** logic, datele vor fi menținute în latch. Un **1** logic pe *RESET* aduce ieșirile în **0** logic, ținînd seama de starea intrării *STROBE*. Ieșirile sînt forțate în starea de impedanță ridicată (pentru aplicații cu magistrale) prin **1** logic pe intrarea *OUTPUT DISABLE*.



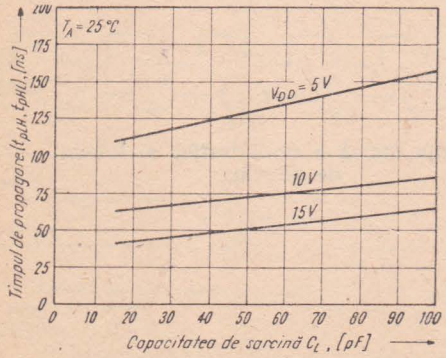
Semnificația terminalelor.

Performanțe

- 2 latch-uri de 4 biți independente;
- ieșiri „3-state";
- timp de propagare: 70 ns (tipic) pentru C_L = = 50 pF și V_{DD} = 10 V.



Schema logică corespunzătoare unui latch (1 bit).

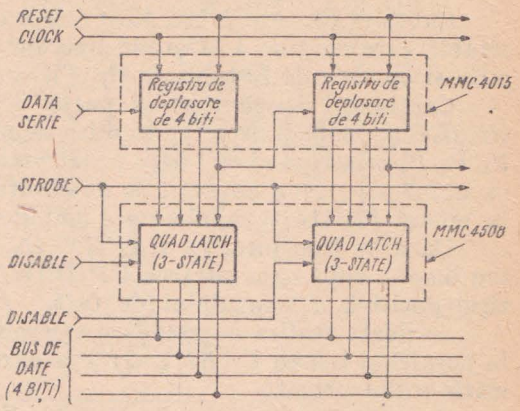


Caracteristica tipică timp de propagare — capacitate de sarcină.

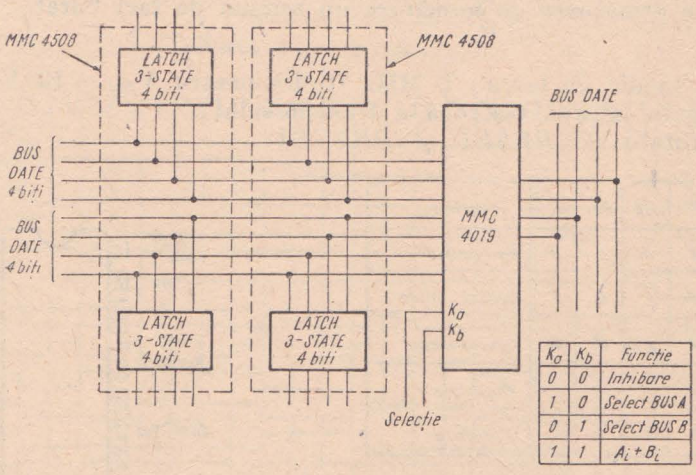
Reset	Disable	Strobe	D	Q
0	0	1	1	1
0	0	1	0	0
0	0	0	X	Latch
1	0	0	X	0
X	1	X	X	Z

X = Indiferent
Z = Stare de impedanță ridicată

Tabela de adevăr a circuitului.



Schema unui registru cuplat pe bus.



K_a	K_b	Functie
0	0	Inhibare
1	0	Select BUS A
0	1	Select BUS B
1	1	$A_i + B_i$

Schema a două bus-uri multiplexate.

Circuitul integrat MMC 4510 este un numărător BCD sincron reversibil și presetabil, care conține 4 bistabile sincrone de tip *D* (cu o structură logică care permite și operare de bistabil de tip *T*), conectate ca un numărător (v. § 1.8).

Conținutul numărătorului poate fi șters printr-un nivel **1** logic la intrarea *RESET* și poate fi presetat în orice număr binar prezent pe intrările tip *JAM* P_1, P_2, P_3, P_4 printr-un nivel **1** logic pe intrarea *PRESET ENABLE*. Circuitul MMC 4510 va număra pornind din stări de numărare non-BCD, maximum 2 impulsuri de tact în modul înainte și maximum 4 impulsuri de tact în modul înapoi.

Dacă se ține intrarea *CARRY IN* în **0** logic, numărătorul numără (înainte sau înapoi, după cum intrarea *UP/DOWN* este **1**, respectiv **0** logic), la fiecare tranziție pozitivă a semnalului de tact.

Se poate realiza o cascadare sincronă legînd toate intrările de tact (*CLOCK*) în paralel și ieșirea *CARRY OUT* a numărătorului la intrarea *CARRY IN* a numărătorului următor.

Cascadarea circuitului în configurație cu acționare succesivă a tactului (*ripple mode*) se face prin conectarea *CARRY OUT* la intrarea *CLOCK* a numărătorului următor. Dacă se modifică intrarea *UP/DOWN* cînd numărătorul a ajuns la numărul maxim, ieșirea *CARRY OUT* trebuie sincronizată cu tactul, iar intrarea *UP/DOWN* trebuie modificată cînd tactul este în **1** logic. Această metodă asigură pentru etajele următoare de numărare un semnal de tact curat.

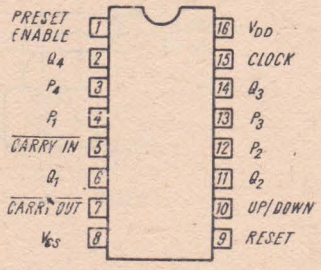
Performanțe

- viteză medie de lucru : 8 MHz (tipic) pentru $V_{DD} = 10$ V ;
- propagare internă sincronă a transportului ;
- capabilitate de *RESET* și *PRESET*.

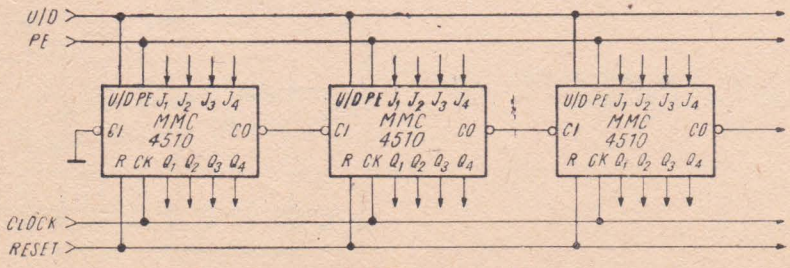
CK	$\overline{CI}$	U/D	PE	R	Acțiune
X	1	X	0	0	Nu numără
⎍	0	1	0	0	Numără înainte
⎍	0	0	0	0	Numără înapoi
X	X	X	1	0	Presetare
X	X	X	X	1	Resetare

X - Indiferent

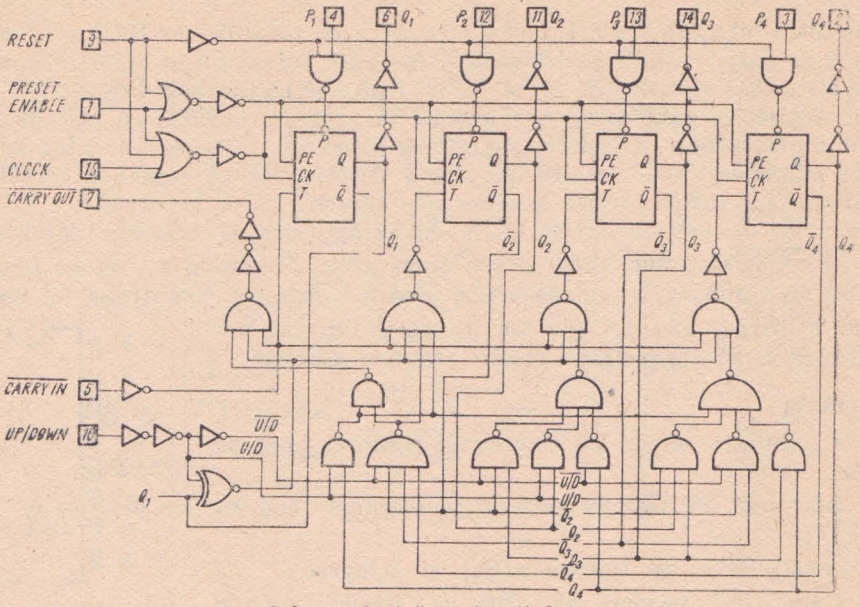
Tabela de adevăr.



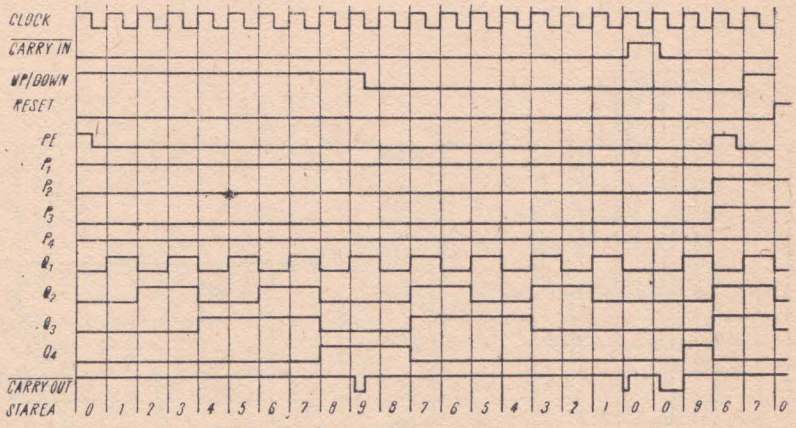
Semnificația terminalelor.



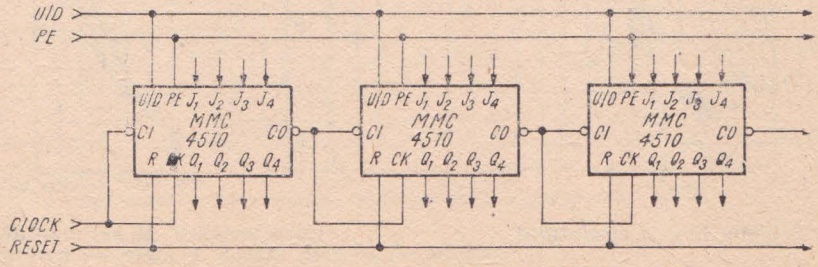
Cascadarea paralelă a numărătorului.



Schema logică a circuitului.



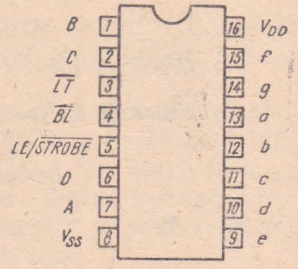
Formele de undă pentru circuit.



Cascadarea numărătorului cu transport succesiv.

Circuitul integrat MMC 4511 este un latch/decodor/driver BCD — 7 segmente construit cu logică CMOS și dispozitive de ieșire tranzistoare bipolare npn, într-o singură structură monolitică. Acest circuit combină avantajele dispozitivelor CMOS (putere statică disipată mică și imunitate la zgomot ridicată) cu cele ale tranzistoarelor bipolare npn de ieșire, capabile să furnizeze un curent de pînă la 25 mA. Această particularitate permite circuitului MMC 4511 să comande direct afișaje cu LED-uri cu catod comun sau de alte tipuri.

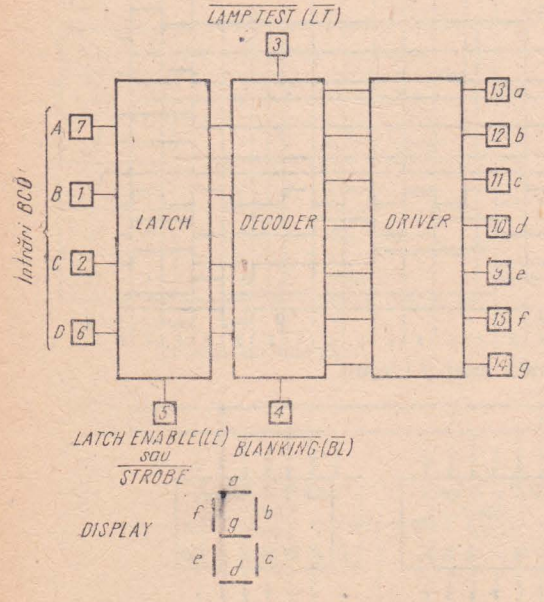
Intrările de testare afișaj (*LT*), blanking (*BL*) și validare latch/strobare (*LE*/$\overline{STROBE}$) sînt folosite pentru a testa afișajul, pentru a-l stinge sau pentru a modula intensitatea lui și, respectiv, pentru a memora sau stroba un cod BCD. Dacă se utilizează circuite externe de multiplexare, pot fi multiplexate și afișate mai multe semnale diferite.



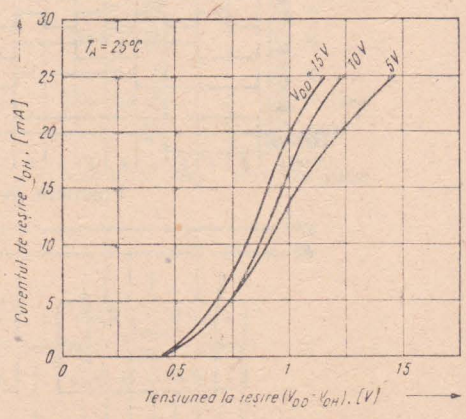
Semnificația terminalelor.

Performanțe

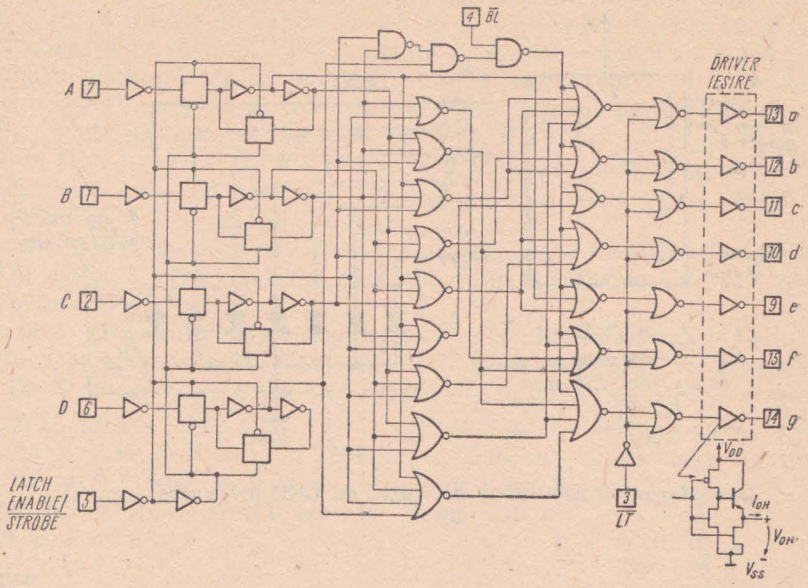
- capabilitate mare de curent la ieșire: pînă la 25 mA;
- latch-uri de intrare pentru memorarea codurilor BCD;
- capabilitate de testare afișaj și stingere;
- timp de propagare: 210 ns (tipic) pentru $V_{DD} = 10$ V.



Schema bloc a circuitului.



Caracteristica tipică curent de ieșire în starea **1** logic — nivelul tensiunii la ieșire.

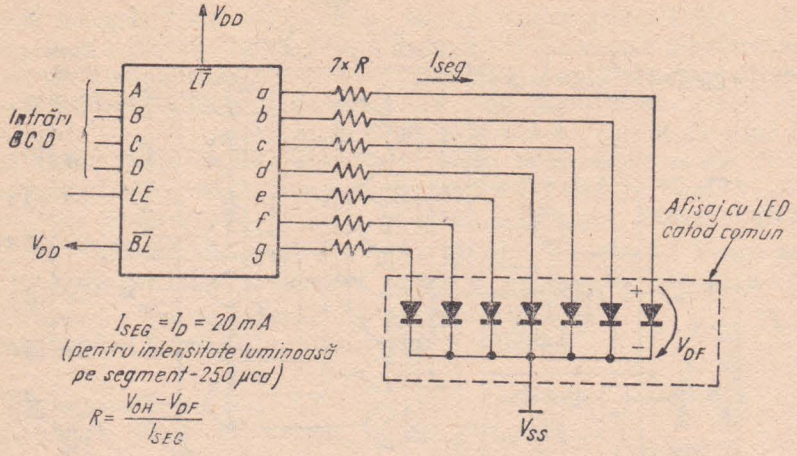


Schema logică a circuitului.

LE	$\overline{BL}$	$\overline{LT}$	D	C	B	A	a	b	c	d	e	f	g	Display
X	X	0	X	X	X	X	1	1	1	1	1	1	1	8
X	0	1	X	X	X	X	0	0	0	0	0	0	0	Blanc
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	Blanc
0	1	1	1	0	1	1	0	0	0	0	0	0	0	Blanc
0	1	1	1	1	0	0	0	0	0	0	0	0	0	Blanc
0	1	1	1	1	0	1	0	0	0	0	0	0	0	Blanc
0	1	1	1	1	1	0	0	0	0	0	0	0	0	Blanc
0	1	1	1	1	1	1	0	0	0	0	0	0	0	Blanc
1	1	1	X	X	X	X	*							*

X = Indiferent * = Depinde de ultimul cod BCD aplicat cînd LE=0

Tabela de adevăr.



Conectarea circuitului la un afișaj cu LED-uri, catod comun.

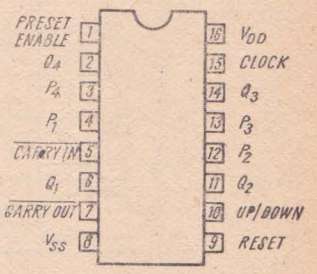
Circuitul integrat MMC 4516 este un numărător binar sincron reversibil şi presetabil care conţine 4 bistabile sincrone de tip *D* (cu o structură logică care permite şi operare de bistabil tip *T*), conectate ca un numărător (v. § 1.8).

Conţinutul numărătorului poate fi şters printr-un nivel **1** logic la intrarea *RESET* şi poate fi presetat în orice număr binar prezent pe intrările tip *JAM* P_1, P_2, P_3, P_4, printr-un nivel **1** logic pe intrarea *PRESET ENABLE*.

Dacă se ţine intrarea *CARRY IN* în **0** logic, numărătorul numără (înainte sau înapoi, după cum intrarea *UP/DOWN* este **1**, respectiv **0** logic) la fiecare tranziţie pozitivă a semnalului de tact.

Se poate realiza o cascadare sincronă legînd toate intrările de tact (*CLOCK*) în paralel şi ieşirea *CARRY OUT* a numărătorului la intrarea *CARRY IN* a numărătorului următor.

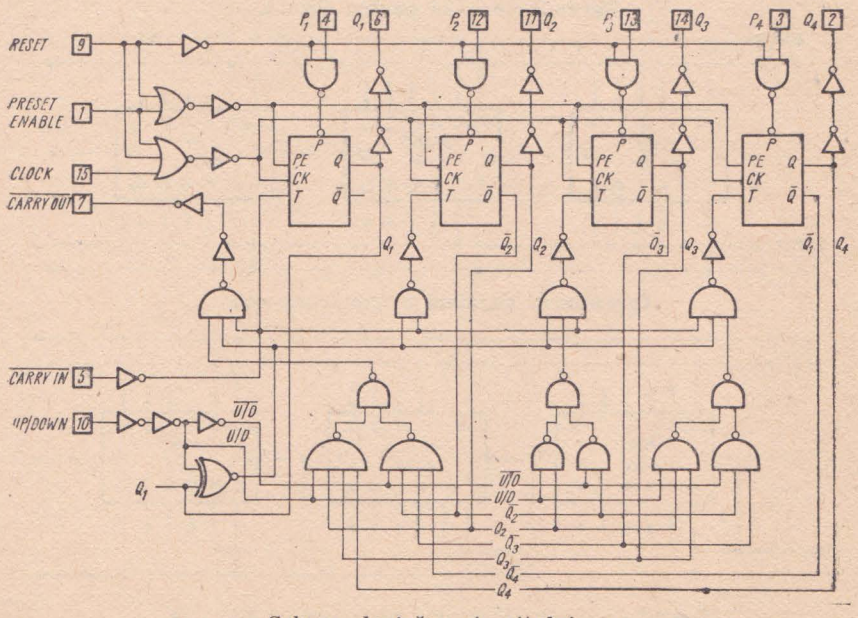
Cascadarea circuitului în configuraţie cu acţionare succesivă a tactului (*ripple mode*) se face prin conectarea *CARRY OUT* la intrarea *CLOCK* a numărătorului următor. Dacă se modifică intrarea *UP/DOWN* cînd numărătorul a ajuns la numărul maxim, ieşirea *CARRY OUT* trebuie sincronizată cu tactul, iar intrarea *UP/DOWN* trebuie modificată cînd tactul este în **1** logic. Această metodă asigură pentru etajele următoare de numărare un semnal de tact curat.



Semnificaţia terminalelor.

Performanţe

- viteză medie de lucru : 8 MHz (tipic) pentru $V_{DD} = 10$ V ;
- propagare internă sincronă a transportului ;
- capabilitate de *RESET* şi *PRESET*.

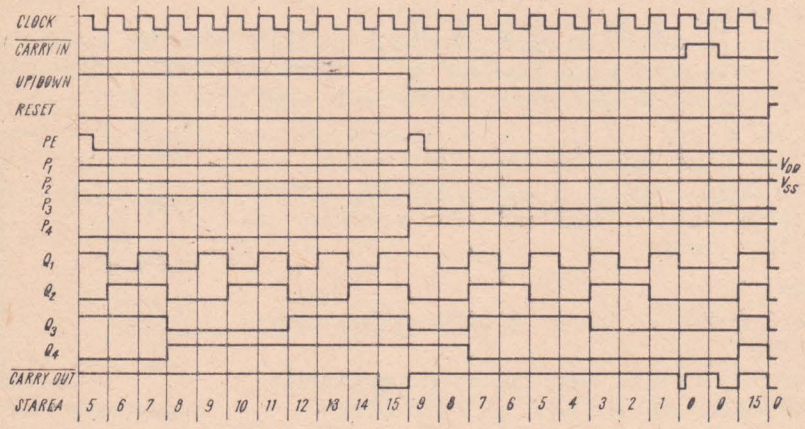


Schema logică a circuitului.

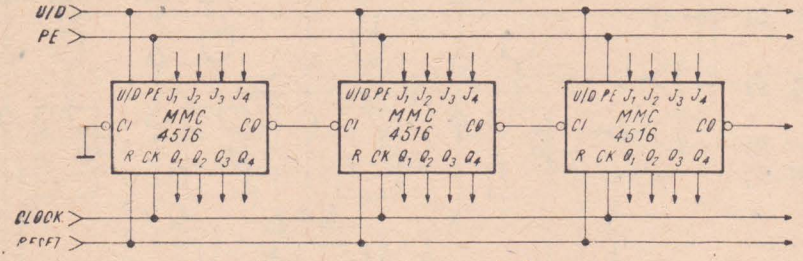
Tabela de adevăr.

CK	$\overline{CI}$	U/D	PE	R	Actiune
X	1	X	0	0	Nu numără
⎍	0	1	0	0	Numără înainte
⎎	0	0	0	0	Numără înapoi
X	X	X	1	0	Presetare
X	X	X	X	1	Resetare

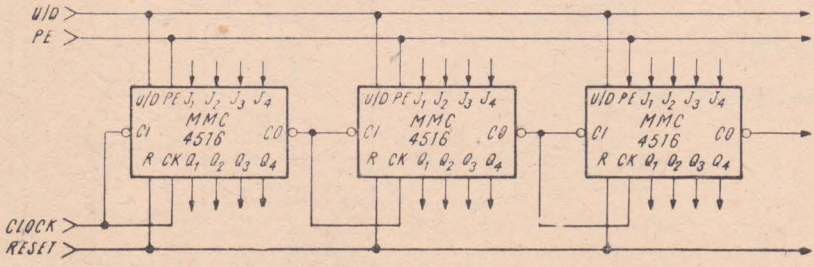
X - Indiferent



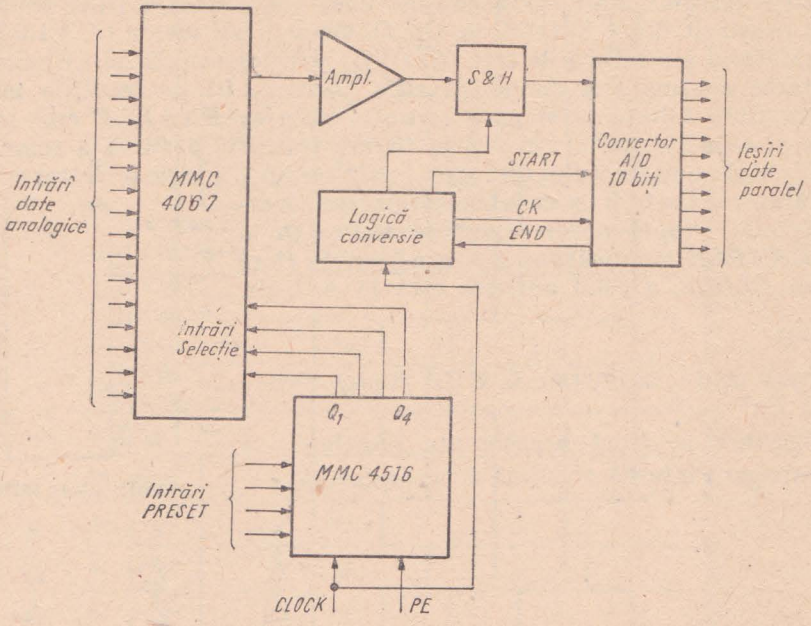
Formele de undă pentru circuit.



Cascadarea paralelă a numărătorului.



Cascadarea numărătorului cu transport succesiv.

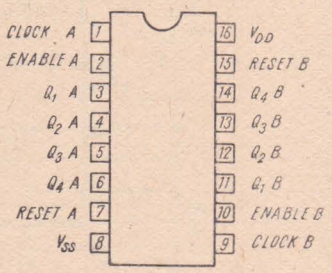


Schema unui sistem de achiziție de date de 10 biți.

Circuitul integrat MMC 4518 conține două numărătoare BCD sincrone, fiecare fiind construit din 4 bistabili de tip *D*, sincronizați intern (v. § 1.6.2).

Numărătorul are intrări de tact (*CLOCK*) și validare (*ENABLE*) care permit incrementarea conținutului fie pe tranziția pozitivă, fie pe tranziția negativă a semnalului. Cînd folosim o singură capsulă, intrarea *ENABLE* este menținută în **1** logic și numărătorul avansează la fiecare tranziție pozitivă a semnalului de tact. Conținutul numărătorului este șters printr-un nivel **1** logic pe intrarea $RESET$.

Numărătorul poate fi cascadat cu acționarea succesivă a tactului (*ripple mode*) conectînd ieșirea Q_4 la intrarea *ENABLE* a numărătorului următor, în timp ce intrarea *CLOCK* a celui anterior este în **0** logic.

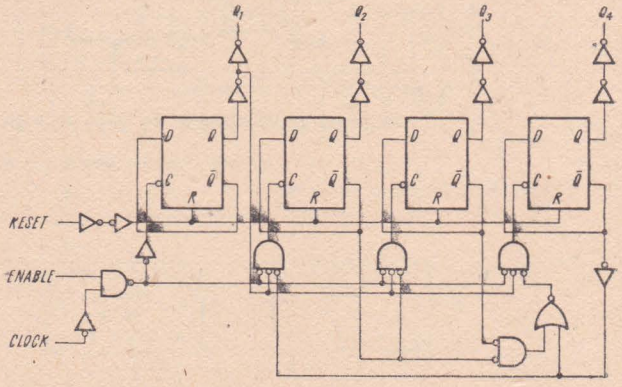


Semnificația terminalelor.

Performanțe

- viteză medie de lucru : 6 MHz (tipic) pentru $V_{DD} = 10$ V ;
- triggerare pe front negativ sau pozitiv ;
- propagare internă sincronă a transportului.

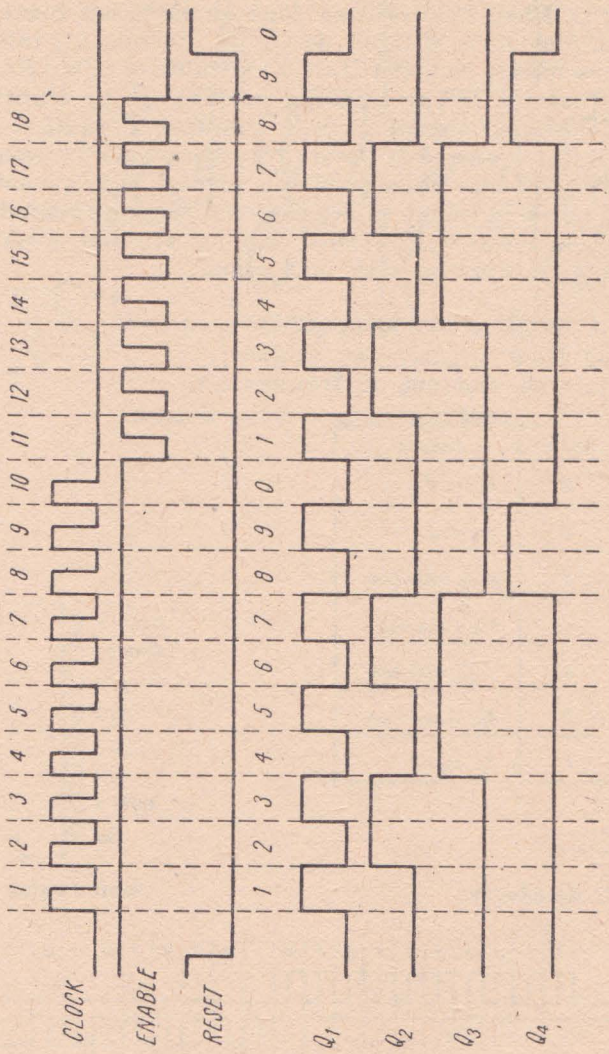
Schema logică a unui numărător.



CLOCK	ENABLE	RESET	Acțiune
↑	1	0	Numără
0	↓	0	Numără
↓	X	0	Nici o schimbare
X	↑	0	Nici o schimbare
↑	0	0	Nici o schimbare
1	↓	0	Nici o schimbare
X	X	1	$Q_1 \ldots Q_4 = 0$

Tabela de adevăr.

X - *Indiferent*
1 - *Nivel de tensiune sus*
0 - *Nivel de tensiune jos*



Formele de undă pentru o secvență de numărare.

Circuitul integrat MMC 4520 conține două numărătoare binare, sincrone, fiecare fiind construit din patru bistabili de tip *D*, sincronizați intern (v. § 1.6.2).

Numărătorul are intrări de tact (*CLOCK*) și validare (*ENABLE*), care permit incrementarea conținutului, fie pe tranziția pozitivă fie pe tranziția negativă a semnalului. Cînd folosim o singură capsulă, intrarea *ENABLE* este menținută în **1** logic și numărătorul avanseză la fiecare tranziție pozitivă a semnalului de tact. Conținutul numărătorului este șters printr-un nivel **1** logic pe intrarea *RESET*.

Numărătorul poate fi cascadat cu acționarea succesivă a tactului (*ripple mode*) conectînd ieșirea Q_4 la intrarea *ENABLE* a numărătorului următor, în timp ce intrarea *CLOCK* a celui anterior este în **0** logic.

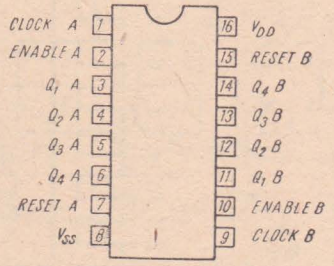
Performanțe

- viteză medie de lucru: 6 MHz (tipic) pentru $V_{DD} = 10$ V;
- triggerare pe front negativ sau pozitiv;
- propagare internă sincronă a transportului.

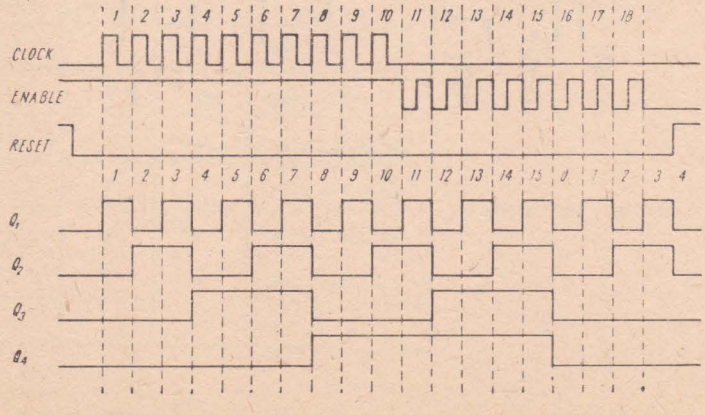
CLOCK	ENABLE	RESET	Acțiune
↑	1	0	Numără
0	↓	0	Numără
↓	X	0	Nici o schimbare
X	↑	0	Nici o schimbare
↑	0	0	Nici o schimbare
1	↓	0	Nici o schimbare
X	X	1	$Q_1 \ldots Q_4 = 0$

X - Indiferent
1 - Nivel de tensiune sus
0 - Nivel de tensiune jos

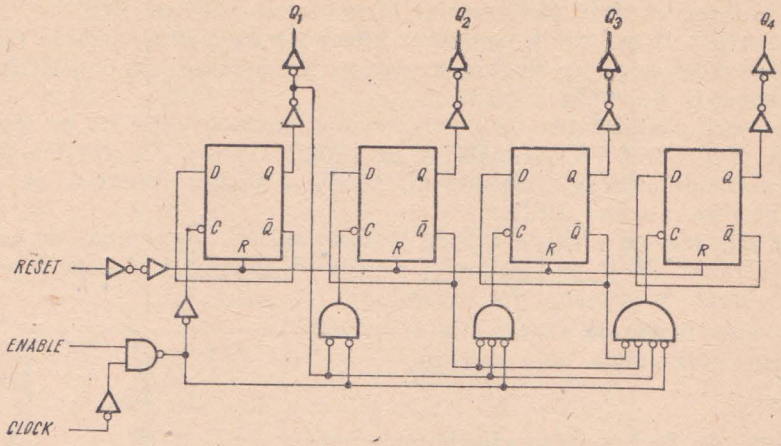
Tabela de adevăr.



Semnificația terminalelor.



Formele de undă pentru o secvență de numărare.



Schema logică a unui numărător.

Circuitul integrat MMC 4543 este un latch/decodor/driver BCD — 7 segmente, proiectat pentru a fi utilizat la comanda afișajelor cu cristale lichide (*LCD*). Circuitul conține 4 latch-uri de stocare a datelor, un decodor din cod BCD în 7 segmente și driver-e de ieșire.

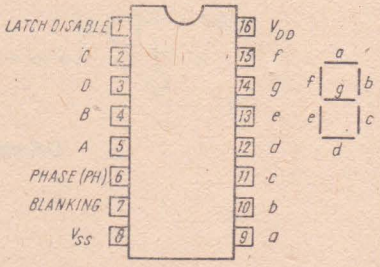
Circuitul are posibilitatea de a complementa nivele logice de pe ieșiri. Intrările *PHASE* (*Ph*), *BLANKING* (*BL*) și invalidare latch (*LD*) sînt folosite pentru a inversa tabela de adevăr a circuitului, pentru a stinge display-ul și, respectiv, pentru a memora un cod BCD.

Pentru afișajele cu cristale lichide trebuie aplicat un semnal dreptunghiular comun pe intrarea *Ph* și pe electrodul comun al afișajului. Ieșirile circuitului se conectează direct la segmentele afișajului.

Pentru alte tipuri de afișaje sînt specificate în continuare diagramele de conexiuni.

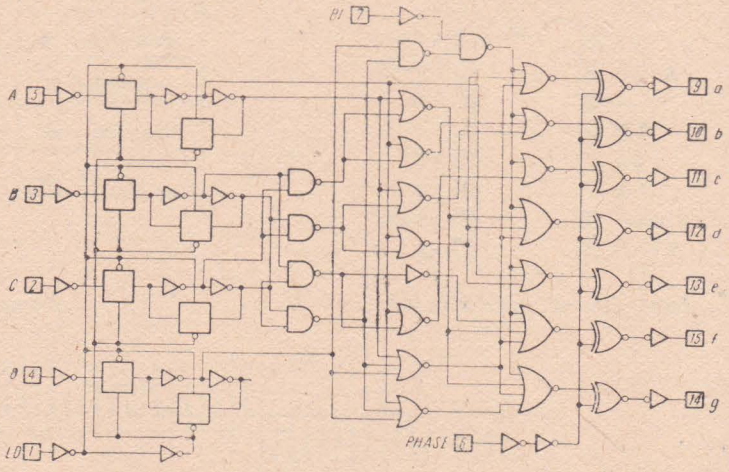
Performanțe

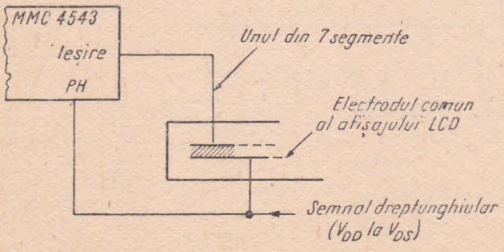
- intrare de fază pentru afișaje cu cristale lichide ;
- memorare a codului de intrare ;
- intrarea blanking pentru modularea intensității afișajului ;
- timp de propagare : 210 ns (tipic) pentru $V_{DD} = 10$ V.



Semnificația terminalelor.

Schema logică a decodorului.



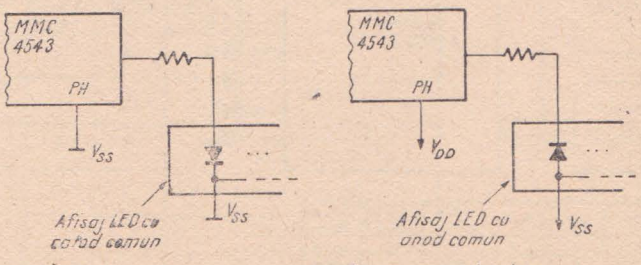


Conectarea circuitului la un afișaj LCD.

Intrări							Ieșiri							
LD	BI	PH*	D	C	B	A	a	b	c	d	e	f	g	Afișaj
X	1	0	X	X	X	X	0	0	0	0	0	0	0	Blanc
1	0	0	0	0	0	0	1	1	1	1	1	1	0	0
1	0	0	0	0	0	1	0	1	1	0	0	0	0	1
1	0	0	0	0	1	0	1	1	0	1	1	0	1	2
1	0	0	0	0	1	1	1	1	1	1	0	0	1	3
1	0	0	0	1	0	0	0	1	1	0	0	1	1	4
1	0	0	0	1	0	1	1	0	1	1	0	1	1	5
1	0	0	0	1	1	0	1	0	1	1	1	1	1	6
1	0	0	0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	0	0	1	1	1	1	1	0	1	1	9
1	0	0	1	0	1	0	0	0	0	0	0	0	0	Blanc
1	0	0	1	0	1	1	0	0	0	0	0	0	0	Blanc
1	0	0	1	1	0	0	0	0	0	0	0	0	0	Blanc
1	0	0	1	1	0	1	0	0	0	0	0	0	0	Blanc
1	0	0	1	1	1	0	0	0	0	0	0	0	0	Blanc
1	0	0	1	1	1	1	0	0	0	0	0	0	0	Blanc
0	0	0	X	X	X	X	X X							XX
●	●	1		●			Complementul combinațiilor de mai sus							Afișare ca mai sus

X - Indiferent
1 - Nivel de tensiune sus
0 - Nivel de tensiune jos
* - Pentru afișoarele cu cristal lichid, se vor aplica la terminalul PH impulsuri dreptunghiulare
Pentru afișoarele cu LED catod comun PH = 0
Pentru afișoarele cu LED anod comun PH = 1
** - Afișează corespondentul ultimului cod BCD cînd LD=1
● - Combinațiile de mai sus

Tabela de adevăr a decodorului.



NOTĂ: Pentru cîștig superior se adaugă tranzistoare bipolare (pentru $V_{DD} \leq 10V$ sau $I_{OUT} \geq 10 mA$)

Conectarea circuitului la afișaje cu LED-uri, anod comun sau catod comun.

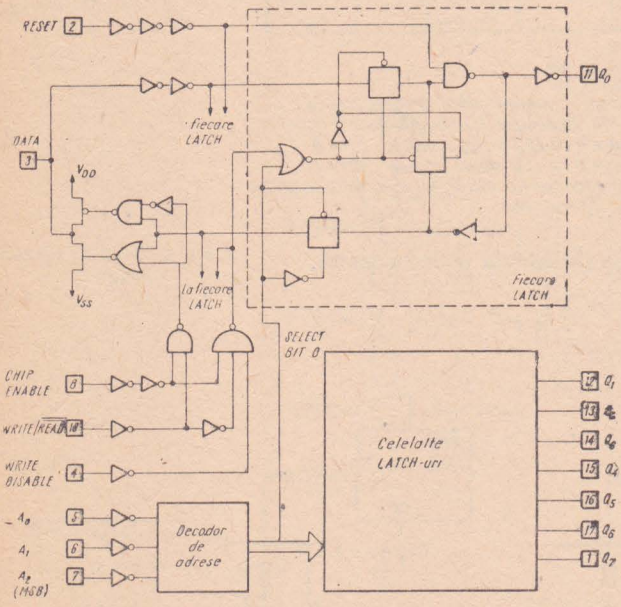
Circuitul integrat MMC 4599 este un latch adresabil de 8 biți cu facilități de conectare în sisteme cu MMC 4500.

Circuitul posedă o intrare de selectare (*CHIP ENABLE*), care permite, eventual, extinderea adresei (A_0, A_1, A_2), ieșiri cu buffer ($Q_0 \ldots Q_7$) și o intrare de *RESET* general, care aduce toți biții în **0** logic, cînd *RESET* este în **1** logic.

Circuitul are o linie de date (*DATA*) bidirecțională, care poate trece în „3-state", în funcție de starea intrărilor de control (*CHIP ENABLE*, *WRITE DISABLE*, *WRITE*/$\overline{READ}$). Această linie bidirecțională permite conectarea pe o magistrală (bus) comună de date de 1 bit. Astfel, datele din latch pot fi citite atît la ieșiri ($Q_0 \ldots Q_7$) cît și la terminalul *DATA*, după cum comandă intrările de control. Intrarea *CE* este activă în **1** logic. Înscrierea datelor prin intrarea *DATA* se realizează cînd $W/\bar{R}$ este în **1** logic și *WD* în **0** logic. $W/\bar{R}$ în **0** logic permite doar citirea conținutului latch-ului (la ieșirile Q și *DATA*). Aducerea liniei *DATA* în starea de impedanță ridicată se realizează prin $WD = 1$ logic și $W/\bar{R} = 1$ logic.

Performanțe

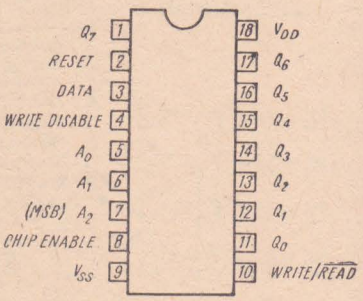
- ieșiri paralel cu buffer ;
- linie intrare/ieșire bidirecțională „3-state" ;
- intrări control *CHIP ENABLE*, *WRITE*/$\overline{READ}$, *WRITE DISABLE* ;
- timp de propagare : 75 ns (tipic) pentru $V_{DD} = 10$ V.



CHIP ENABLE	W/$\bar{R}$	WD	RESET	LATCH adresat	Celelalte LATCH-uri	Terminalul DATA
0	X	X	0	*	*	Z
1	1	0	0	DATA	*	Intrare
1	1	1	0	*	*	Z
1	0	X	0	*	*	Q_n
X	X	X	1	0	0	Z/0

X = Indiferent
* = Nici o schimbare
Z = Stare de impedanță ridicată
Q_n = Starea latch-ului adresat

Schema logică și tabela de adevăr a circuitului.



Semnificația terminalelor.

Circuitul integrat MMC 40104 este un registru universal avînd intrări paralel, ieșiri paralel, intrări serie *SHIFT LEFT IN* și *SHIFT RIGHT IN* și o intrare de validare ieșire (*OUTPUT ENABLE*), care asigură ieșiri „3-state" în scopul utilizării dispozitivului în sistemele organizate pe magistrală.

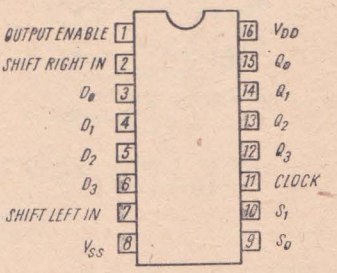
În modul de încărcare paralel, datele sînt încărcate în bistabilele asociate și apar la ieșiri după tranziția pozitivă a semnalului de tact. Pe durata încărcării, intrările serie de date sînt inhibate. Deplasarea dreapta și deplasarea stînga are loc sincron cu frontul pozitiv al semnalului de tact (aplicat la intrarea *CLOCK*), date serie fiind introduse pe intrările *SHIFT RIGHT IN* și, respectiv, *SHIFT LEFT IN*.

Ștergerea registrului este făcută prin punerea în **0** logic a ambelor intrări de control al modului de lucru (*SELECT* 1 și *SELECT* 2) și, aplicînd semnalul de tact. Intrările de control ale modului de lucru se pot modifica doar pe nivelul de **0** logic al semnalului de tact.

Cînd intrarea de *OUTPUT ENABLE* este în **0** logic, toate ieșirile trec în starea de impedanță ridicată.

Performanțe

- viteză medie de operare: 9 MHz (tipic) pentru $V_{DD} = 10$ V;
- operare sincronă paralel sau serial;
- ieșiri „3-state";
- operare statică.

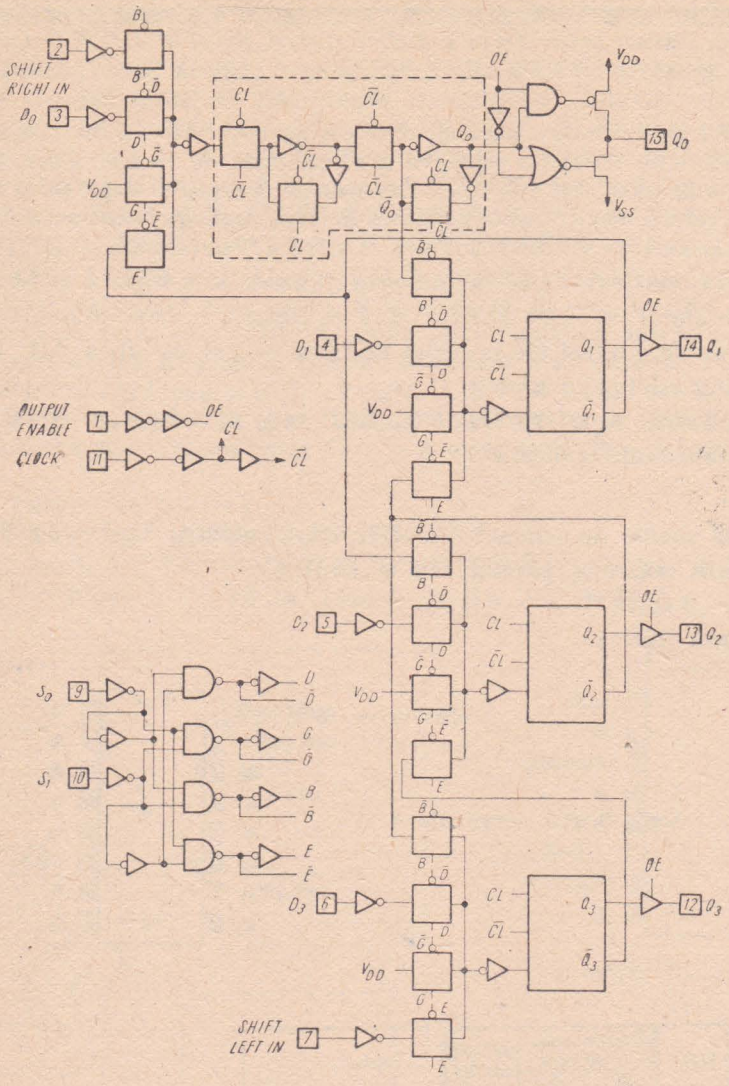


Semnificația terminalelor.

CLOCK	Selecția modului de lucru		OUTPUT ENABLE	Acțiune
	S_0	S_1		
⎍⎍	0	0	1	RESET
⎍⎍	1	0	1	Deplasare dreapta de la Q_0 la Q_3
⎍⎍	0	1	1	Deplasare stînga de la Q_3 la Q_0
⎍⎍	1	1	1	Încărcare paralel
X	X	X	0	Operările sînt ca mai sus, dar ieșirile au starea de impedanță mare

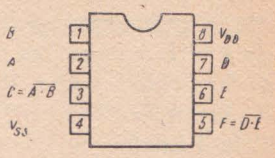
X = Indiferent

Tabela de adevăr.



Schema logică a circuitului.

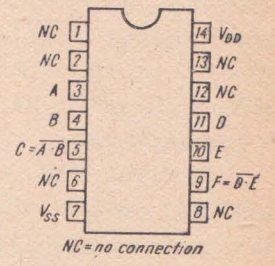
Circuitul integrat MMC 40107 conține două etaje buffer SI-NU (NAND) cu 2 intrări fiecare și tranzistoare MOS cu canal *n* cu drenă în gol (*open-drain*) la ieșire. Cu acest dispozitiv se poate realiza funcția SAU-cablat (*wired-OR*) și se pot absorbi curenți mari prin ieșire (136 mA tipic pentru $V_{DD} = 10$ V și $V_{DS} = 1$ V).



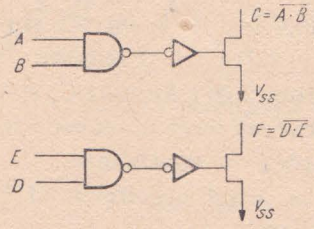
Semnificația terminalelor.

Performanțe

- capabilitate de curent de 32 ori mai mare decît a circuitelor CMOS din seria 4000: 136 mA (tipic) pentru $V_{DD} = 10$ V și $V_{DS} = 1$ V;
- timp de propagare: 60 ns (tipic) pentru $V_{DD} = 10$ V și $R_L = 120\ \Omega$.



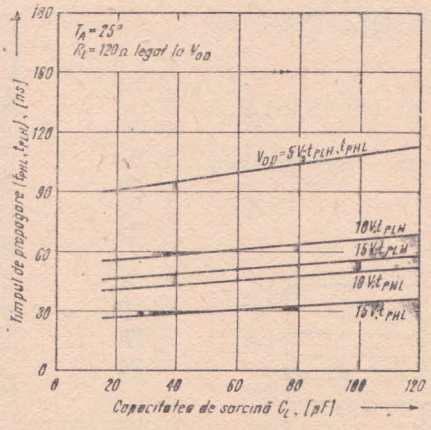
Semnificația terminalelor.



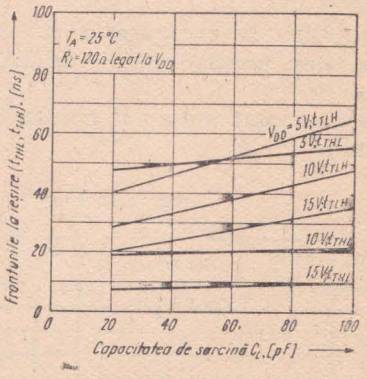
A	B	C	
0	0	1*	Z°
1	0	1*	Z°
0	1	1*	Z°
1	1	0	

* Cu rezistor extern legat la V_{DD}
° fără rezistență externă (de sarcină)

Schema logică și tabela de adevăr pentru circuit.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturi la ieșire-capacitate de sarcină.

MMC 40181 UNITATE LOGICĂ ARITMETICĂ DE 4 BIȚI

Circuitul integrat MMC 40181 este o unitate logică aritmetică (*ALU*) paralelă de 4 biți, capabilă să efectueze 16 operații aritmetice binare între 2 cuvinte de 4 biți și 16 funcții logice între două variabile booleene. Intrarea de control a modului de lucru M selectează operațiile logice ($M = 1$ logic) și aritmetice ($M = 0$ logic). Cele 4 intrări de selecție (S_0, S_1, S_2 și S_3) selectează funcțiile logice sau aritmetice dorite, care includ SI (AND), SAU (OR), SI-NU (NAND), SAU-NU (NOR), SAU EXCLUSIV (XOR) și SAU-NU EXCLUSIV (XNOR) în modul logic și sumă, diferență, decrementare, deplasare stînga și transfer direct în modul aritmetic, corespunzător cu tabela de adevăr a circuitului. Operarea circuitului MMC 40181 poate fi interpretată cu datele de pe intrările de operanzi A și B și ieșirile funcțiilor F, fie active pe 1 logic, fie active pe 0 logic, prin utilizarea tabelei de adevăr corespunzătoare.

Circuitul MMC 40181 conține logica necesară pentru operare cu transport anticipat (*look-ahead-carry*), pentru generare rapidă a transportului folosind ieșirile de generare de transport G și propagare transport P pentru cei 4 biți ai lui MMC 40181. Există o ieșire de transport succesiv C_{n+4} pentru utilizare în sisteme în care viteza nu este importantă.

În circuitul MMC 40181 este inclusă și o ieșire de comparator $A = B$, care ia valoarea 1 logic cînd cele 2 cuvinte de 4 biți de la intrare sînt egale și circuitul este în modul de lucru scădere (diferență) între cele 2 numere. În plus, informația relativă de mărime se poate obține din intrarea de transport C_n și ieșirea de transport succesiv C_{n+4}, punînd circuitul să efectueze scăderea și folosind o decodare externă, conform tabelului corespunzător, prezentat în continuare.

Circuitul MMC 40181 este similar cu tipul de circuit 74181 din seria TTL.

Performanțe

- generează 16 funcții logice pentru 2 variabile booleene;
- generează 16 operații aritmetice pentru 2 cuvinte de 4 biți;
- ieșire de comparator $A = B$;
- timp necesar pentru adunare: 200 ns (tipic) pentru $V_{DD} = 10$ V;
- transport anticipat pentru operare de viteză asupra cuvintelor lungi.

Compararea cuvintelor

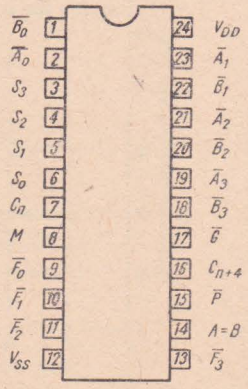
Datele active sus

Intrare C_n	Ieșire C_{n+4}	Comparare
1	1	$A \leq B$
0	1	$A < B$
1	0	$A > B$
0	0	$A \geq B$

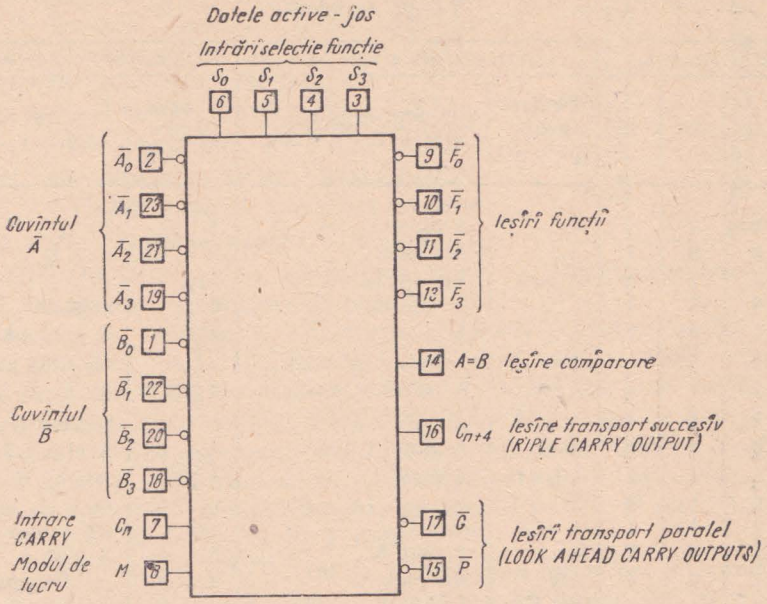
Datele active jos

Intrare C_n	Ieșire C_{n+4}	Comparare
0	0	$A \leq B$
1	0	$A < B$
0	1	$A > B$
1	1	$A \geq B$

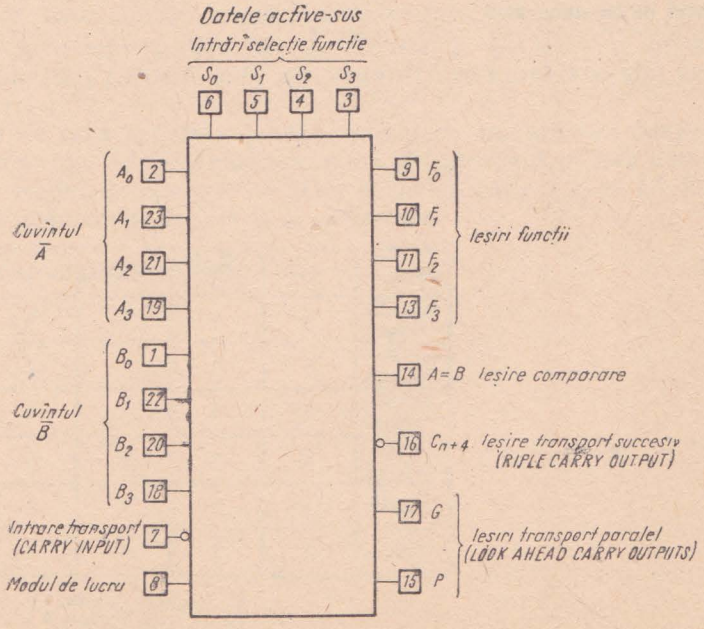
Tabel pentru compararea cuvintelor de 4 biți.



Semnificația terminalelor.



Schema funcțională (date active **JOS**).



Schema funcțională (date active **SUS**).

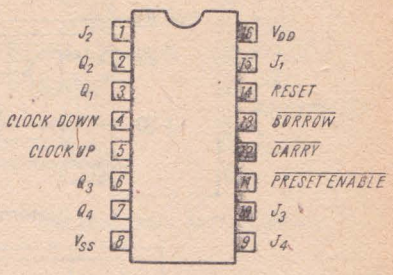
Tabela de adevăr

Selecția funcțiilor				Intrări/ieșiri active **JOS**		Intrări/ieșiri active **SUS**	
*S*3	*S*2	*S*1	*S*0	Funcții logice (M = **H**)	Funcții aritmetice (M = **L**, C_n = **L**)	Funcții logice (M = **H**)	Funcții aritmetice (M = **L**, C_n = **H**)
0	0	0	0	$\overline{A}$	A minus 1	$\overline{A}$	A
0	0	0	1	$\overline{AB}$	AB minus 1	$\overline{A+B}$	A + B
0	0	1	0	$\overline{A}+B$	$\overline{AB}$ minus 1	$\overline{A}B$	A + $\overline{B}$
0	0	1	1	1	minus 1	0	minus 1
0	1	0	0	$\overline{A+B}$	A plus (A + $\overline{B}$)	$\overline{AB}$	A plus A$\overline{B}$
0	1	0	1	$\overline{B}$	AB plus (A + $\overline{B}$)	$\overline{B}$	(A + B) plus A$\overline{B}$
0	1	1	0	$\overline{A \oplus B}$	A minus B minus 1	A$\oplus$B	A minus B minus 1
0	1	1	1	A + $\overline{B}$	A + $\overline{B}$	A$\overline{B}$	A$\overline{B}$ minus 1
1	0	0	0	$\overline{AB}$	A plus (A + B)	$\overline{A}+B$	A plus AB
1	0	0	1	A$\oplus$B	A plus B	$\overline{A \oplus B}$	A plus B
1	0	1	0	B	A$\overline{B}$ plus (A + B)	B	(A + $\overline{B}$) plus AB
1	0	1	1	A + B	A + B	AB	AB minus 1
1	1	0	0	0	A plus A	1	A plus A
1	1	0	1	A$\overline{B}$	AB plus A	A + $\overline{B}$	(A + B) plus A
1	1	1	0	AB	A$\overline{B}$ plus A	A + B	(A + $\overline{B}$) plus A
1	1	1	1	A	A	A	A minus 1

1 = nivel de tensiune **SUS**
0 = nivel de tensiune **JOS**

Circuitul integrat MMC 40192 este un numărător BCD sincron reversibil și presetabil și conține 4 bistabili sincroni pe tact de tip *D*, legați în configurație de numărător (v. § 1.8).

Intrările sînt : 4 intrări paralele tip *JAM* (J_1, J_2, J_3, J_4), o intrare de control $\overline{PRESET\ ENABLE}$, intrări individuale *CLOCK UP* și *CLOCK DOWN* și un *RESET* general. Circuitul mai are 4 ieșiri *Q* cu buffer, ieșiri transport ($\overline{CARRY}$) și împrumut ($\overline{BORROW}$) pentru cascadarea numărătorului. Ștergerea numărătorului (toate ieșirile în **0** logic) se realizează printr-un **1** logic pe intrarea *RESET*, asincron față de semnalul de tact. Fiecare ieșire este programabilă asincron față de semnalul de tact, corespunzător cu nivelul logic pe intrarea *JAM* a fiecărui bistabil, cînd semnalul de control $\overline{PRESET\ ENABLE}$ este în **0** logic.



Semnificația terminalelor.

Numărătorul își incrementează conținutul (numără înainte) pe frontul pozitiv al semnalului *CLOCK UP*, cînd *CLOCK DOWN* este în **1** logic. Numărătorul își decrementează conținutul (numără înapoi) pe frontul pozitiv al semnalului *CLOCK DOWN*, cînd *CLOCK UP* este în **1** logic.

Ieșirile $\overline{CARRY}$ și $\overline{BORROW}$ sînt în **1** logic cînd numărătorul numără înainte sau înapoi. Cînd numărătorul a atins numărul maxim numărabil în modul numărare înainte, după jumătate din perioada semnalului de tact, $\overline{CARRY}$ trece în **0** logic. Cînd numărătorul a atins numărul minim numărare în modul numărare înapoi, după jumătate din perioada semnalului de tact, $\overline{BORROW}$ trece în **0** logic.

Cascadarea mai multor numărătoare se face simplu, fără circuite externe suplimentare, prin legarea ieșirilor $\overline{BORROW}$ și $\overline{CARRY}$ la intrările *CLOCK DOWN* și, respectiv, *CLOCK UP*, corespunzătoare numărătorului următor.

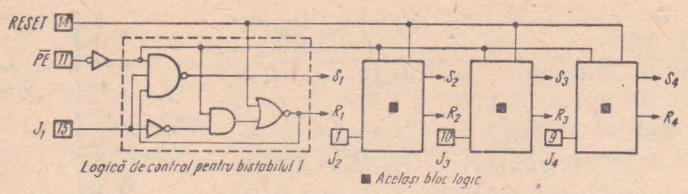
Performanțe

- intrări de tact separate pentru numărare înainte sau înapoi ;
- ieșiri sincrone întîrziate de transport și împrumut pentru cascadare ;
- viteză medie de operare : 8 MHz (tipic) pentru $V_{DD} = 10$ V ;
- intrări asincrone de reset și presetare.

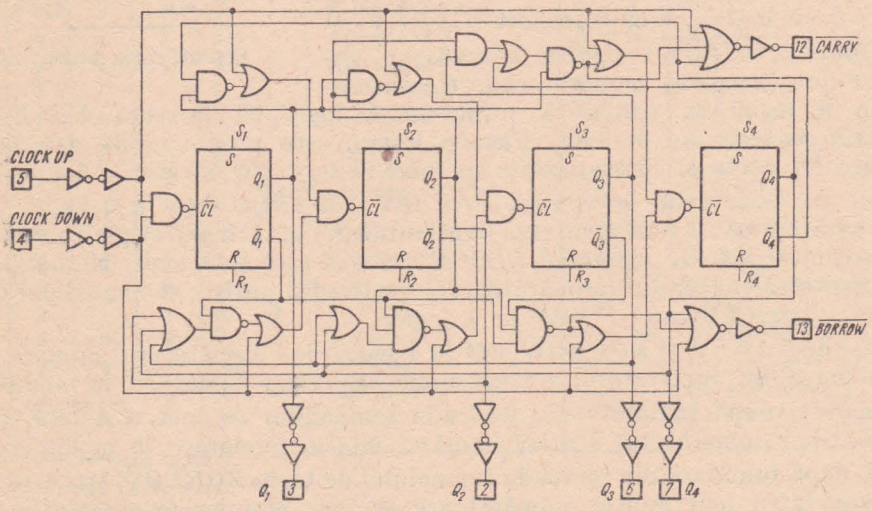
CLOCK UP	CLOCK DOWN	$\overline{PRESET\ ENABLE}$	RESET	Acțiune
↑	1	1	0	Numără înainte
↓	1	1	0	Nu numără
1	↑	1	0	Numără înapoi
1	↓	1	0	Nu numără
X	X	0	0	PRESET
X	X	X	1	RESET

Tabela de adevăr.

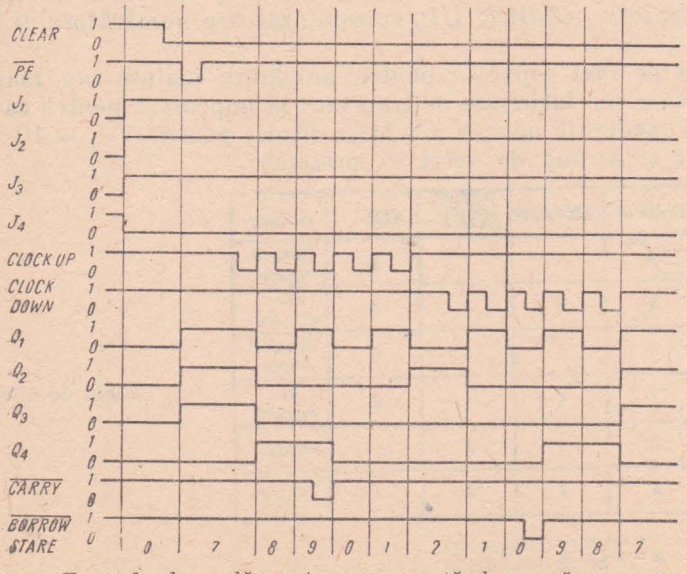
1 = Nivel de tensiune sus
0 = Nivel de tensiune jos
X = Indiferent



Schema logică a blocurilor de control.

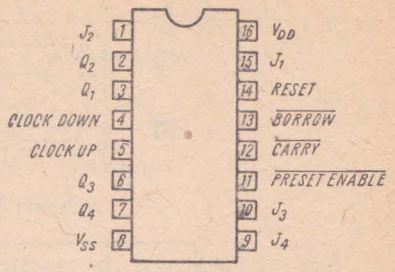


Schema logică a circuitului.



Formele de undă pentru o secvență de numărare

Circuitul integrat MMC 40193 este un numărător binar sincron reversibil și presetabil și conține 4 bistabili sincroni pe tact tip *D* legați în configurație de numărător (v. § 1.8).



Semnificația terminalelor.

Intrările sînt: 4 intrări paralele tip *JAM* (J_1, J_2, J_3, J_4), o intrare de control $\overline{PRESET\ ENABLE}$, intrări individuale *CLOCK UP* și *CLOCK DOWN* și un *RESET* general. Circuitul mai are 4 ieșiri *Q* cu buffer, ieșiri transport ($\overline{CARRY}$) și împrumut ($\overline{BORROW}$) pentru cascadarea numărătorului. Ștergerea numărătorului (toate ieșirile în **0** logic) se realizează printr-un **1** logic pe intrarea *RESET* asincron față de semnalul de tact. Fiecare ieșire este programabilă asincron față de semnalul de tact, corespunzător cu nivelul logic de pe intrarea *JAM* a fiecărui bistabil, cînd semnalul de control $\overline{PRESET\ ENABLE}$ este în **0** logic.

Numărătorul își incrementează conținutul (numără înainte) pe frontul pozitiv al semnalului *CLOCK UP*, cînd *CLOCK DOWN* este în **1** logic. Numărătorul își decrementează conținutul (numără înapoi) pe frontul pozitiv al semnalului *CLOCK DOWN*, cînd *CLOCK UP* este în **1** logic.

Ieșirile $\overline{CARRY}$ și $\overline{BORROW}$ sînt în **1** logic cînd numărătorul numără înainte sau înapoi. Cînd numărătorul a atins numărul maxim numărabil în modul numărare înainte, după jumătate din perioada semnalului de tact, *CARRY* trece în **0** logic. Cînd numărătorul a atins numărul minim numărabil în modul numărare înapoi, după jumătate din perioada semnalului de tact $\overline{BORROW}$, trece în **0** logic.

Cascadarea mai multor numărătoare se face simplu, fără circuite externe suplimentare, prin legarea ieșirilor $\overline{BORROW}$ și $\overline{CARRY}$ la intrările *CLOCK DOWN* și, respectiv, *CLOCK UP*, corespunzătoare numărătorului următor.

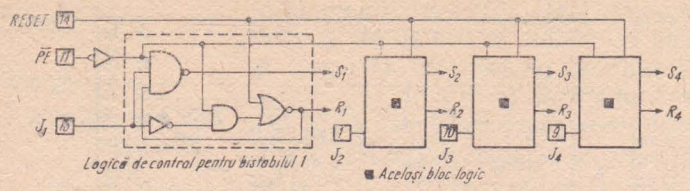
CLOCK UP	CLOCK DOWN	$\overline{PRESET\ ENABLE}$	RESET	Acțiune
↑	1	1	0	Numără înainte
↓	1	1	0	Nu numără
1	↑	1	0	Numără înapoi
1	↓	1	0	Nu numără
X	X	0	0	PRESET
X	X	X	1	RESET

1 - Nivel de tensiune sus
0 - Nivel de tensiune jos
X - Indiferent

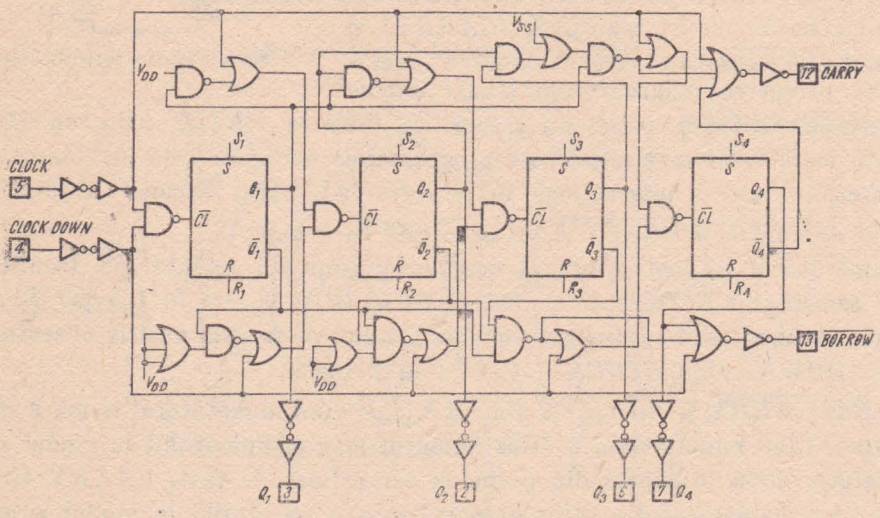
Tabela de adevăr.

Performanțe

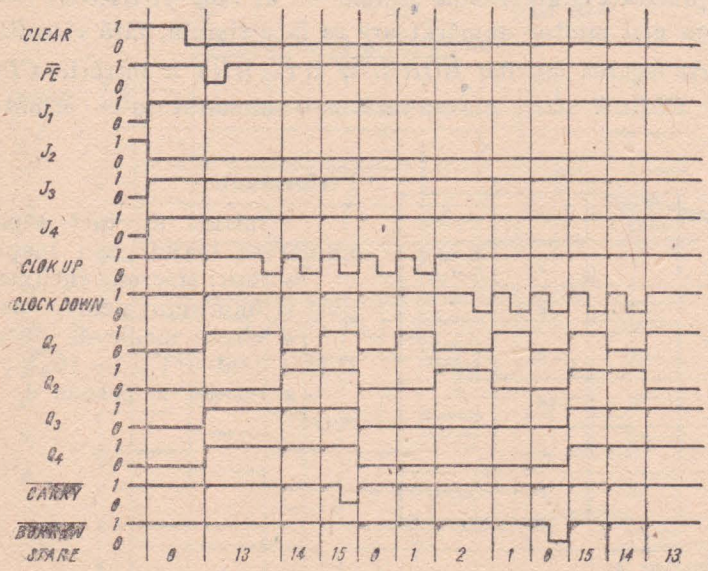
- intrări de tact separate pentru numărare înainte sau înapoi;
- ieșiri sincrone întîrziate de transport și împrumut pentru cascadare;
- viteză medie de operare: 8 MHz (tipic) pentru $V_{DD} = 10$ V;
- intrări asincrone de reset și presetare.



Schema logică a blocurilor de control.



Schema logică a circuitului.



Formele de undă pentru o secvență de numărare.

4. Realizarea de circuite logice combinaționale

În acest capitol se dau cîteva exemple de realizare a unor funcții logice cu porțile disponibile în seria MMC 4XXX [1], aplicații tipice pentru aria de tranzistoare MMC 4007, pentru poarta de putere MMC 40107 și pentru poarta complexă SI-SAU (AND-OR) MMC 4019.

4.1. Implementarea funcțiilor logice de bază [2]

În secțiunea de față sînt prezentate cîteva implementări — dintr-o varietate extrem de mare — ale unor funcții logice simple. Se folosesc fie numai porți CMOS, fie diode și porți CMOS. Utilizarea exclusivă a porților CMOS este recomandabilă acolo unde puterea consumată trebuie să fie cît mai mică. Acolo unde, din considerente de disponibilitate sau din necesități de spațiu, se folosesc și circuite cu diode, trebuie să se țină seama de micșorarea imunității la zgomot (cu valoarea tensiunii de deschidere a diodei $V_D \simeq 0{,}6$ V), ca și de creșterea puterii consumate.

În figurile 4.1÷4.4 se arată realizarea, respectiv, a funcțiilor SAU(OR), SAU-NU (NOR), SI(AND), SI-NU(NAND) cu 2÷n intrări, pentru semnalele de intrare active în starea **SUS**. Implementarea se face fie cu porți CMOS, fie cu diode. Pentru cazul cînd semnalele de intrare sînt active în starea **JOS**, se dau implementările cu porți CMOS.

Pentru circuitele cu diode, valoarea rezistenței se alege din considerente de viteză, ținîndu-se seama de valoarea capacității din nodul respectiv.

La utilizarea circuitelor cu mai mult de 8 intrări (fig. 4.1, *j*, fig. 4.3, *i*) trebuie să se ia în considerare întîrzierile diferite, introduse de porțile conectate în cascadă.

În figura 4.5 sînt date implementări economice cu porți SAU-EXCLUSIV (XOR) pentru cîteva funcții logice.

4.2. Aplicații ale circuitului MMC 4007 [3]

Circuitul MMC 4007 reprezintă o arie de 6 tranzistoare MOS *enhancement* (3 cu canal *n*, 3 cu canal *p*). Porțile sînt conectate cîte două (un tranzistor cu canal *n*, un tranzistor cu canal *p*). Intrările sînt protejate la descărcări electrostatice.

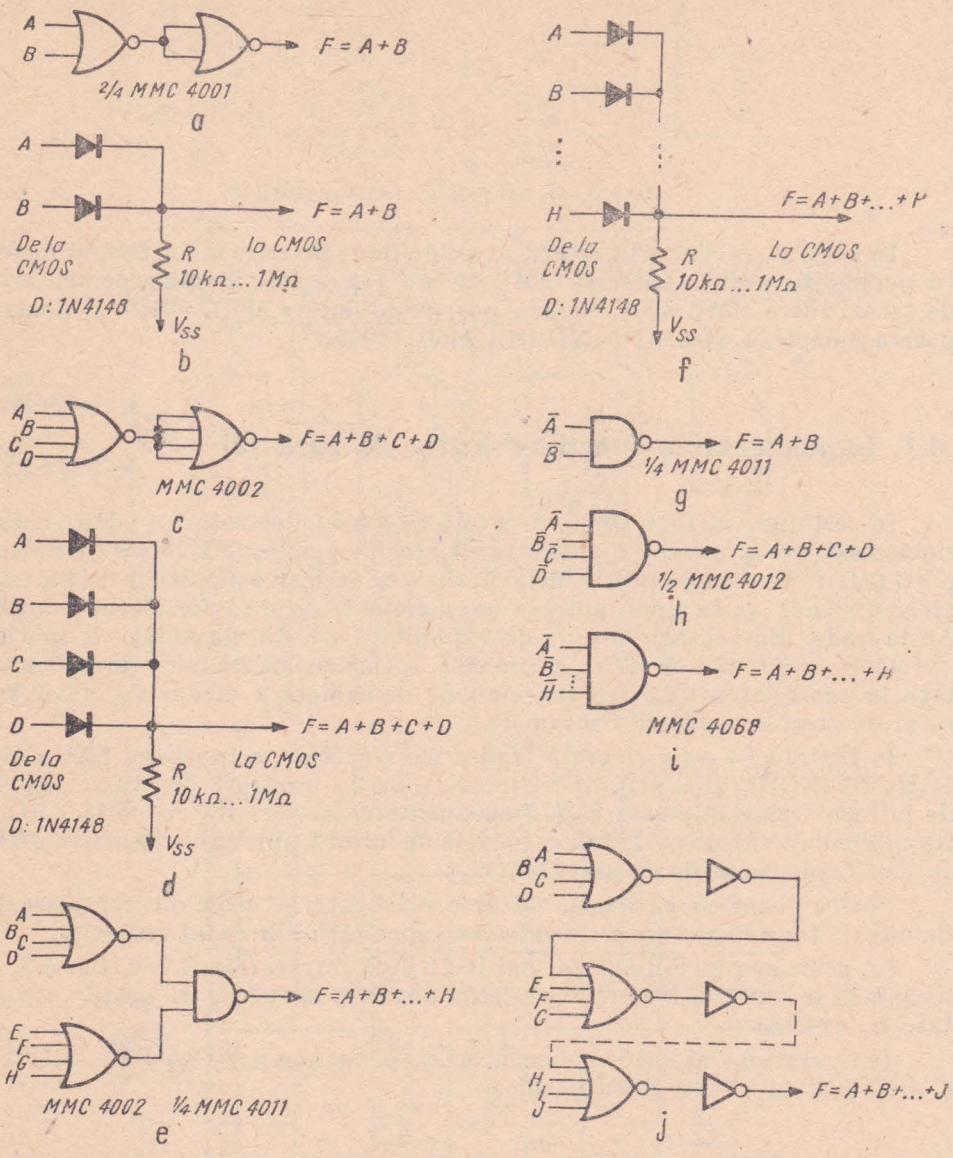
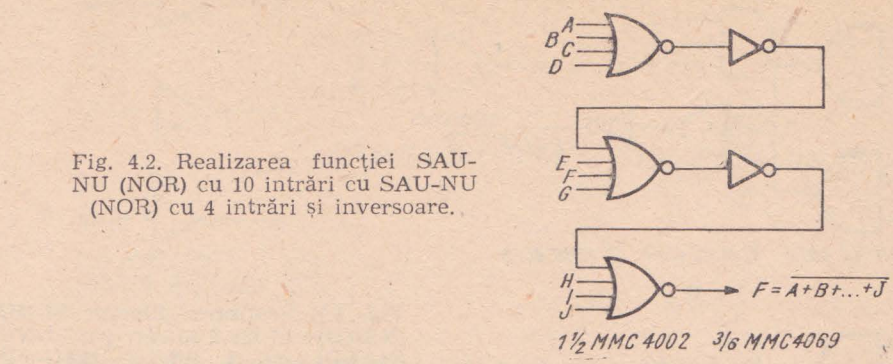


Fig. 4.1. Realizarea funcției SAU (OR) : *a*) cu 2 intrări (cu SAU-NU (NOR) cu 2 intrări) ; *b*) cu 2 intrări (cu diode) ; *c*) cu 4 intrări (cu SAU-NU (NOR) cu 4 intrări) ; *d*) cu 4 intrări (cu diode) ; *e*) cu 8 intrări (cu SAU-NU (NOR) cu 4 intrări și ȘI-NU (NAND) cu 2 intrări) ; *f*) cu 8 intrări (cu diode) ; *g*) cu 2 intrări (active în starea **JOS**) ; *h*) cu 4 intrări (active în starea **JOS**) ; *i*) cu 8 intrări (active în starea **JOS**) ; *j*) cu *n* intrări (cu NOR cu 4 intrări și inversoare).

Fig. 4.2. Realizarea funcției SAU-NU (NOR) cu 10 intrări cu SAU-NU (NOR) cu 4 intrări și inversoare.



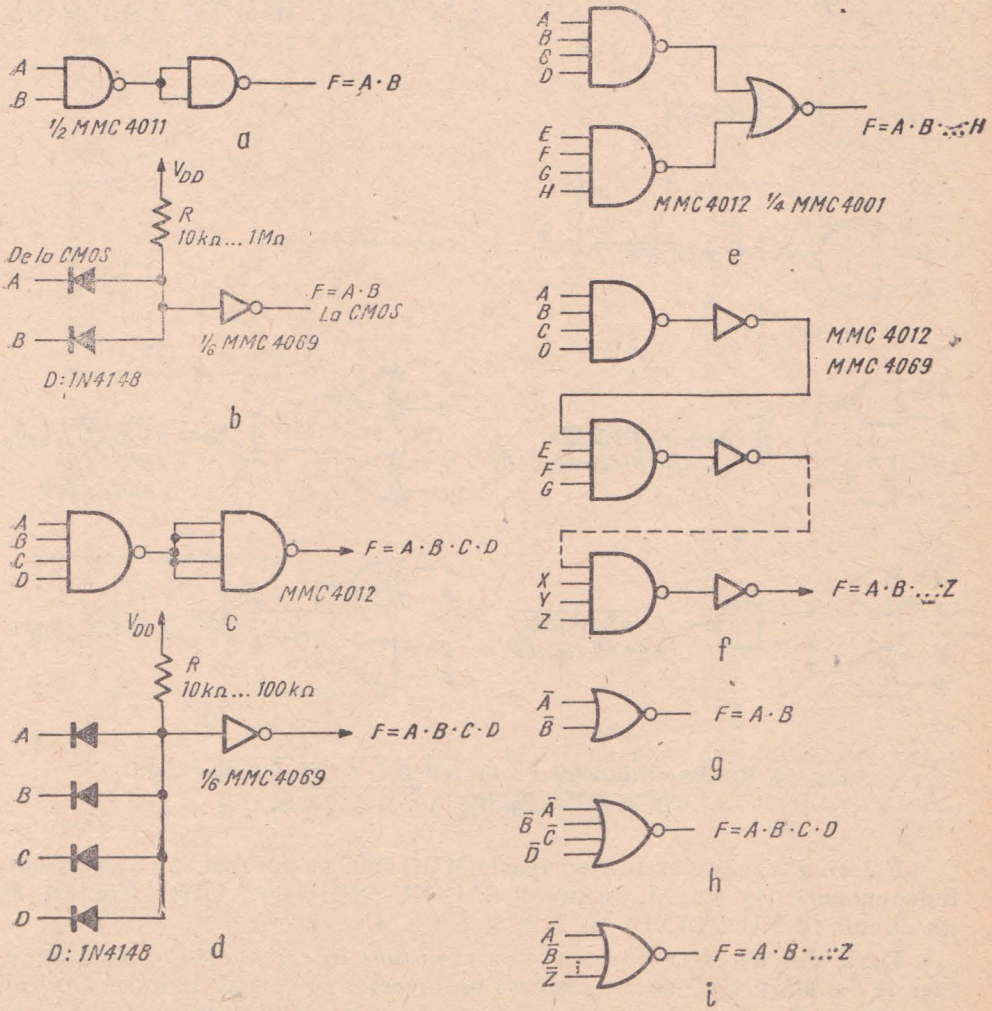


Fig. 4.3. Realizarea funcției SI (AND) : *a*) cu 2 intrări (cu ȘI-NU (NAND) cu 2 intrări) ; *b*) cu 2 intrări (cu diode) ; *c*) cu 4 intrări (cu SI-NU (NAND) cu 4 intrări) ; *d*) cu 4 intrări (cu diode) ; *e*) cu 8 intrări (cu ȘI-NU (NAND) cu 4 intrări și SAU-NU (NOR) cu 2 intrări) ; *f*) cu *n* intrări (cu SI-NU (NAND) cu 4 intrări și inversoare) ; *g*) cu 2 intrări (active în starea **JOS**) ; *h*) cu 4 intrări (active în starea **JOS**) ; *i*) cu *n* intrări (active în starea **JOS**).

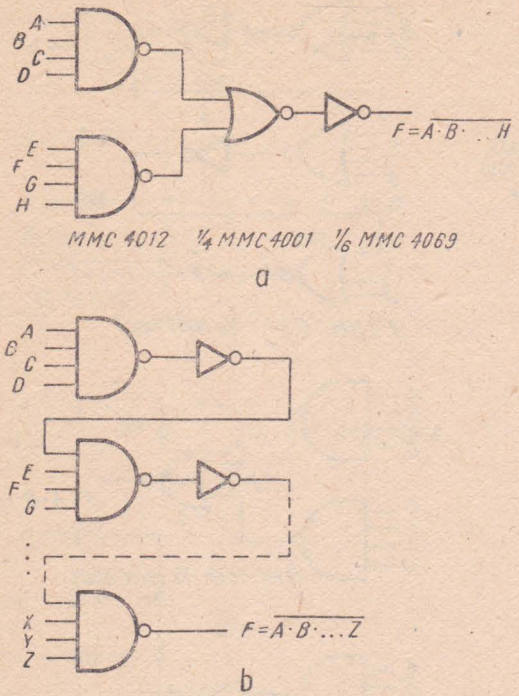


Fig. 4.4. Realizarea funcției SI-NU (NAND) : *a*) cu 8 intrări (cu SI-NU (NAND) cu 4 intrări, SAU-NU (NOR) cu 2 intrări și inversoare) ; *b*) cu n intrări (cu SI-NU (NAND) cu 4 intrări și inversoare).

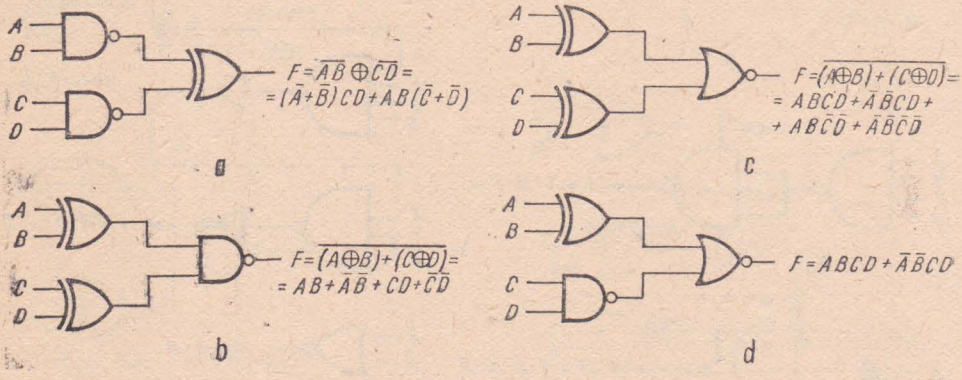


Fig. 4.5. Realizarea funcțiilor : *a*) $\overline{A\cdot B}\oplus\overline{C\cdot D}$; *b*) $\overline{(A\oplus B)\cdot(C\oplus D)}$; *c*) $\overline{(A\oplus B)+(C\oplus D)}$; *d*) $\overline{\overline{A\cdot B}+A\oplus B}$.

Folosind tranzistoarele din capsula MMC 4007 se pot realiza : 3 inversoare independente (fig. 4.6, *a*), un circuit SAU-NU (NOR) cu 3 intrări (fig. 6.4, *b*), un circuit SI-NU (NAND) cu 3 intrări (fig. 4.6, *c*).

Dacă sînt necesare inversoare cu *capacitate în curent sporită*, cu tranzistoarele din MMC 4007 se pot realiza : un inversor cu curent de ieșire absorbit mare (fig. 4.7, *a*), un inversor cu curent de ieșire debitat mare (fig. 4.7, *b*), un inversor cu ambii curenți, atît cel absorbit cît și debitat, de valoare mare.

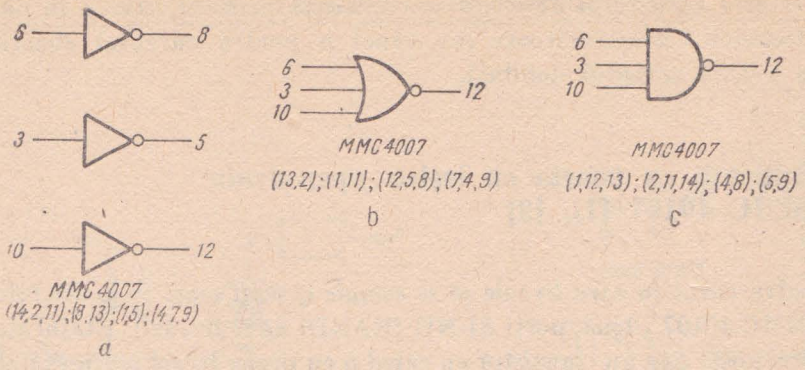
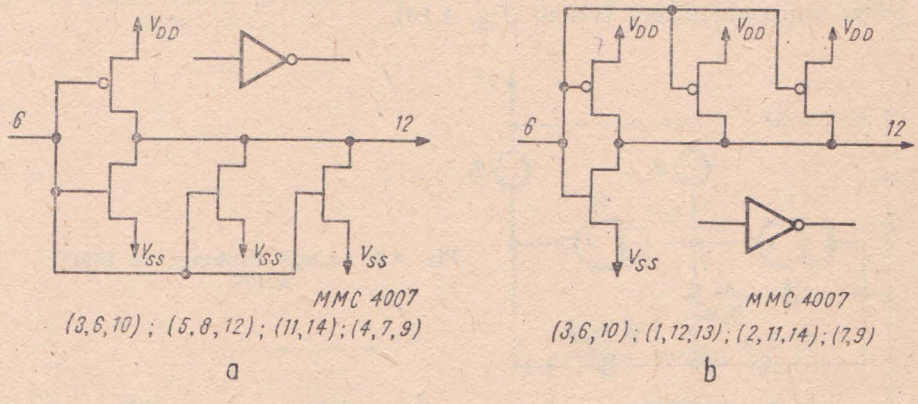


Fig. 4.6. Conectarea tranzistoarelor din capsula MMC 4007 ca : a) 3 inversoare ; b) SAU-NU (NOR) cu 3 intrări ; c) SI-NU (NAND) cu 3 intrări.



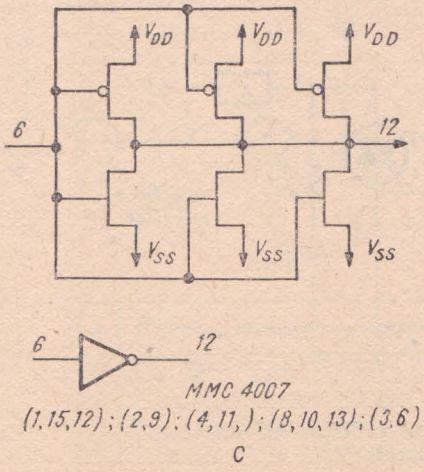


Fig. 4.7. Conectarea tranzistoarelor din capsula MMC 4007 ca : a) inversor cu I_{OL} mare ; b) inversor cu I_{OH} mare ; c) inversor cu I_{OH} , I_{OL} mari.

Creșterea curentului de ieșire se realizează prin conectarea în paralel a tranzistoarelor corespunzătoare (cu canal *n* pentru curentul absorbit, cu canal *p* pentru curentul debitat).

4.3. Aplicații cu poarta cu ieșire *open-drain* MMC 40107 [1], [3]

Pentru cazul în care *trebuie să se comute curenți mari* se poate folosi circuitul MMC 40107 (două porți SI-NU (NAND) cu 2 intrări). Etajul de ieșire al fiecărei porți este un tranzistor cu canal *n* cu drena în gol (*open-drain*).

În figura 4.8 este prezentat un *oscilator de foarte joasă frecvență* (0,5 Hz), care acționează în contratimp două becuri de 2,2 W.

În figura 4.9 se arată un *circuit pentru comanda unui triac printr-un transformator de impulsuri*. Luînd precauțiile necesare, cu circuitul MMC 40107 se poate comanda direct triacul (fig. 4.10).

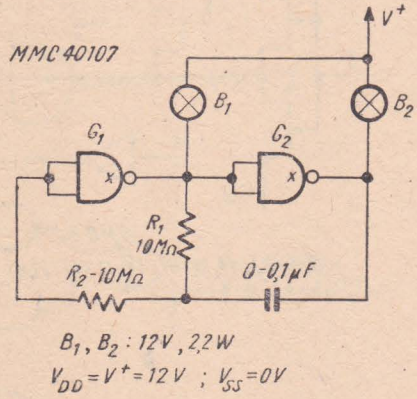


Fig. 4.8. Lampă filatoare cu MMC 40107.

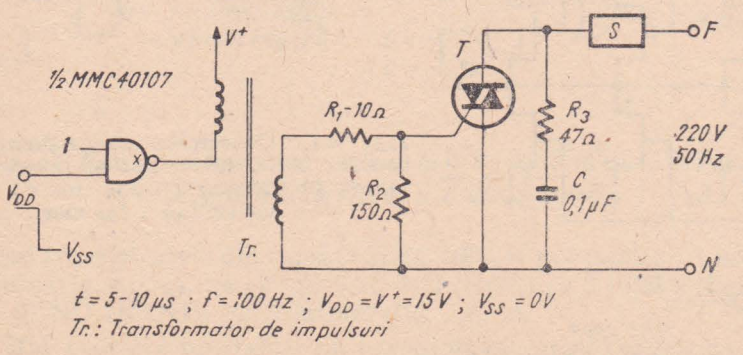


Fig. 4.9. Comanda unui triac cu MMC 40107 printr-un transformator de impulsuri.

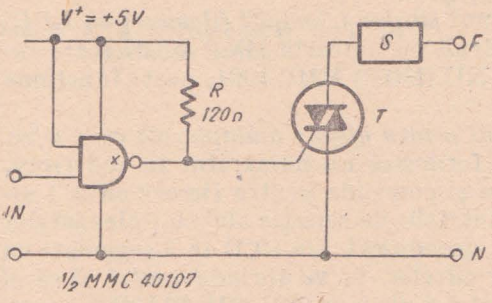


Fig. 4.10. Comanda directă a unui triac cu MMC 40107.

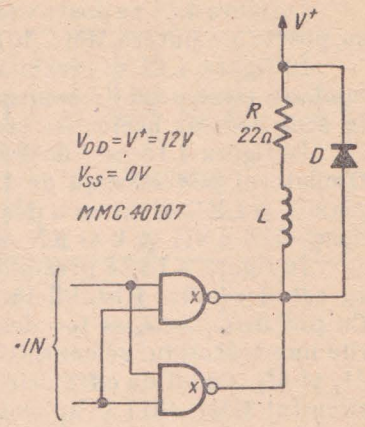
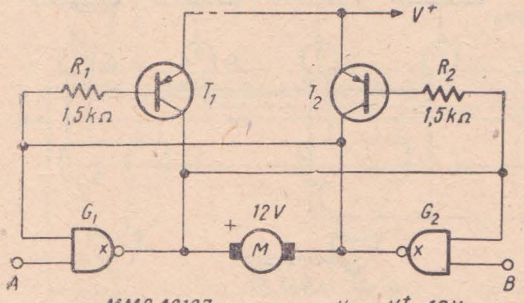
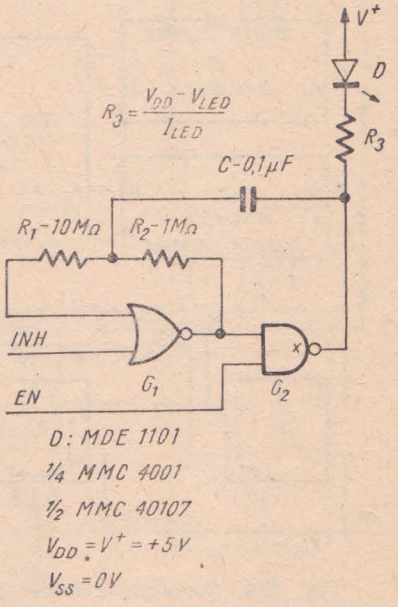


Fig. 4.11. Comanda unui releu cu MMC 40107.



A	B	Funcționarea motorului
0	0	Oprit
0	1	În sens trigonometric pozitiv
1	0	În sens trigonometric negativ
1	1	Ca în starea anterioară

Fig. 4.12. Comanda unui motor de curent continuu cu MMC 40107.



INH	EN	LED
0	0	OFF
0	1	ON
1	0	OFF
1	1	OFF

Fig. 4.13. Blinker cu MMC 40107.

În figura 4.11 se poate vedea un *circuit pentru acționarea directă a unui releu* cu poarta de putere MMC 40107.

În figura 4.12 se prezintă un *circuit pentru comanda unui motor de curent continuu* (sînt posibile comenzile: rotire în sensul acelor de ceasornic, rotire în sens contrar acelor de ceasornic, STOP).

În figura 4.13 este dată schema unui *blinker* („*lampă*" *filatoare*) cu *LED*. Oscilatorul pe frecvența de 4 Hz, construit cu o poartă MMC 40107 (care comandă și LED-ul) și cu o poartă SAU-NU (NOR) MMC 4001, poate funcționa doar dacă INH = **0** și EN = **1**.

În figura 4.14 se prezintă un *circuit pentru afișare multiplexată cu 4 cifre*, cu catod comun. Bistabilele B_1 și B_2 formează un numărător în cod Gray. Cu porțile $G_1 \div G_4$ se fac decodificarea și comanda pentru fiecare cifră. Ieșirile numărătorului se conectează și la intrările de selecție ale multiplexoarelor M_1 și M_2. Codul de cifră selectat este decodificat din BCD în 7 segmente cu circuitul MMC 4511 și aplicat anozilor cifrelor. Se va aprinde o cifră ai cărei catozi sînt conectați la V_{SS} (ambele intrări ale porții SI-NU (NAND) corespunzătoare sînt în stare SUS).

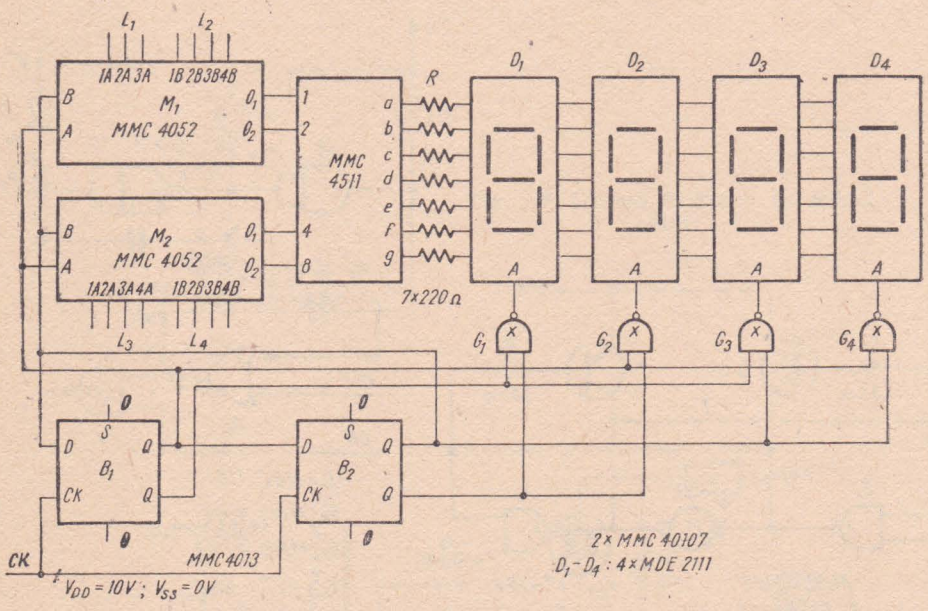


Fig. 4.14. Comanda cifrelor cu MMC 40107 într-un sistem de afișaj cu multiplexare.

4.4. Aplicații cu poarta SI-SAU (AND-OR) cu selectare MMC 4019

Circuitul MMC 4019 (patru porți SI-SAU (AND-OR) cu 2 intrări cu comandă comună) poate fi folosit ca un *multiplexor cvadruplu cu 2 intrări* (fig. 4.15).

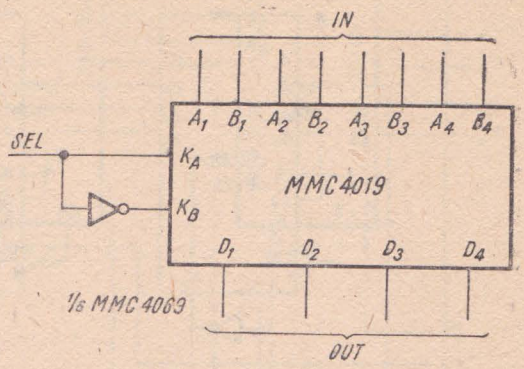
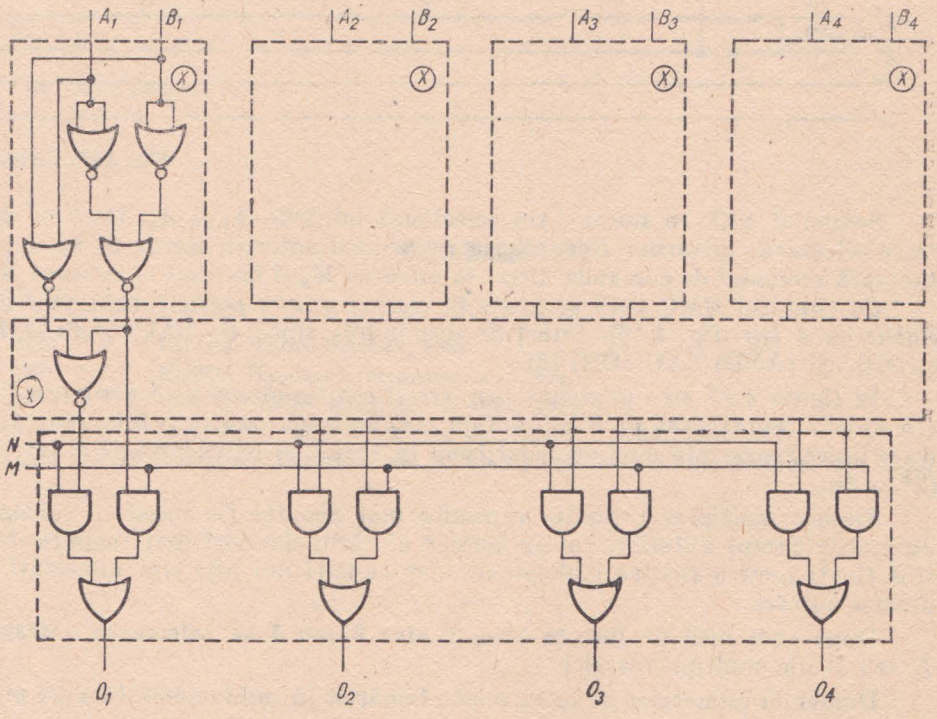


Fig. 4.15. 4 multiplexoare 2 : 1 cu comandă comună.



5×MMC 4001

MMC4019

M	N	OUT
0	0	0
0	1	A⊕B
1	0	A-B
1	0	A+B

Fig. 4.16. Selectarea mai multor funcții de 2 cuvinte de 4 biți.

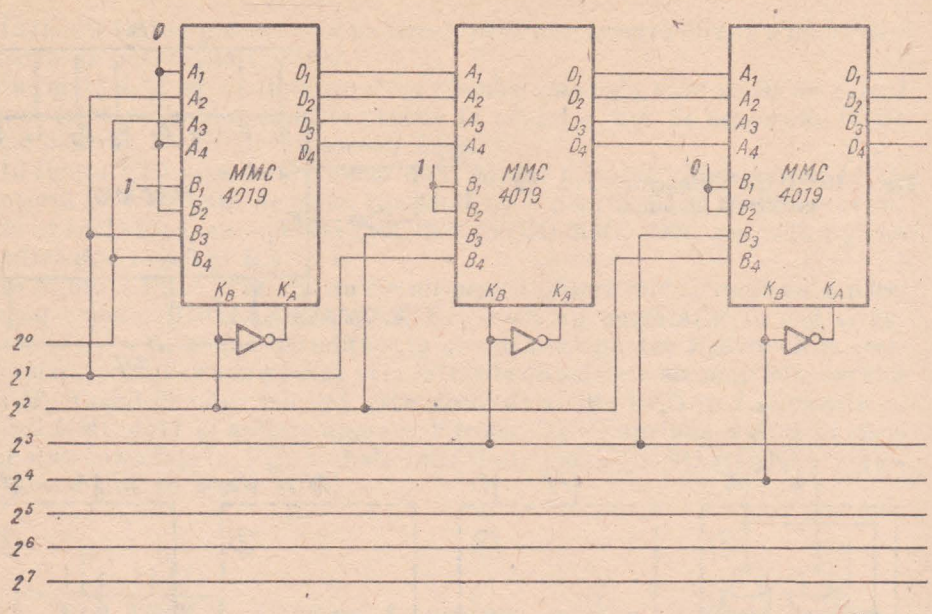


Fig. 4.17. Circuit

Semnalul *SEL* în starea SUS selectează intrările $A_1 \div A_4$. Dacă se dorește selectarea intrărilor $B_1 \div B_4$ cu un semnal activ în starea SUS, se conectează semnalul de comandă direct la intrarea K_B și inversat la intrarea K_A.

Cu circuitul MMC 4019 se poate face *selecția între patru funcții de 2 variabile de 4 biți* (fig. 4.16). Funcțiile disponibile sînt: **0**, SAU-EXCLUSIV (XOR), ȘI (AND) SAU (OR) [3].

În figura 4.17 este prezentat un *circuit combinațional de logaritmare* [5]. Un număr reprezentat pe 8 biți suferă o compresie pînă la 5 biți. Numărul de la ieșire reprezintă de 4 ori logaritmul în baza 2 al numărului de la intrare ($2^n \rightarrow 4n$).

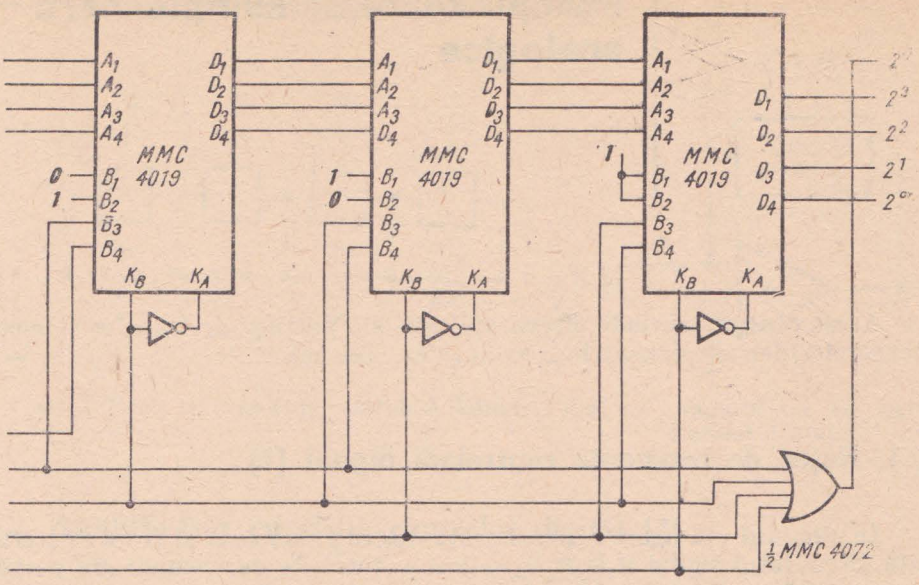
Fiecare multiplexor poate transmite mai departe fie numărul furnizat de multiplexorul anterior, fie un număr ai cărui doi biți mai semnificativi sînt fixați pentru fiecare multiplexor, iar ceilalți doi biți sînt conectați la diverse intrări.

După cum biții de intrare $2^2 \div 2^7$ sînt **0** sau **1** se selectează intrările A sau B ale multiplexoarelor.

Domeniul numerelor de intrare este împărțit în subdomenii. Fiecare multiplexor (MMC 4019 + inversor) poate să transmită fie numărul generat de etajul anterior, fie un număr generat „local", cu cei doi biți mai semnificativi fixați, iar ceilalți doi dați de intrări.

Bitul activ cel mai semnificativ al cuvîntului de la intrare selectează multiplexorul care va furniza codul de la ieșire. Bitul cel mai semnificativ al rezultatului este generat de poarta SAU (OR) MMC 4072.

Pentru a trata numere mai mari, circuitul poate fi extins prin adăugarea de multiplexoare și porți corespunzătoare.



de logaritmare.

BIBLIOGRAFIE

[1] * * * Catalog Microelectronica, 1985.
[2] * * * McMOS Handbook, Motorola Inc., 1974.
[3] * * * RCA COS/MOS Integrated Circuits, 1977.
[4] * * * COS/MOS Digital Integrated Circuits RCA Solid State, 1972.
[5] * * * Designer's Casebook No. 5, Electronics Book Series, McGraw-Hill, 1982.

5. Aplicații ale porților de transfer. Multiplexoare/demultiplexoare analogice

Acest capitol cuprinde cîteva aplicații ale porților de transfer și multiplexoarelor/demultiplexoarelor analogice.

5.1. Rețea de rezistențe controlată digital [7]

În circuitul din figura 5.1 rezistența dintre punctele A și B este determinată de cuvîntul digital $B_0B_1B_2B_3$ aplicat pe intrările de comandă ale porților de transfer $G_1 \div G_4$. O poartă de transfer deschisă scurtcircuitează o rezistență din lanț.

Rezistențele rețelei trebuie să fie mult mai mari decît rezistența în conducție a unei porți de transfer deschise (sute de ohmi), pentru ca scurtcircuitarea unei rezistențe să fie efectivă.

Tensiunile în punctele X și Y trebuie să fie astfel încît, în cel mai defavorabil caz, tensiunile la intrările/ieșirile porților de transfer să nu depășească V_{DD} sau V_{EE} (V_{SS}).

În tabelul 5.1 se arată dependența rezistenței dintre punctele X și Y, în funcție de cuvîntul binar aplicat.

Tabelul 5.1

B_3	B_2	B_1	B_0	Rezistența
0	0	0	0	$15R$
0	0	0	1	$14R$
0	0	1	0	$13R$
0	0	1	1	$12R$
0	1	0	0	$11R$
0	1	0	1	$10R$
0	1	1	0	$9R$
0	1	1	1	$8R$
1	0	0	0	$7R$
1	0	0	1	$6R$
1	0	1	0	$5R$
1	0	1	1	$4R$
1	1	0	0	$3R$
1	1	0	1	$2R$
1	1	1	0	R
1	1	1	1	0

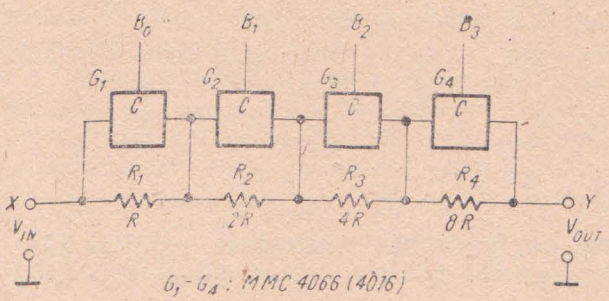


Fig. 5.1. Rețea de rezistențe controlată digital.

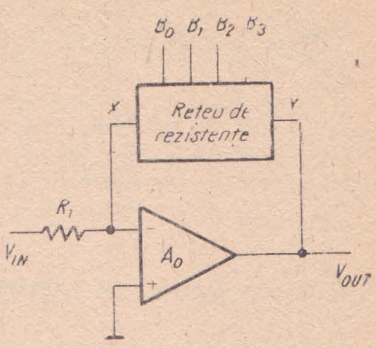


Fig. 5.2. Amplificator cu cîștig controlat digital.

5.2. Amplificator cu cîștig controlat digital [7]

Circuitul prezentat în § 5.1 se poate introduce în reacția unui amplificator operațional (fig. 5.2), care va avea, astfel, *cîștigul controlat de un cuvînt binar*.

Cîștigul va fi proporțional cu complementul față de 1 al cuvîntului de control.

5.3. Rețea de condensatoare controlată digital [7]

Capacitatea echivalentă C_E între punctele X și Y ale circuitului din figura 5.3, depinde de cuvîntul binar aplicat pe intrările de comandă ale porților de transfer. Fiecare poartă deschisă introduce un condensator în paralel pe ieșire, deci crește capacitatea echivalentă C_E cu valoarea capacității conectate.

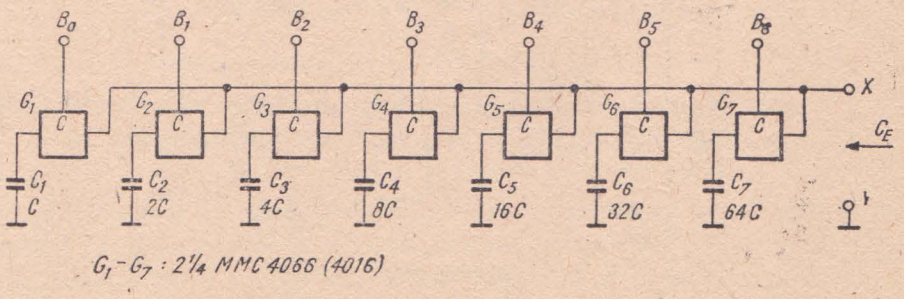


Fig. 5.3. Rețea de condensatoare controlată digital.

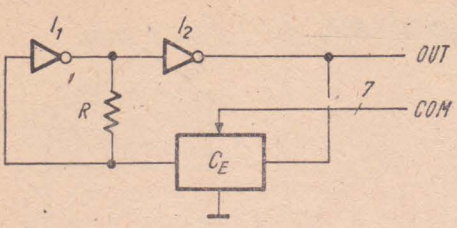


Fig. 5.4. Oscilator de relaxare cu frecvența controlată digital.

5.4. Oscilator de relaxare cu frecvența controlată digital [4]

Rețeaua de condensatoare prezentată în § 5.3 se poate folosi drept condensator într-un oscilator de relaxare (fig. 5.4). Perioada semnalului generat va fi proporțională cu numărul binar $B_0 - B_6$. Electrodul comun al condensatoarelor se leagă la intrarea porții I_1.

5.5. Circuit *squelch* [7]

Circuitul *squelch* din figura 5.5 permite numai transmiterea unor semnale care au un nivel mai mare decît un prag dat.

Dioda D și condensatorul C_2 formează un detector de vîrf. Tensiunea de pe condensatorul C_2 este amplificată de amplificatorul operațional AO și aplicată porții SI-NU (NAND), construită cu tranzistoare din capsula MMC 4007. Caracteristica de transfer a porții este foarte abruptă. Cînd tensiunea de la intrarea 6 a porții SI-NU (NAND) scade sub tensiunea de tranziție, ieșirea trece în 1 logic, deschizînd poarta de transfer. În acest caz, semnalul de la intrare se regăsește la ieșire. Din rezistența semireglabilă R_4

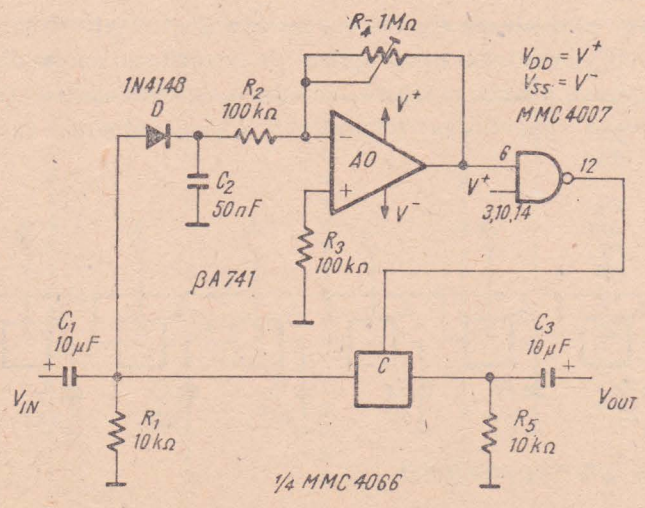


Fig. 5.5. Circuit *squelch*.

se reglează sensibilitatea circuitului. Dacă tensiunea de la intrarea *6* a porții SI-NU (NAND) crește peste tensiunea de tranziție, ieșirea trece în **0** logic, blocînd poarta de transfer.

În funcție de domeniul de frecvență în care lucrează circuitul, se alege valoarea condensatorului C_2. Acest gen de circuit este util în sistemele de comunicație, acolo unde zgomotul este mare sau unde trebuie să se transmită numai semnale cu un nivel mai mare decît un prag dat.

5.6. Circuit de eșantionare și mèmorare

Curentul rezidual foarte mic ($\simeq 10$ pA) și rezistența foarte mare în starea blocat permit folosirea cu succes a comutatoarelor analogice MMC 4016 sau MMC 4066 în aplicații de tip eșantionare și memorare (*sample & hold*). În figura 5.6 este prezentată schema de principiu pentru un circuit de eșantionare și memorare în configurația neinversoare; porțile G_1 și G_2 sînt acționate în contratimp.

În perioada de eșantionare, poarta G_2 conduce și condensatorul C se încarcă la valoarea tensiunii de intrare. În perioada de memorare poarta G_2 este blocată, iar poarta G_1 se deschide, asigurînd reacția pentru amplificatorul AO_1. Acest tip de circuit prezintă o impedanță mare de intrare.

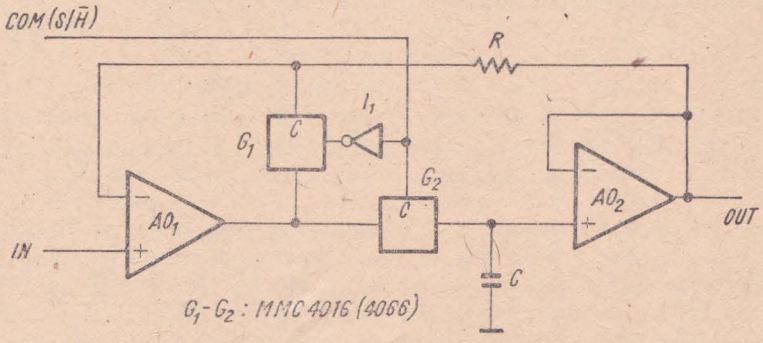
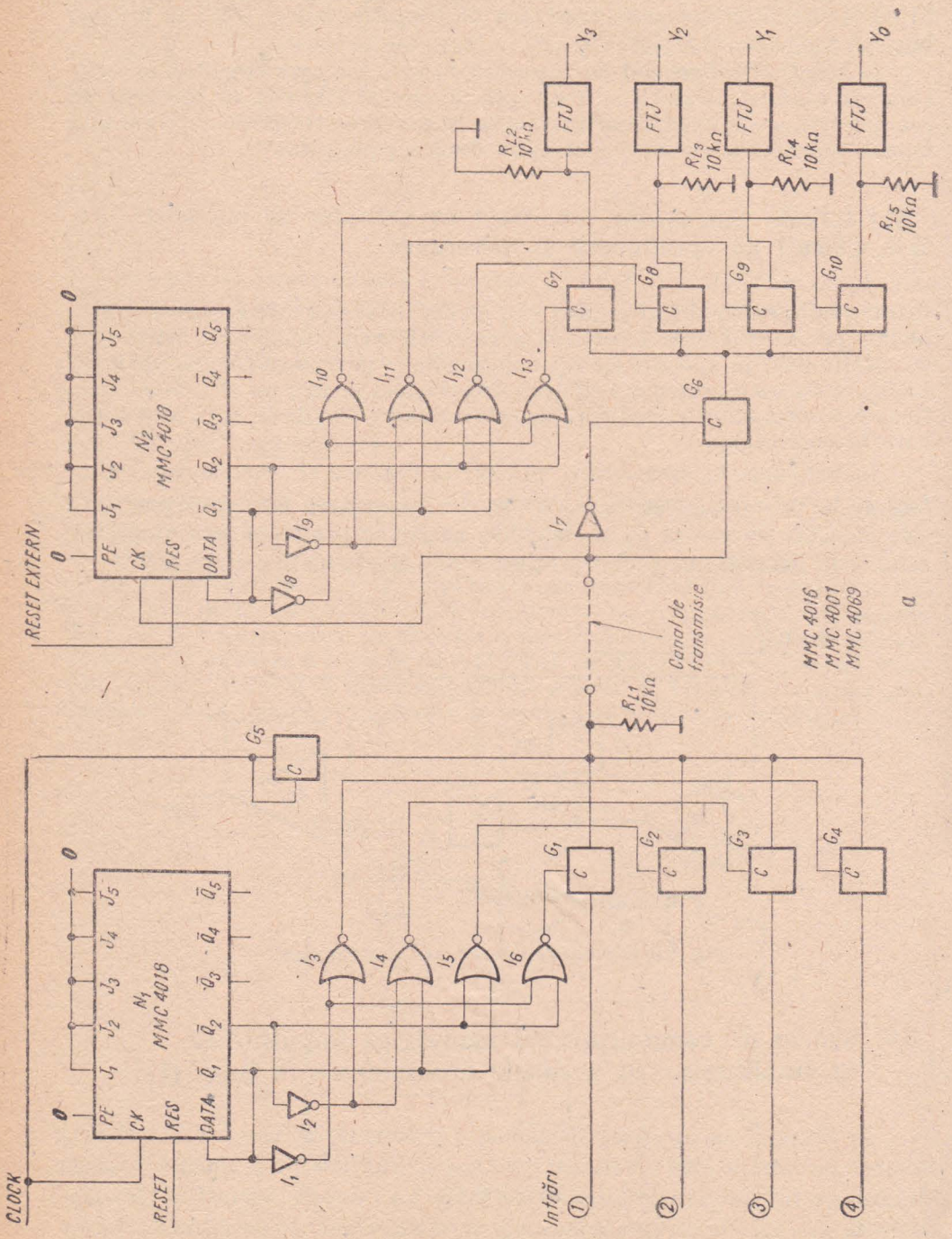


Fig. 5.6. Circuit de eșantionare și memorare.

5.7. Sistem de comunicație cu modularea impulsurilor în amplitudine cu 4 canale multiplexate în timp [7]

În sistemul cu modulare/demodulare prezentat în figura 5.7, *a* fiecare semnal de intrare este eșantionat pe rînd și transmis pe o singură linie de transmisie într-un anume interval de timp. La recepție, semnalele sînt distribuite pe canalele corespunzătoare și se refac semnalele de intrare printr-o filtrare trece-jos adecvată.


RESET EXTERN
CLOCK
RESET
N1 MMC 4018
N2 MMC 4018
PE
CK
RES
DATA
FTJ
Y3
Y2
Y1
Y0
RL1 10kΩ
RL2 10kΩ
RL3 10kΩ
RL4 10kΩ
RL5 10kΩ
Canal de transmisie
Intrări
MMC 4016
MMC 4001
MMC 4069
a

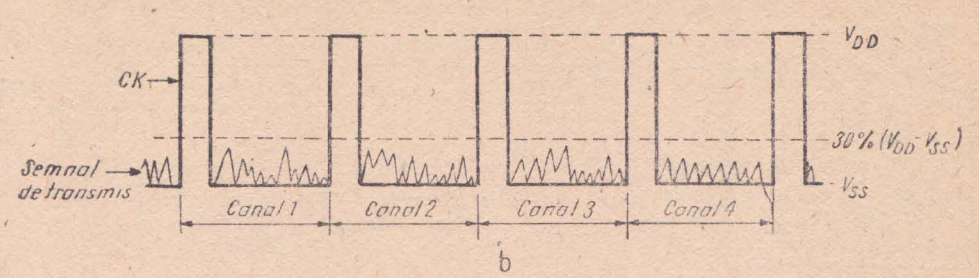


Fig. 5.7. Sistem de comunicație PAM cu 4 canale multiplexate în timp : *a*) schema ; *b*) semnalul pe linie.

Pentru o refacere corectă a semnalelor inițiale, frecvența de eșantionare trebuie să fie superioară dublului componentei de frecvență maximă a semnalului de intrare.

Semnalele de control pentru porțile de transfer $G_1 \div G_4$ sînt furnizate de un divizor programabil MMC 4018 și o rețea de decodificare cu porțile SAU-NU (NOR) $I_3 \div I_6$. Frecvența ceasului f_{ck} trebuie să satisfacă relația

$$f_{CK} > 2 f_m N_C,$$

unde f_m este frecvența maximă din spectrul semnalului de intrare, iar N_C este numărul canalelor care se eșantionează. Semnalul de ceas pentru sincronizarea demultiplexorului de la recepție se transmite tot pe linie. Impulsul de ceas este îngust pentru a se evita o interacțiune prea mare cu semnalul util, a cărui amplitudine trebuie menținută sub tensiunea maximă de intrare în starea **JOS**, pentru intrarea *CK* a divizorului N_2 [30% $(V_{DD} - V_{SS})$]. În figura 5.7, *b* se poate vedea forma semnalului de pe linie. Atît timp cît semnalul de ceas este în starea **SUS**, poarta de transfer G_6 este blocată.

Cînd semnalul de ceas este în starea **JOS**, sînt deschise poarta de transfer G_6 și una din porțile $G_7 \div G_{10}$, corespunzător canalului selectat la intrare. Semnalul util este filtrat trece-jos și transmis la ieșirea corespunzătoare (Y_0 ; Y_1 ; Y_2 ; Y_3).

Sistemul de transmisie din figura 5.7, *a* folosește numai o singură sursă de alimentare. Din acest motiv, excursia negativă a semnalului de intrare trebuie să se limiteze la mai puțin de V_{BE} ($\simeq 0{,}5$ V). Pentru a putea folosi semnalele cu amplitudine mai mare, fie se transmite separat semnalul de ceas, fie se adaugă o componentă de curent continuu semnalului de intrare, dar în așa fel încît să nu se depășească V_{IL} pentru intrarea *CK* a circuitului MMC 4018.

Dacă se folosește circuitul *squelch*, descris mai înainte, pentru a separa ceasul de calea de semnal, se pot transmite semnale a căror amplitudine să se apropie de $(V_{DD} - V_{SS})/2$.

5.8. Chopper pentru osciloscop [4]

În figura 5.8 se poate vedea un chopper simplu pentru osciloscop. Porțile de transmisie G_1 și G_2 sînt comandate în contratimp transmițînd alternativ la ieșire semnalele de pe intrările IN_1, respectiv IN_2. Trebuie luate pre-

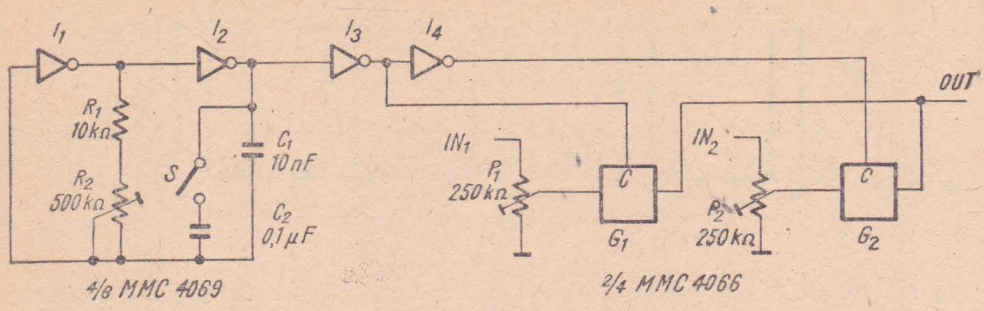


Fig. 5.8. Chopper pentru osciloscop.

cauții ca la intrările porților de transmisie să nu apară tensiuni din afara domeniului tensiunilor de alimentare.

Frecvența oscilatorului de relaxare construit cu inversoarele I_1 și I_2 se reglează cu semireglabilul R_2. Domeniul de frecvență se alege cu comutatorul S (S deschis—frecvență înaltă; S închis—frecvență joasă).

Circuitul mai poate fi folosit și în aplicații de genul sirenă bitonală (la intrări se aplică semnale de frecvență diferite). De asemenea, renunțînd la potențiometrele P_1 și P_2 sau conectîndu-le la ieșirile porților și culegînd semnalele de pe cursoare, se poate distribui alternativ un semnal (prezent la borna OUT) pe două căi (IN_1, IN_2).

5.9. Circuit pentru comanda triacelor [3]

Circuitul din figura 5.9 permite optimizarea comenzii capacitive a triacelor din rețeaua de curent alternativ pentru că furnizează curentul maxim atunci cînd tensiunea trece prin zero. Triacul intră în conducție cînd tensiunea la bornele sale este mică, reducîndu-se astfel perturbațiile datorate regimului tranzitoriu.

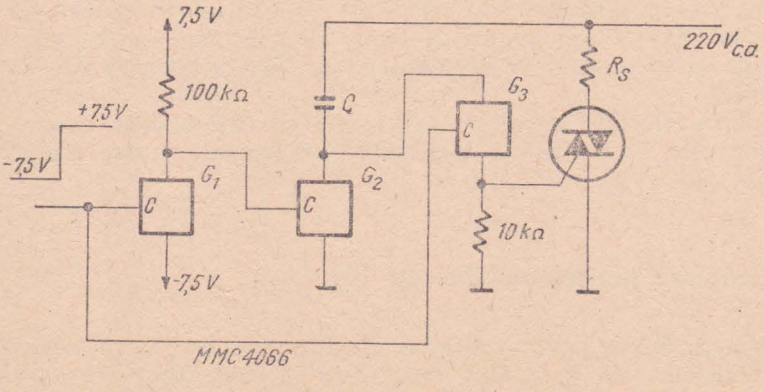


Fig. 5.9. Circuit pentru comanda triacelor.

Triacul necesită un curent maxim de comandă de 5 mA.

Condensatorul va avea capacitatea:

$$C = \frac{5[\text{mA}]}{2\pi f \cdot U_{max}}$$

unde U_{max} este valoarea de vîrf a tensiunii rețelei, iar f este frecvența rețelei.

Dacă trebuie comandate sarcini mai mari, care ar necesita și un curent de comandă mai mare, se pot cascada două triace.

5.10. Circuit de selectare a sursei de semnal pentru un preamplificator de audiofrecvență [5]

Comutarea sursei de semnal pentru un preamplificator de audiofrecvență pune probleme, pentru că semnalul disponibil este mic și impedanțele de intrare cu care se lucrează sînt, de obicei, mari. Din aceste motive, realizarea conexiunilor la comutatoarele de pe panoul frontal este o chestiune delicată.

O soluție o poate constitui folosirea porților de transfer comandate în curent continuu (fig. 5.10).

După cum se poate vedea, etajul de intrare este un repetor pe emitor, urmat de două porți de transfer comandate în contratimp. Cînd semnalul de comandă *COM* este în starea **SUS**, poarta G_2 este blocată, iar poarta G_1 este deschisă, permițînd transmiterea semnalului la ieșire. Cînd semnalul de comandă este în starea **JOS**, poarta G_1 este blocată iar poarta G_2 este deschisă, șuntînd la masă semnalul de audiofrecvență.

Pentru nivelele de semnal cu care se lucrează, distorsiunile introduse de porțile de transfer sînt foarte mici. Fiecare etaj de intrare (repetor + comu-

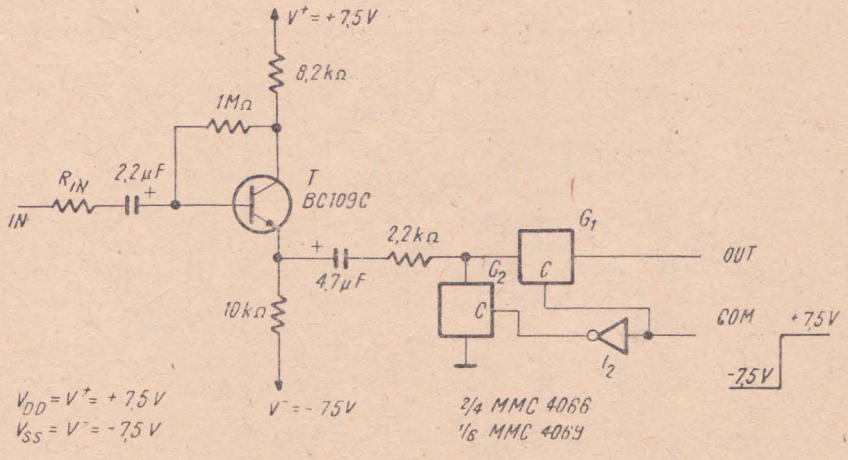


Fig. 5.10. Circuit de selectare a sursei de semnal pentru un preamplificator de audiofrecvență.

tator) poate fi montat pe placa preamplificatorului, semnalele de comandă (în curent continuu) de la panou fiind transmise pe fire neecranate. Se poate, eventual, prevedea o logică simplă care să nu permită conectarea în paralel a două surse de semnal.

5.11. Comutator pentru semnal analogic [4], [5]

Comutatorul din figura 5.11 permite transmiterea unui semnal de maximum 10 V_{vv}, fiind prevăzut cu butoane separate de comandă *ON* („pornit" : S_1) și *OFF* („oprit" : S_2).

Comutatorul propriu-zis este poarta de transmisie G_2, comandată de latch-ul construit cu poarta de transfer G_1. Cînd se acționează butonul S_1, în punctul A se aduce o tensiune suficient de mare ca să se deschidă porțile G_1 și G_2. La deschiderea porții G_1, tensiunea în punctul A va fi

$$V_1 = \frac{R_2}{R_2 + R_1 \| R_3} \cdot V^+$$

Cînd se eliberează butonul S_1, tensiunea în punctul A va fi:

$$V_2 = \frac{R_2}{R_2 + R_3} \cdot V^+$$

Deși $V_2 < V_1$, V_2 va fi suficientă pentru a menține porțile G_1 și G_2 deschise. Cînd se apasă butonul S_2, ambele porți se blochează. Latch-ul construit cu G_1 memorează starea **0** de pe intrarea sa de comandă. La o acționare simultană, comanda de blocare are prioritate. Condensatorul C_2 elimină tranzițiile parazite de la comutări.

Atît intrarea cît și ieșirea porții G_2 sînt polarizate la jumătate din tensiunea de alimentare pentru a permite excursia maximă de semnal fără distorsiuni.

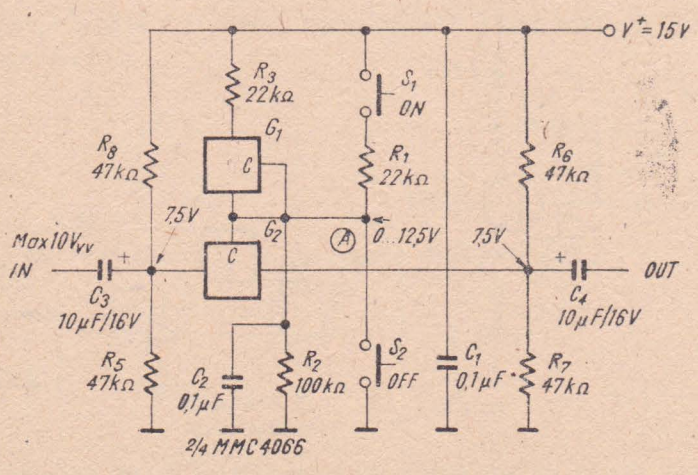


Fig. 5.11. Comutator pentru un semnal analogic.

5.12. Multiplexor/demultiplexor analogic cu MMC 4007 [7]

Cu tranzistoarele din capsula MMC 4007 se poate construi un multiplexor/demultiplexor analogic cu 2 căi, constituit din două porți de transfer comandate în contratimp (fig. 5.12).

Conexiunile sînt arătate în figură, pinii legați împreună fiind cuprinși în aceeași paranteză. Intrarea/ieșirea comună va fi pinul *12*, iar ieșirile/intrările 1 și 2 vor fi, respectiv, pe pinii *2* și *4*.

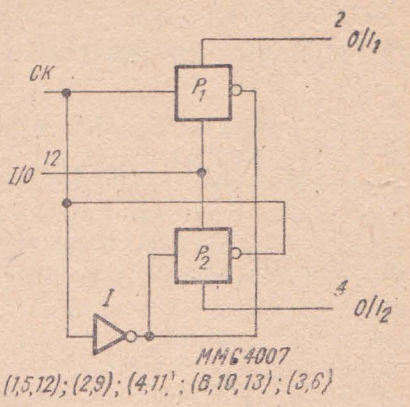


Fig. 5.12. Multiplexor/demultiplexor analogic cu MMC 4007.

5.13. Generator de curent programabil digital [3]

Curentul furnizat de generatorul din figura 5.13 poate fi modificat cu ajutorul rezistenței conectate între ieșirea amplificatorului operațional AO_1 și intrarea amplificatorului operațional AO_2.

Pentru a controla digital această rezistență și, în felul acesta, curentul generat, se poate cupla oricare din rezistențele $R_1 \div R_8$, corespunzător cuvîntului de comandă $B_0B_1B_2$.

Există, astfel, 8 curenți de ieșire selectabili cu un cuvînt de 3 biți. În calculul rezistențelor $R_1 \div R_8$, trebuie să se țină seama de rezistența serie în conducție a multiplexorului. Dacă sînt necesare mai multe trepte de curent, se poate folosi, de exemplu, multiplexorul/demultiplexorul analogic cu 16 canale MMC 4067.

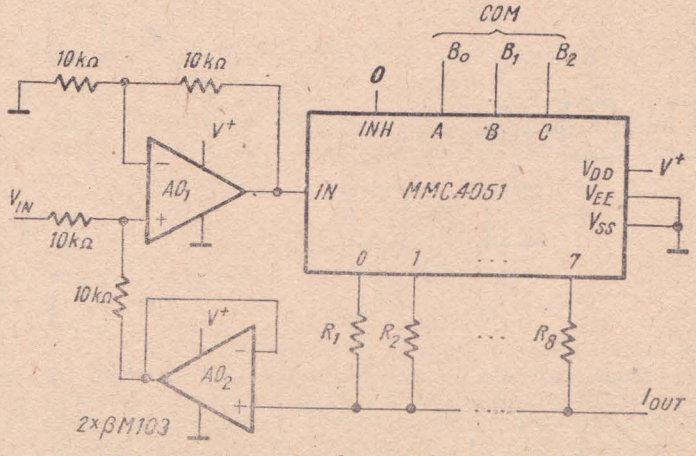


Fig. 5.13. Generator de curent programabil.

5.14. Logică cu porți de transfer [7]

Cu porțile de transfer se pot realiza circuite logice. Astfel, dacă $a = 1$ și $b = 1$, circuitul din figura 5.14, *a* se comportă ca o poartă SAU (OR) Prezența rezistenței implică un consum de putere în repaus, dacă măcar una dintre porți este deschisă.

Poarta SAU (OR) se poate realiza și fără rezistență, dacă sînt disponibile și semnalele de comandă complementare (fig. 5.14, *b*).

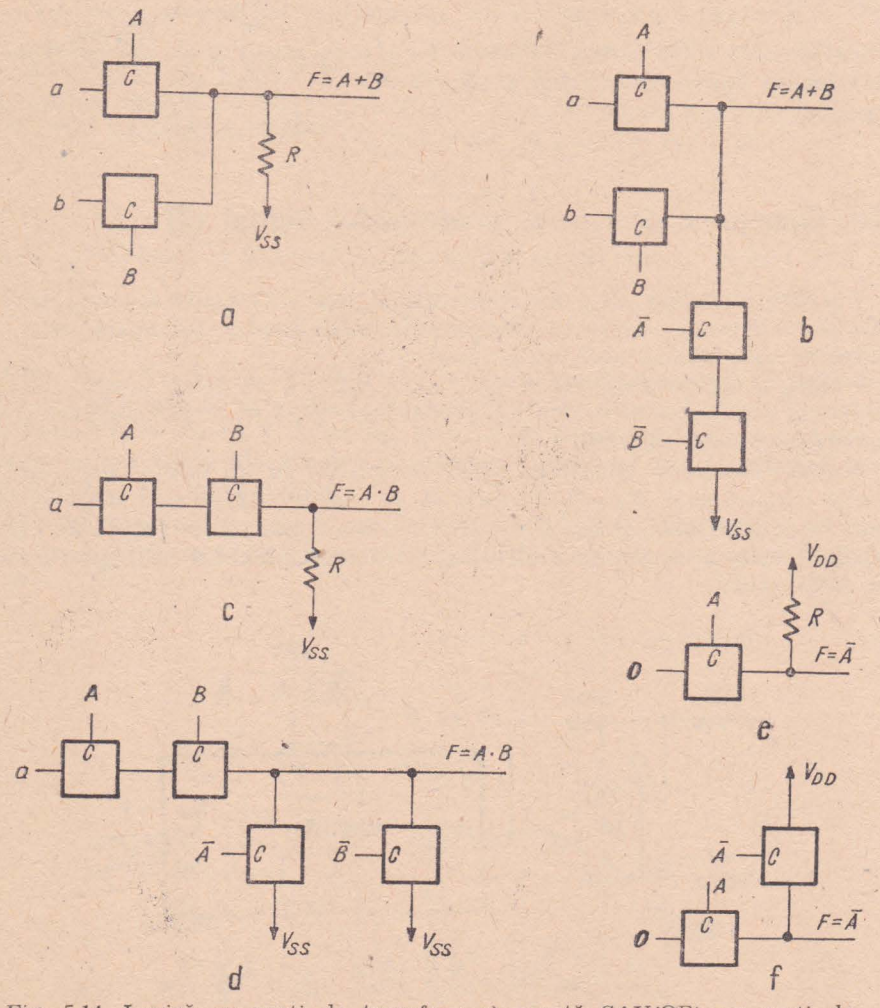


Fig. 5.14. Logică cu porți de transfer : *a*) poartă SAU(OR) cu porți de transfer și rezistență ; *b*) poartă SAU(OR) numai cu porți de transfer ; *c*) poartă SI(AND) cu porți de transfer și rezistență ; *d*) poartă ȘI(AND) numai cu porți de transfer ; *e*) inversor cu poartă de transfer și rezistență ; *f*) inversor numai cu porți de transfer.

Cu porți de transfer și rezistențe se mai pot realiza și funcțiile SI (AND) (fig. 5.14, *c*, cu $a = 1$) și NU (INVERT) (fig. 5.14, *c*). Funcțiile SI (AND) și NU (INVERT) se pot realiza numai cu porți de transfer ca în figura 5.14, *d*, respectiv 5.14, *f*.

5.15. Amplificator inversor cu cîștigul controlat digital [7]

Circuitul din figura 5.15 folosește un multiplexor analogic 4 : 1 („jumătate" din capsula MMC 4052) pentru a selecta cele două rezistențe care dau cîștigul amplificatorului inversor. Modul de conectare al multiplexorului prezintă avantajul că rezistența serie nenulă a unui canal deschis nu perturbă funcționarea circuitului, această rezistență fiind neglijabilă față de impedanța de intrare ridicată a amplificatorului operațional cu care este în serie.

Dezavantajul acestei configurații constă în curentul diferit absorbit din sursa de semnal pentru diferitele rețele conectate.

5.16. Amplificator neinversor cu cîștigul controlat digital [7]

Circuitul din figura 5.16 folosește același mod de selecție pentru rețeaua de reacție, dar, montajul fiind neinversor, rămîn doar avantajele montajului de la § 5.15.

Comutatoarele CMOS neintroducînd nici o tensiune de decalaj, rămîne de compensat doar tensiunea de decalaj a amplificatorului operațional.

5.17. Amplificator cu polaritatea comutabilă [6]

Circuitul din figura 5.17 se comportă pentru $COM = 1$ ca un amplificator inversor cu cîștigul egal cu $-\frac{R_2}{R_1}$, iar pentru $COM = 0$, ca un amplificator inversor cu cîștigul egal cu $\frac{R_2}{R_1}$.

Circuitul poate fi util, de exemplu, pentru un modulator în fază cu semnal dreptunghiular. Un caz particular al acestui modulator îl constituie redresorul dublă alternanță, dacă semnalul de comandă este sincron cu semnalul de intrare (fig. 5.17, *b*).

5.18. Circuit de interpolare liniară [6]

Circuitul (fig. 5.18) constă din două circuite de eșantionare și memorare (cu G_1, C_1 și AO_1, respectiv cu G_2, C_2 și AO_2), un integrator și, eventual, un amplificator inversor de ieșire. La fiecare acționare a ceasului se deschid porțile de transfer G_1 și G_2.

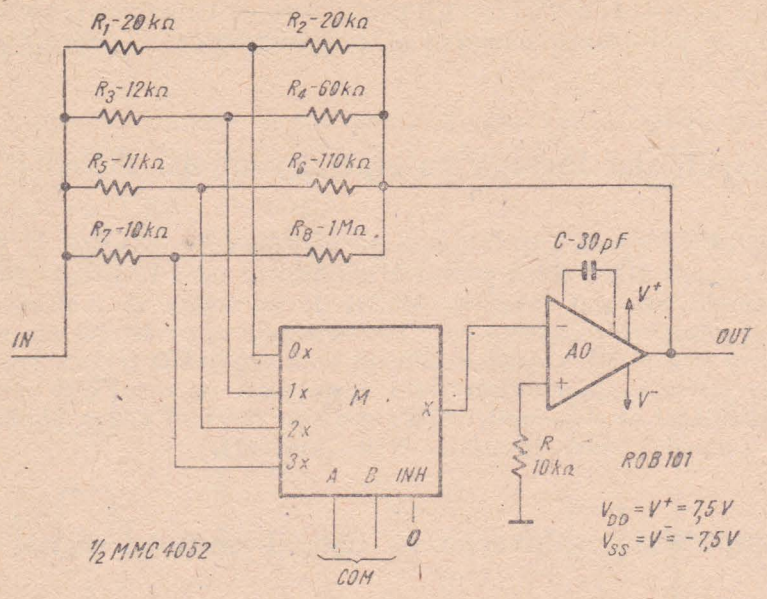


Fig. 5.15. Amplificator inversor cu cîștigul controlat digital.

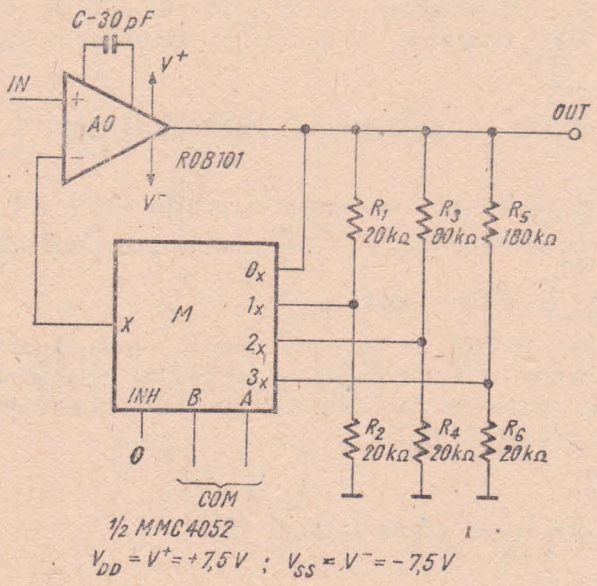


Fig. 5.16. Amplificator neinversor cu cîștigul controlat digital.

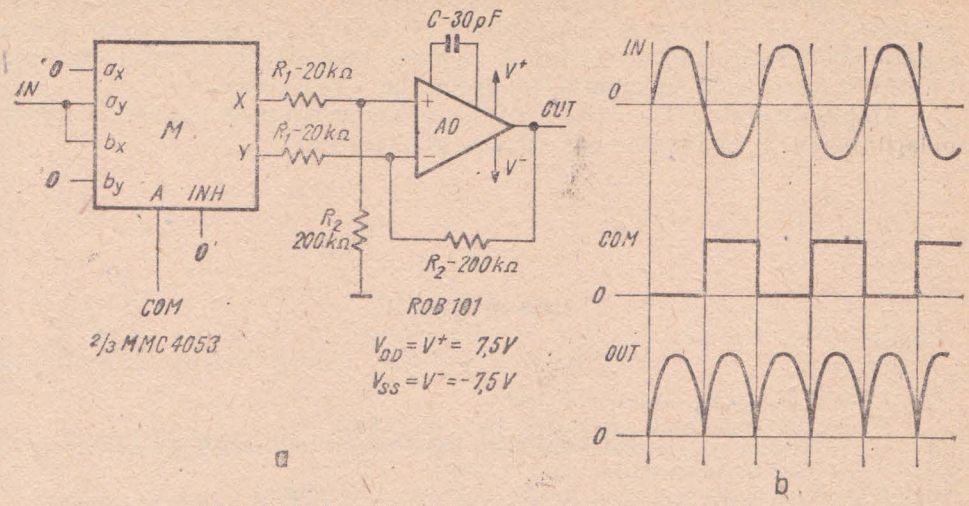


Fig. 5.17. Amplificator cu polaritatea comutabilă.

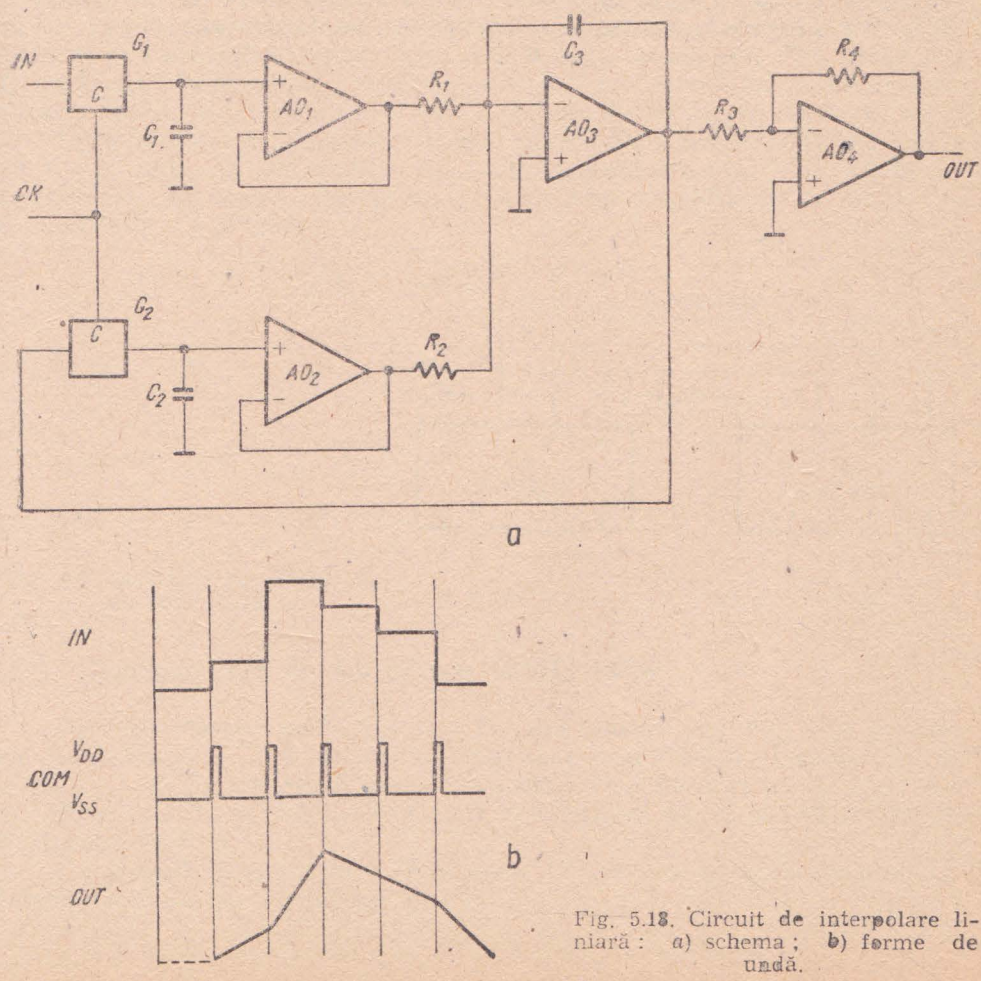


Fig. 5.18. Circuit de interpolare liniară : *a*) schema ; *b*) forme de undă.

Pe condensatorul C_1 se memorează tensiunea de la ieșirea integratorului (realizat cu AO_3). Între două impulsuri de ceas se integrează suma dintre eșantionul din semnalul de intrare și valoarea tensiunii de la ieșirea integratorului (inversor) la momentul ultimului impuls de ceas.

Amplificatorul inversor (cu AO_4) furnizează la ieșire un semnal cu aceeași polaritate cu a semnalului de intrare (fig. 5.18, *b*).

BIBLIOGRAFIE

[1] * * * Catalog Microelectronica, 1985.
[2] * * * RCA Solid State Application Note ICAN-6601.
[3] * * * Circuits for Electronic Engineers Book Series, McGraw-Hill, 1977.
[4] * * * Colecția revistei Elektor, 1977—1982.
[5] * * * Amáterske Radio pro Konstruktery, nr. 2, 3, 4/1985.
[6] I. Dragu, I. M. Iosif, Circuite integrate liniare. Amplificatori operaționali. Editura Militară, București, 1981.
[7] * * * COS/MOS Digital Integrated Circuits RCA Solid State, 1972.

6. Aplicații ale decodificatoarelor

În acest capitol sînt descrise diferite aplicații ale decodificatoarelor, în particular valabile pentru circuitul MMC 4028.

6.1. Decodificator de 16 căi cu MMC 4028

Schema acestei extensii a decodificatorului de 10 căi este prezentată în figura 6.1. Bitul de intrare cel mai semnificativ este folosit pentru selecția decodificatorului. Dacă numărul de intrare se găsește între 0 și 7, intrarea D a decodificatorului D_1 va fi în **0** logic, iar intrarea D a circuitului D_2 în **1** logic. În acest fel, una din ieșirile $0 \div 7$ ale circuitului D_1 va fi activată (**1** logic), în timp ce ieșirile $0 \div 7$ ale circuitului D_2 vor fi în **0** logic.

Dacă numărul de la intrare este mai mare decît 7 (are bitul D în **1** logic), va fi activată una din ieșirile $0 \div 7$ ale decodificatorului D_2. Atribuind semnificația din figură ieșirilor $0 \div 7$ ale fiecărui decodificator se obține un decodificator de 16 căi.

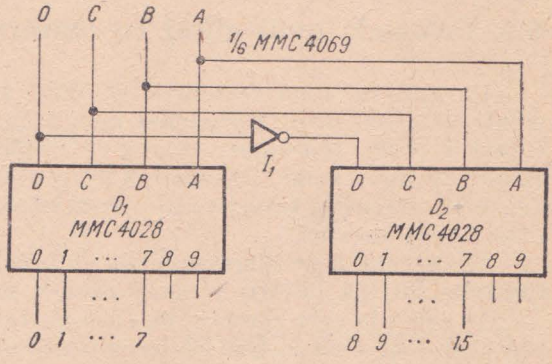


Fig. 6.1. Decodificator de 16 căi cu MMC 4028.

6.2. Decodificator de 64 căi cu MMC 4028

Decodificatoarele de 10 căi $D_1 \div D_8$ din schemă (fig. 6.2) sînt folosite ca decodificatoare de 8 căi. Cei trei biți mai semnificativi ai numărului de intrare (D, E, F) selectează, prin intermediul decodificatorului D_9, unul din circuitele $D_1 \div D_8$, în timp ce biții A, B, C determină ieșirea activă a decodificatorului selectat.

Un semnal în starea **SUS** pe intrarea D (INH) a decodificatorului D_9 inhibă funcționarea circuitului global.

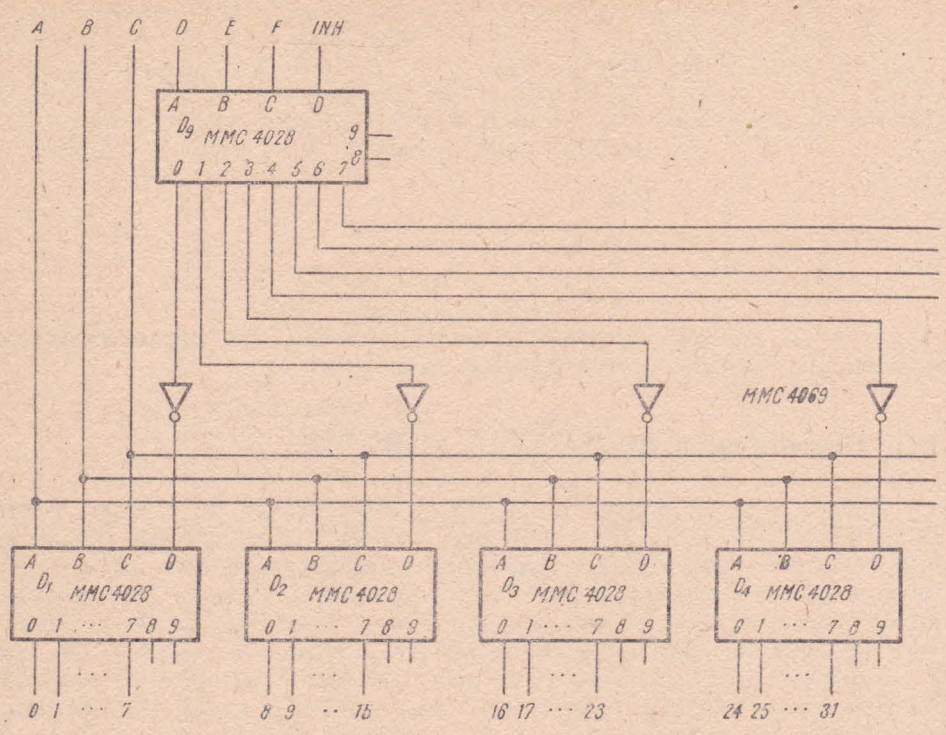


Fig. 6.2. Decodificator de

6.3. Comanda unui afișaj cu descărcare în gaz [1], [2]

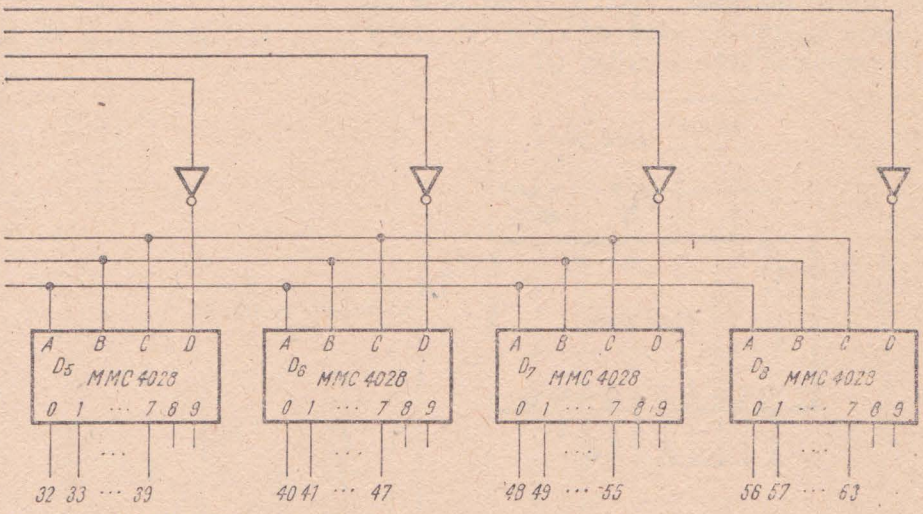
Cu ajutorul unui decodificator MMC 4028 se pot comanda diverse elemente de afișaj prin intermediul unor tranzistoare (fig. 6.3) care să suporte curentul și/sau tensiunea, cerute de dispozitivul comandat. În cazul unor afișaje cu anod comun, semnalul activ **SUS** de pe ieșirea decodificatorului aduce în conducție tranzistorul *npn* care comandă astfel, aprinderea elementului corespunzător.

Rezistența R se dimensionează în funcție de tranzistorul T, de curentul cerut de sarcină (afișaj) și de tensiunea de alimentare a decodificatorului.

În cazul în care curentul de bază al tranzistorului T ar fi mai mare decît curentul disponibil la ieșirea decodificatorului, se poate folosi o configurație Darlington. Tensiunea de alimentare a circuitului integrat fiind de cel puțin 3 V, nu vor fi probleme la comanda tranzistorului compus.

6.4. Demultiplexor 1 : 8 [2]

Decodificatorul MMC 4028 poate fi folosit ca demultiplexor 1 : 8 (fig. 6.4). Semnalul de pe intrarea $DATA$ se obține la ieșirea selectată de adresa prezentă pe intrările $A_0A_1A_2$. Ieșirile Q_8 și Q_9 sînt, respectiv, complementele ieșirilor Q_0 și Q_1.



64 căi cu MMC 4028.

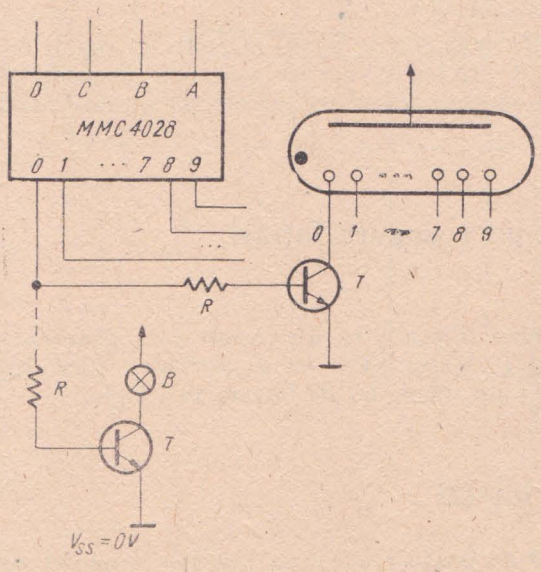


Fig. 6.3. Comanda unui afisaj cu descărcare în gaz cu MMC 4028.

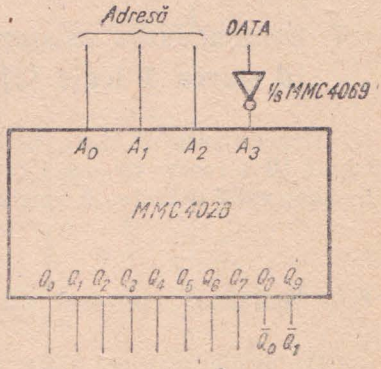


Fig. 6.4. Demultiplexor 1 : 8.

6.5. Demultiplexor 1 : 4 cu intrare de inhibare [2]

Schema din figura 6.5 reprezintă un demultiplexor 1 : 4 cu intrare de inhibare realizat cu decodificatorul MMC 4028. Nivelul logic de pe intrarea *DATA* se regăsește la ieșirea corespunzătoare adresei de pe intrările A_1A_0, dacă intrarea de inhibare (A_3) este în **0** logic. Dacă A_3 este în starea **1** logic, toate ieșirile de interes ($Q_0 \div Q_3$) sînt în **0** logic.

Dacă demultiplexorul este selectat ($INH = \mathbf{0}$), la ieșirile $Q_4 \div Q_7$ se obțin complementele ieșirilor $Q_0 \div Q_3$.

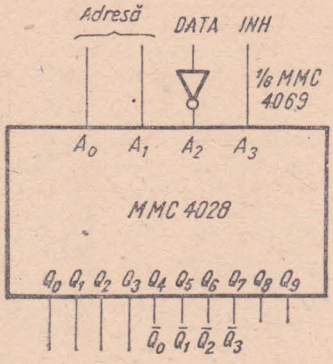


Fig. 6.5. Demultiplexor 1 : 4 cu intrare de inhibare.

6.6. Demultiplexor 1 : 32 cu intrare de inhibare [2]

Circuitul prezentat în paragraful anterior se poate extinde. În figura 6.6 se poate vedea un demultiplexor 1 : 32 cu intrare de inhibare. Decodificatorul D_5 selectează circuitul care va decodifica cei mai puțin semnificativi 3 biți de intrare.

6.7. Semnalizarea existenței unei singure intrări în starea 1 logic [2]

Decodificatorul MMC 4028 poate fi privit ca un circuit care generează primii 10 termeni canonici (activi în starea **SUS**) de 4 variabile. Circuitul din figura 6.7 detectează existența unui singur bit de intrare în **1** logic.

6.8. Scăzător complet de 1 bit [2]

Cu decodificatorul MMC 4028 se poate realiza un scăzător complet de 1 bit (fig. 6.8) prevăzut și cu o intrare de validare activă în starea **JOS**. B_n este intrarea de împrumut, iar B_{n+1} este ieșirea de împrumut a scăzătorului.

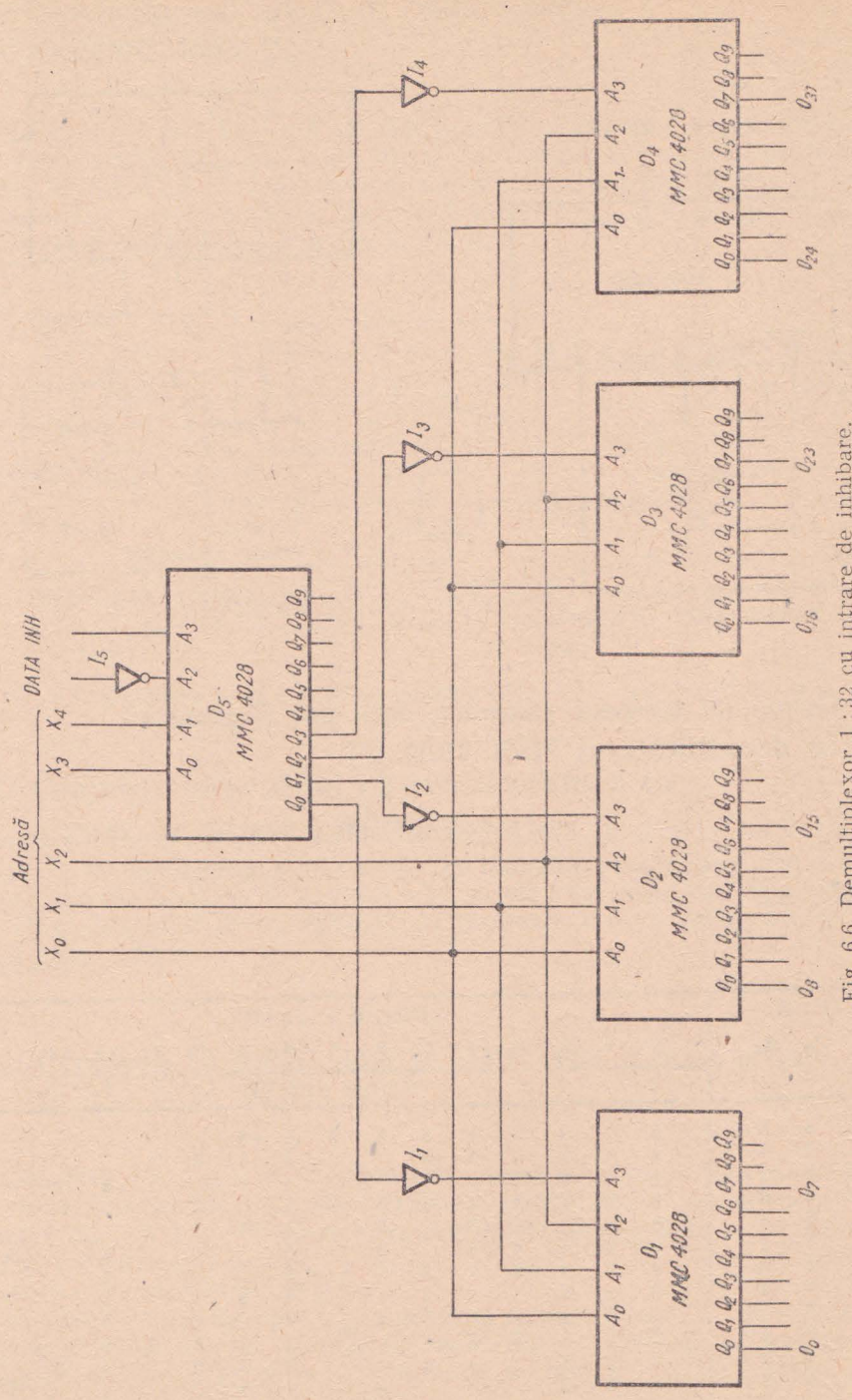


Fig. 6.6. Demultiplexor 1 : 32 cu intrare de inhibare.

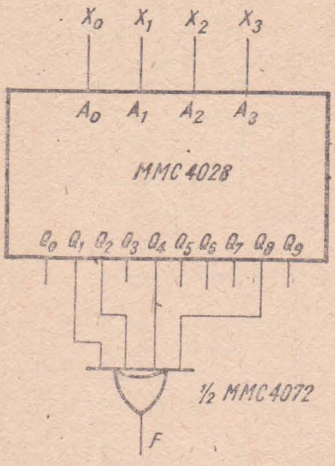


Fig. 6.7. Semnalizarea unei singure intrări în starea *1*.

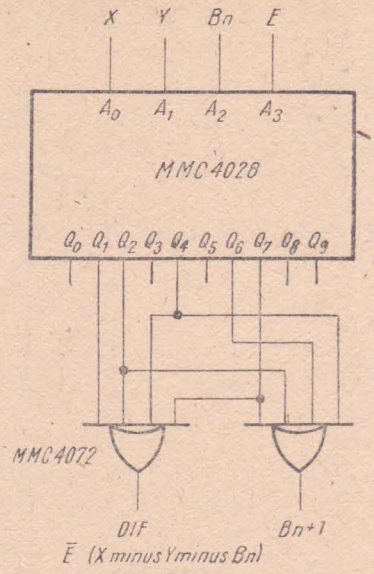


Fig. 6.8. Scăzător complet de 1 bit.

6.9. Grupe de termeni canonici, care pot fi generați cu decodificatorul MMC 4028 [2]

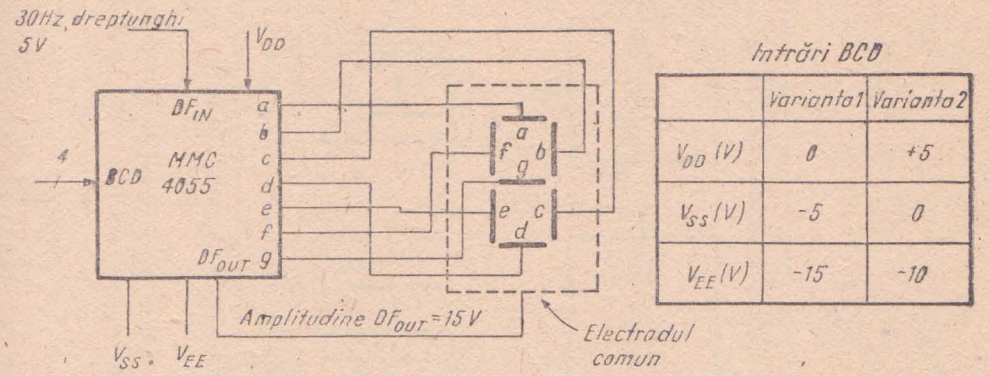
În tabelul 6.1 se arată cum se pot decodifica diferitele grupe de termeni canonici prin schimbarea ponderii (1—2—4—8) a semnalelor de la intrările $A_0 \div A_3$.

Tabelul 6.1

INTRĂRI				COD DE INTRARE													
A_0	A_1	A_2	A_3	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
				IEȘIRI ACTIVE															
1	2	4	8	0	1	2	3	4	5	6	7	8	9						
1	2	8	4	0	1	2	3	8	9			4	5	6	7				
1	4	8	2	0	1	8	9	2	3			4	5			6	7		
2	1	4	8	0	2	1	3	4	6	5	7	8		9					
2	1	8	4	0	2	1	3	8		9		4	6	5	7				
2	4	8	1	0	8	1	9	2		3		4		5		6		7	
4	1	2	8	0	2	4	6	1	3	5	7	8				9			
4	1	8	2	0	2	8		1	3	9		4	6			5	7		
4	2	8	1	0	8	2		1	9	3		4		6		5		7	
8	1	2	4	0	2	4	6	8				1	3	5	7	9			
8	1	4	2	0	2	8		4	6			1	3	9		5	7		
8	2	4	1	0	8	2		4		6		1	9	3		5		7	

6.10. Comanda unui afișaj cu cristale lichide cu MMC 4055 [1]

În figura 6.9 este ilustrată schema tipică de utilizare a decodificatorului MMC 4055 pentru comanda unui afișaj cu 7 segmente cu cristale lichide. În tabel se dau două variante de alimentare pentru schemă. Semnalul dreptunghiular DF_{IN} are valoarea vîrf-vîrf de 5 V (între V_{SS} și V_{DD}); pinul DF_{OUT} se conectează la electrodul comun al cifrei.



	Varianta 1	Varianta 2
V_{DD} (V)	0	+5
V_{SS} (V)	-5	0
V_{EE} (V)	-15	-10

Fig. 6.9. Comanda unui display cu cristale lichide cu circuitul MMC 4055.

6.11. Comanda unui afișaj cu cristale lichide cu 6 cifre cu circuitul MMC 4055 [1]

Schema din figura 6.10 servește la comanda unui afișaj cu cristale lichide cu 6 cifre. Semnalul dreptunghiular de inversare a fazei DF_{IN} este același pentru toate cifrele.

6.12. Comanda cu MMC 4056 și MMC 4054 a unui afișaj de $3^1/_2$ cifre [1]

Circuitul din figura 6.11 reprezintă partea de comandă a unui afișaj cu cristale lichide de $3^1/_2$ cifre. Pentru decodificarea și comanda cifrelor „întregi" E_2, E_3, E_4 se folosesc circuitele MMC 4056 prevăzute cu latch-uri pe intrări. Pentru comanda semnului „—", a cifrei „1" și a punctelor zecimale se folosesc circuite MMC 4054.

Semnalul $STROBE_1$ permite înscrierea informațiilor în latch-urile L_1. Semnalele $STROBE_2 \div STROBE_4$ comandă înscrierea informației în latch-urile din $D_1 \div D_3$ și în L_2. Semnalul de inversare a fazei este comun pentru toate circuitele de comandă.

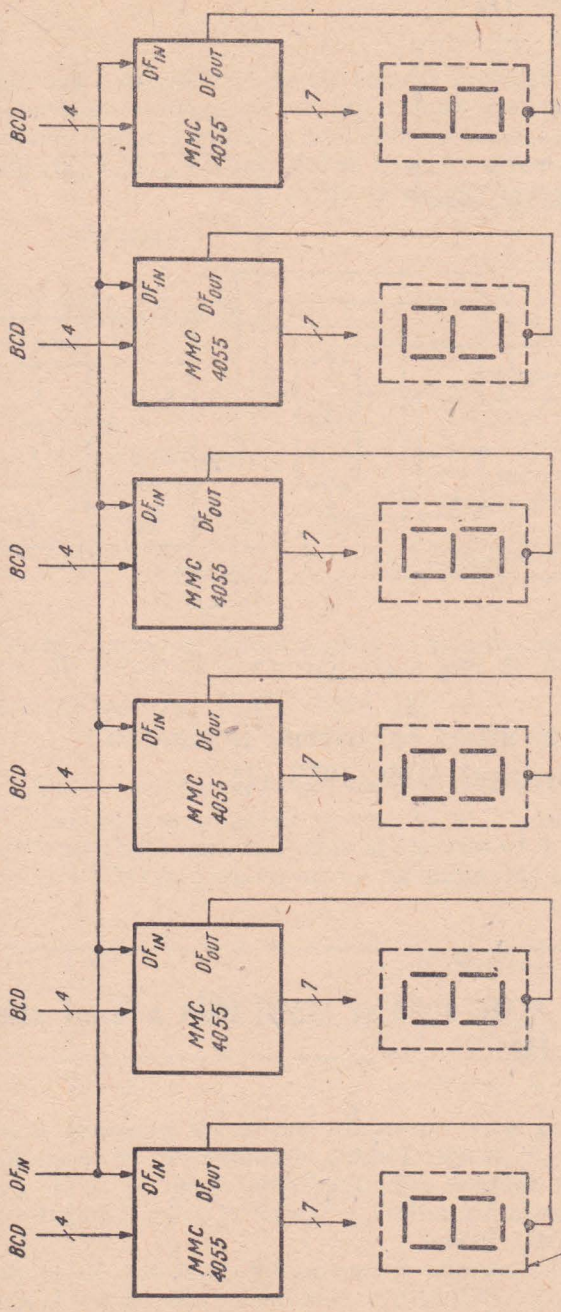


Fig. 6.10. Comanda unui display cu 6 cifre (cristale lichide) cu MMC 4055.

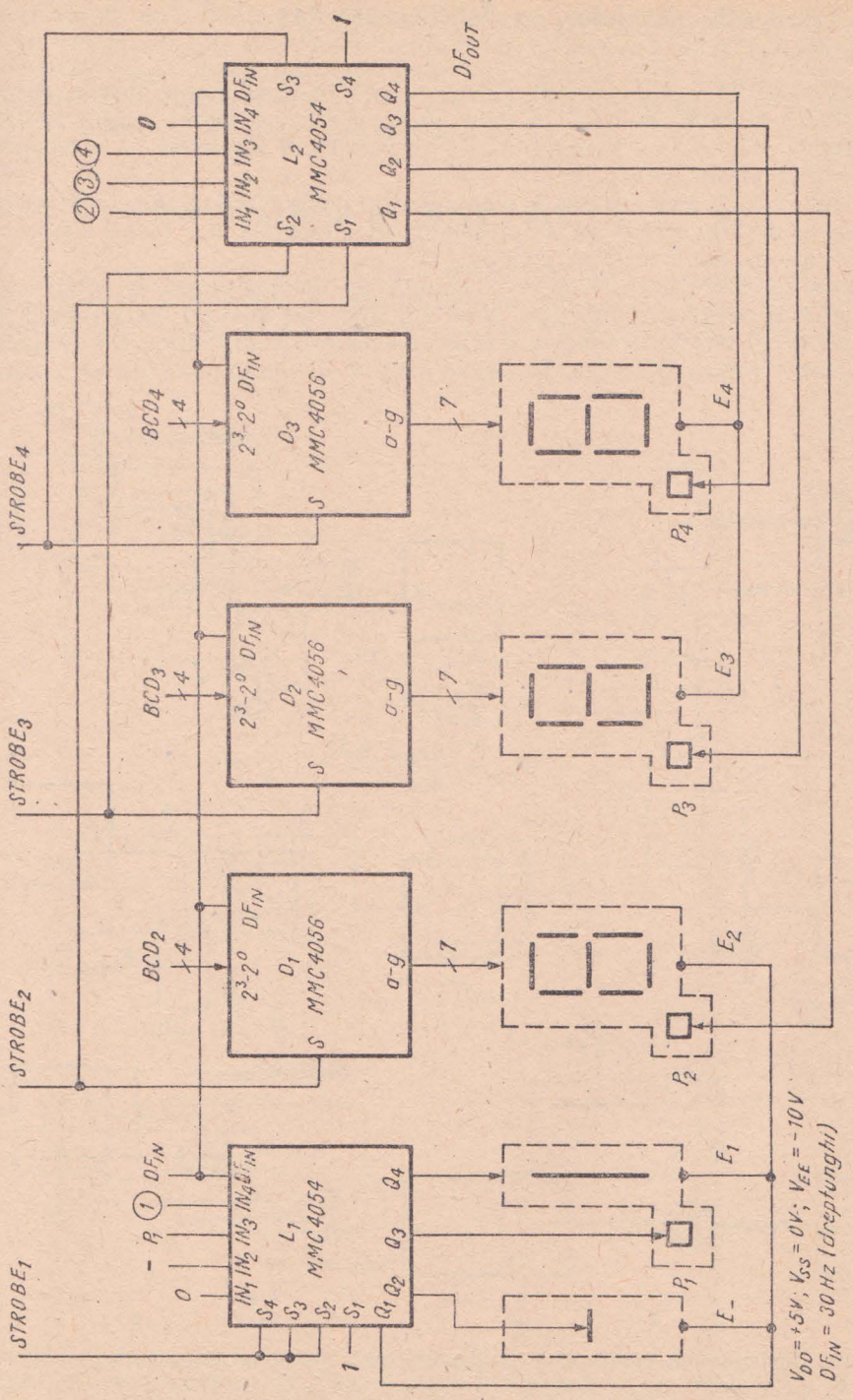


Fig. 6.11. Comanda unui displaý cu $3^1/_2$ cifre (cristale lichide) cu MMC 4055, MMC 4054.

6.13. Comanda afișajelor cu MMC 4511 [1]

Circuitul MMC 4511 a fost conceput pentru a comanda direct afișaje cu LED-uri cu catod comun. În figura 6.12, *a* este prezentat modul în care se comandă afișajele cu catod comun. Rezistența R limitează curentul prin dioda electroluminescentă și prin circuit.

În figura 6.12, *b* este arătat modul în care se poate folosi circuitul MMC 4511 pentru a comanda afișaje cu anod comun. Rezistențele R_1, R_2 se dimensionează conform relațiilor din figură.

Circuitul din figura 6.12, *c* comandă aprinderea/stingerea unui bec. Rezistența R servește la preîncălzirea filamentului becului, astfel încît să se reducă șocul termic la conectare și să crească rezistența efectivă a filamentului „rece" (neincandescent). În figura 6.12, *d* se vede modul direct în care

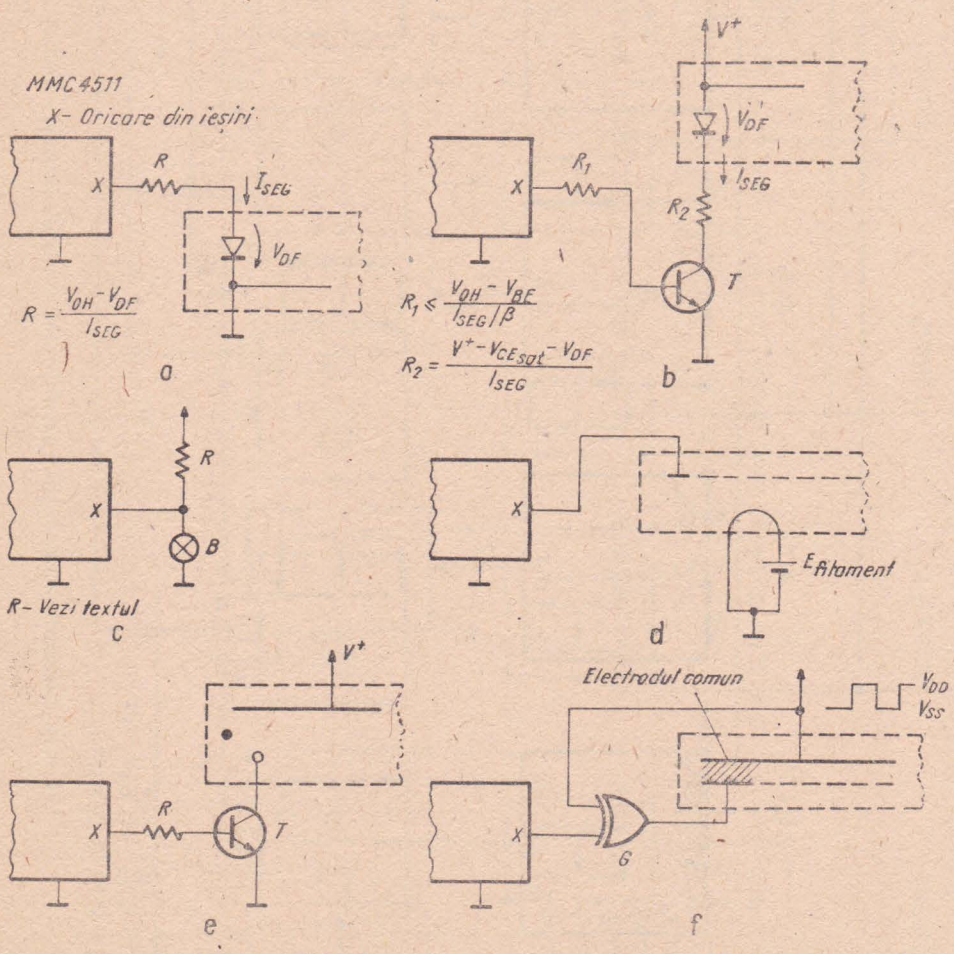


Fig. 6.12. Comanda cu MMC 4511 a display-urilor : *a*) cu LED-uri cu catod comun ; *b*) cu LED-uri cu anod comun ; *c*) cu becuri ; *d*) cu descărcare, în catod comun ; *e*) cu descărcare, cu anod comun ; *f*) cu cristale lichide.

se comandă un afișaj fluorescent de tensiune joasă. Comanda pentru tuburi cu descărcare în gaz se vede în figura 6.12, *e*. Tranzistorul *T* trebuie să aibă tensiunea V_{CEO} corespunzătoare. Pentru a comanda afișaje cu cristale lichide cu MMC 4511 este necesar un circuit exterior cu o poartă SAU-EXCLUSIV (XOR) pentru schimbarea periodică a fazei.

6.14. Comanda afișajelor cu MMC 4543 [1]

Comanda afișajelor cu circuitul MMC 4543 este prezentată în figurile 6.13, *a*—6.13, *f*. Afișajele cu cristale lichide se comandă direct (fig. 6.13, *a*). Semnalul de fază se aplică atît pe intrarea *Ph* a circuitului integrat, cît și

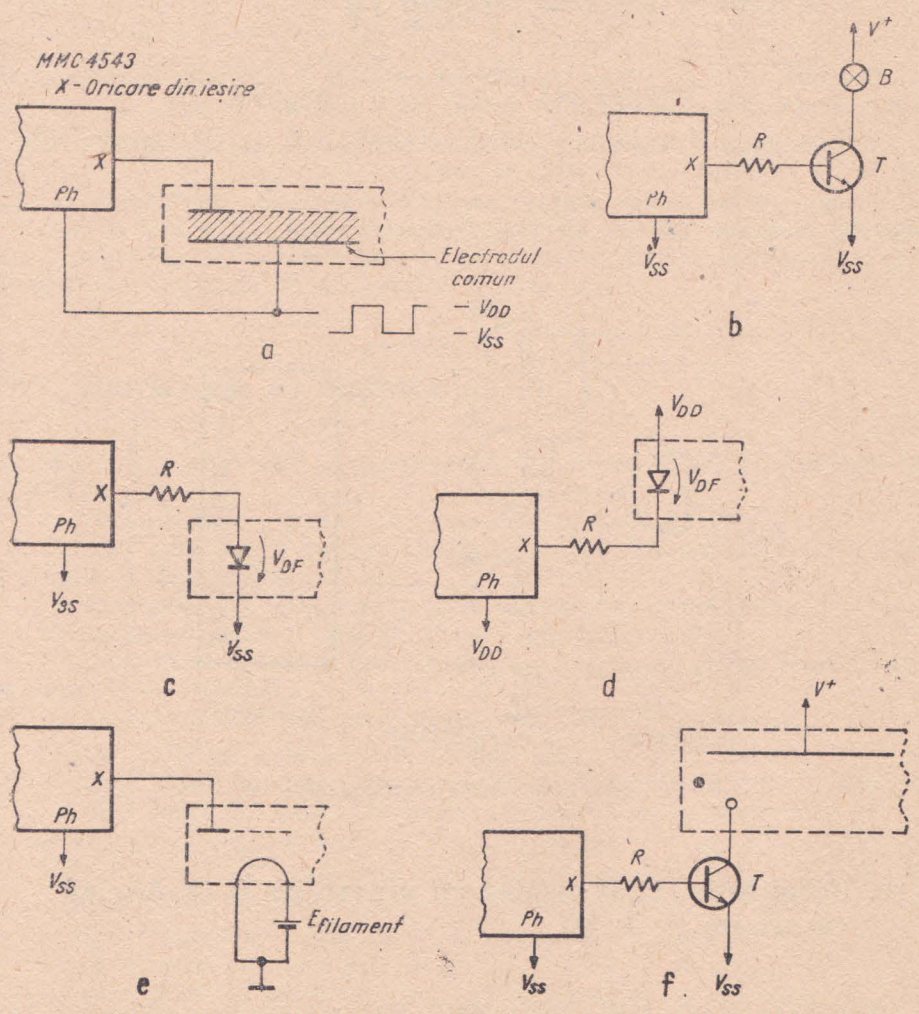


Fig. 6.13. Comanda cu MMC 4543 a afișajelor : *a*) cu cristale lichide ; *b*) cu becuri ; *c*) cu LED-uri cu catod comun ; *d*) cu anod comun ; *e*) cu tub fluorescent ; *f*) cu descărcare în gaz.

pe electrodul comun al afișajului. Becurile se comandă prin intermediul unui tranzistor (fig. 6.13, *b*).

Pentru curenți mai mici de 10 mA sau $V_{DD} > 10$ V, afișajele cu LED-uri (atît cu anod comun, cît și cu catod comun) se pot comanda direct. Rezistența R se va dimensiona corespunzător curentului care va străbate LED-ul. Intrarea de comandă a fazei *Ph* se conectează la V_{SS} pentru LED-uri cu catod comun și la V_{DD} pentru LED-uri cu anod comun. Display-urile fluorescente se comandă după schema din figura 6.13, *e*, iar cele cu tuburi cu descărcare în gaz, după schema din figura 6.13, *f*.

6.15. Convertor 7 segmente/zecimal [3]

Circuitul din figura 6.14 transformă codul de 7 segmente în cod zecimal, pentru a comanda, de exemplu, tuburi cu descărcare în gaz.

Ieșirile nu mai respectă ordinea obișnuită : la Q_0 corespunde cifra 0, dar la Q_1 corespunde 2 etc.

Trebuie să se acorde atenție nivelelor semnalelor de intrare și să se prevadă, eventual, circuite de translatare de nivel.

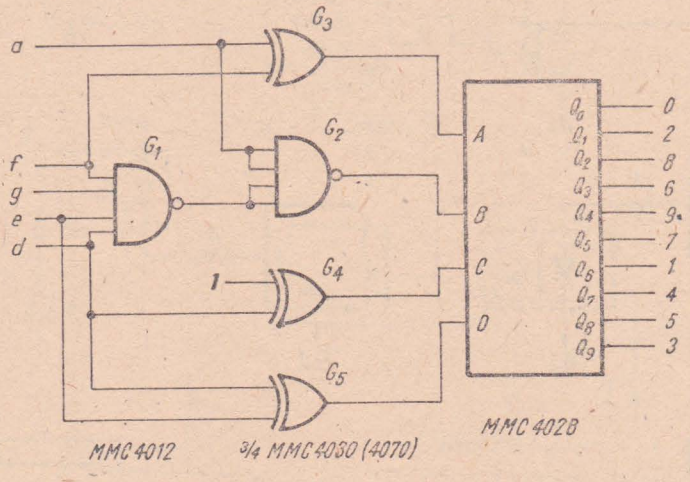


Fig. 6.14. Convertor 7 segmente/zecimal.

6.16. Schimbarea unui display cu afișare de H în display cu afișare de F [4]

Decodificatoarele MMC 4055, MMC 4056 permit, pentru coduri de la **1010** la **1101**, afișarea literelor L, H, P, A. Circuitul din figura 6.15 permite afișarea literei F în locul literei H. Schema funcționează dacă $V_{SS} = V_{EE}$.

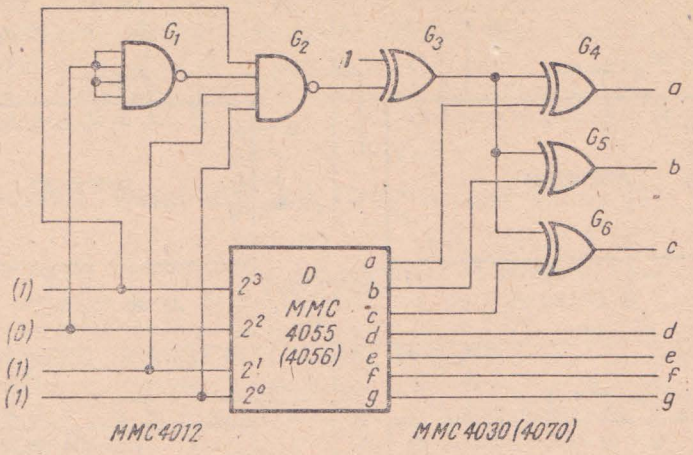


Fig. 6.15. Schimbarea unui display cu afișare de H în display cu afișare de F.

Pentru $V_{SS} \neq V_{EE}$ trebuie să se prevadă în punctele necesare (pe intrările porților G_1, G_2) translatoare de nivel (MMC 4054), presupunînd că se alimentează circuitele $G_1 \div G_6$ între V_{EE} și V_{DD}.

6.17. Convertoare de reprezentare [3], [2]

Regulile de conversie a numerelor dintr-o reprezentare în alta sînt date în continuare:

a) din „mărime + semn" în „complement față de 2":
— dacă bitul de semn este negativ se complementează fiecare bit și se adună 1 la rezultat;
— dacă bitul de semn este pozitiv, numărul nu se schimbă.

b) din „complement față de 2" în „mărime + semn":
— dacă bitul de semn este negativ, se complementează fiecare bit și se adună 1 la rezultat;
— dacă bitul de semn este pozitiv, numărul nu se schimbă.

c) din „mărime + semn" în „complement față de 1":
— dacă bitul de semn este negativ, se complementează fiecare bit;
— dacă bitul de semn este pozitiv, numărul nu se schimbă.

d) din „complement față de 1" în „mărime + semn":
— dacă bitul de semn este negativ, se complementează fiecare bit;
— dacă bitul de semn este pozitiv, numărul nu se schimbă.

e) din „complement față de 2" în „complement față de 1":
— dacă bitul de semn este negativ, se scade 1 din număr;
— dacă bitul de semn este pozitiv, numărul nu se schimbă.

f) din „complement față de 1" în „complement față de 2":
— dacă bitul de semn este negativ, se adună 1 la număr;
— dacă bitul de semn este pozitiv, numărul nu se schimbă.

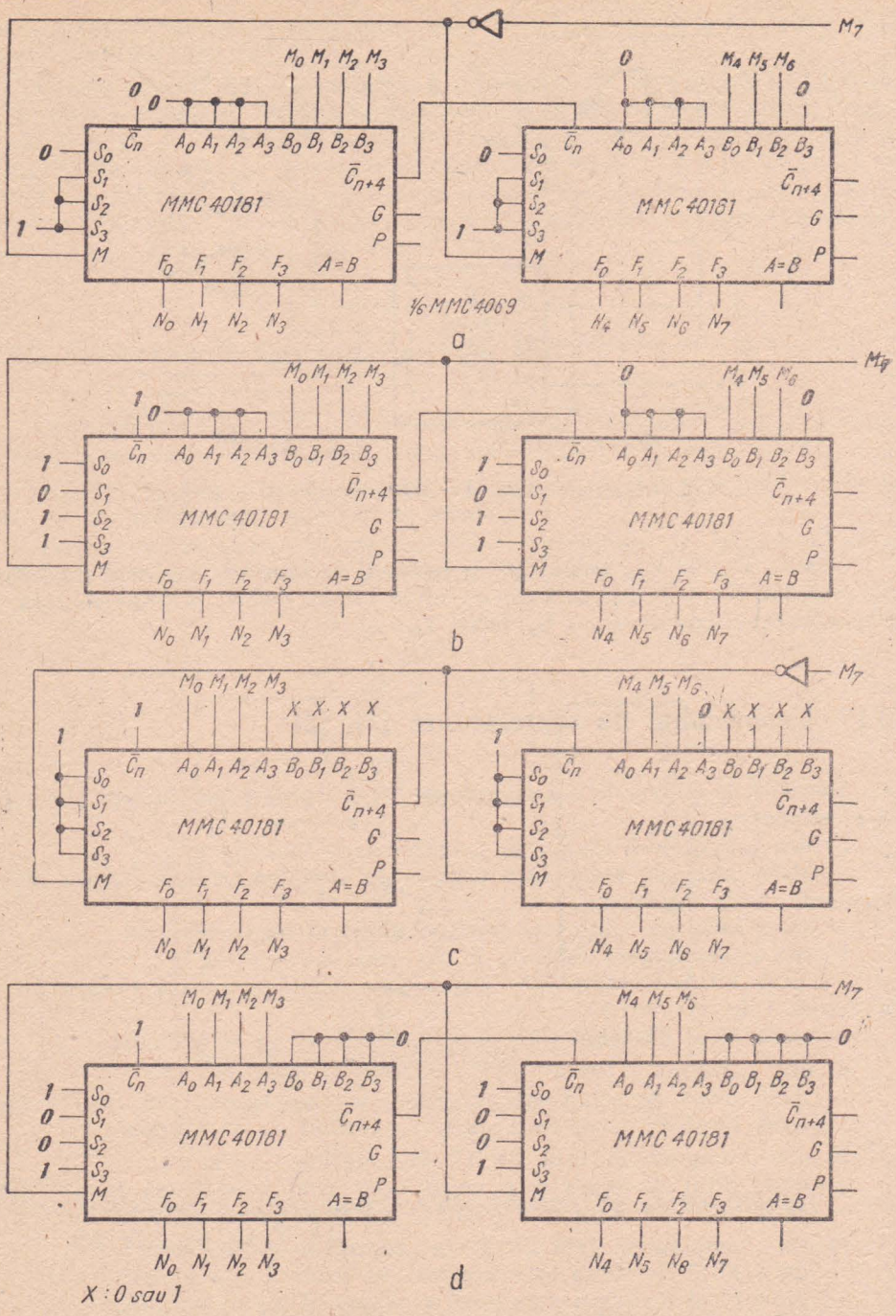


Fig. 6.16. Convertoare de reprezentare : *a)* din „complement față de 2" în „mărime + semn", sau invers ; *b)* din „complement față de 1" în „mărime + semn", sau invers ; *c)* din „complement față de 2" în „complement față de 1" ; *d)* din „complement față de 1" în „complement față de 2".

Prin „bit de semn negativ" am înțeles bitul cel mai semnificativ egal cu **1**. „Bitul de semn pozitiv" reprezintă bitul cel mai semnificativ egal cu **0**.

În figurile 6.16, *a*÷6.16, *d* sînt date, respectiv, circuitele de conversie pentru numere de 8 biți pentru cazurile a), b); c), d); e), f).

6.18. Convertor serial din cod Gray in cod binar [2]

Codificatoarele electrice sau electrooptice (traductoare de unghi etc.) nu folosesc coduri binare, pentru că trecerea de la o stare la alta produce de obicei, schimbări de biți în mai multe poziții (de exemplu tranziția de la 7 la 8 înseamnă în binar **0111—1000**). Schimbările nu se vor produce simultan, astfel că vor apărea tranziții parazite. Pentru a le evita, se folosesc coduri de tip Gray, la care, la trecerea într-o stare adiacentă, nu se schimbă decît un singur bit.

În figura 6.17 se poate vedea un convertor serial din cod Gray în cod binar. Transformarea începe cu bitul cel mai semnificativ.

6.19. Convertor paralel din cod Gray în cod binar [2]

Circuitul din figura 6.18 folosește n porți SAU-EXCLUSIV (XOR) pentru a transforma un cuvînt de $n + 1$ biți din cod Gray în cod binar.

Rezultatul apare după nt_p, unde t_p este timpul de propagare printr-o poartă.

6.20 Convertor serial din cod binar în cod Gray [2]

În convertorul din figura 6.19 numărul în cod binar se introduce începînd cu bitul cel mai semnificativ.

Pentru convertoarele seriale (fig. 6.17, 6.19) bistabilul funcționează ca un element de întîrziere cu un tact.

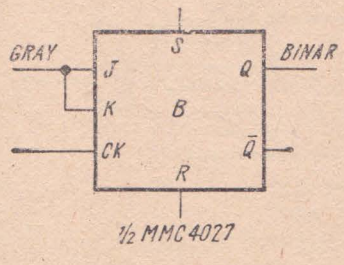


Fig. 6.17. Convertor serial din cod Gray în binar.

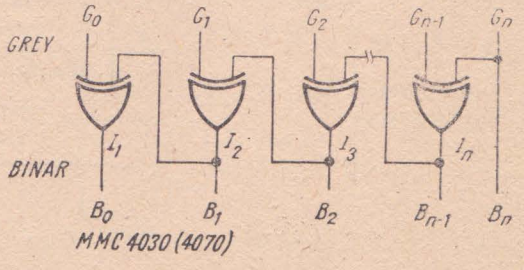


Fig. 6.18. Convertor „paralel" din binar în cod Gray.

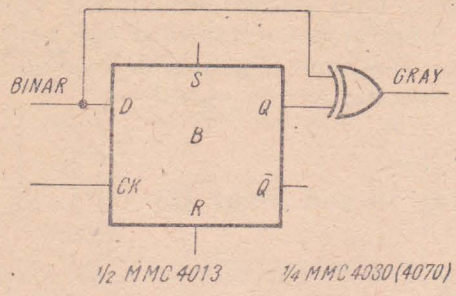


Fig. 6.19. Convertor serial din binar în cod Gray.

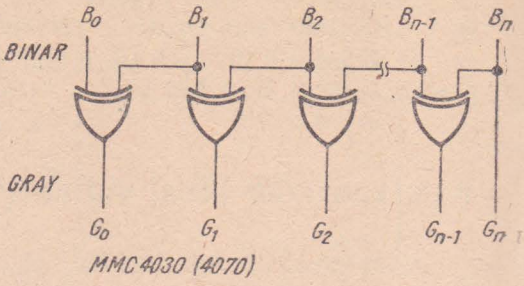


Fig. 6.20. Convertor „paralel" din binar în cod Gray.

6.21. Convertor paralel din cod binar în cod Gray [2]

Conversia din cod binar în cod Gray pentru un cuvînt de $n + 1$ biți (fig. 6.20) se realizează cu ajutorul a n porți SAU-EXCLUSIV (XOR) conectate în paralel.

Astfel, numărul în cod Gray se va obține după un timp t_p (timpul de propagare printr-o poartă SAU-EXCLUSIV (XOR)).

6.22. Generatoare de complement față de 9 [2]

Circuitele din figurile 6.21, *a* și *b* permit obținerea complementului față de 9, util în operațiile cu numere reprezentate BCD. Cu circuitul din figura 6.21, *b* se poate obține fie complementul față de 9, fie numărul dat.

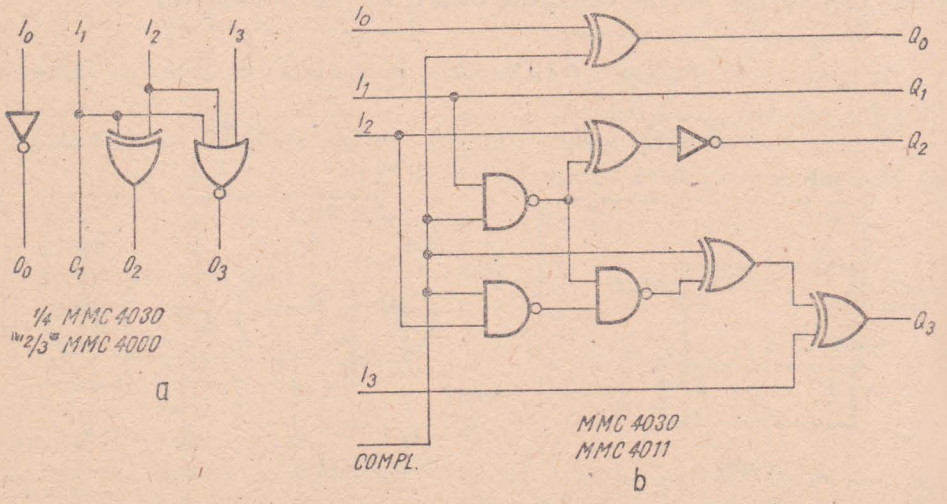


Fig. 6.21. Generator de complement față de 9 (*a*); generator controlat de complement față de 9 (*b*).

6.23. Convertor BCD serie/paralel [4]

Circuitul din figura 6.22 *a* convertește în formă paralelă un număr BCD prezentat la intrare sub formă de impulsuri modulate în durată.

Datele de intrare se prezintă sub formă de grupe de cîte 5 biți, bitul al cincilea servind la sincronizare. Monostabilul M_1 trebuie să genereze un impuls cu lățimea $t_M = (t_1 + t_2)/2$, iar M_2 — un impuls scurt, de 10 μs.

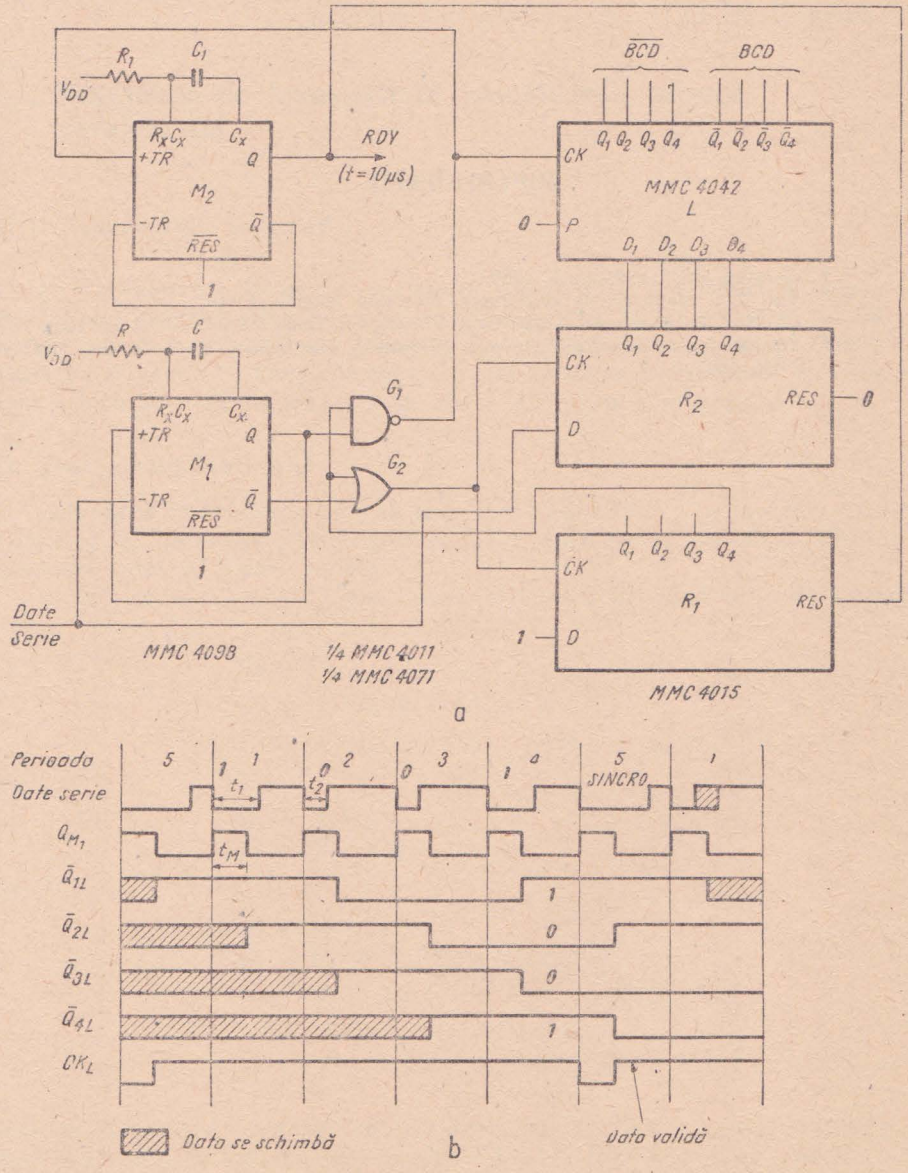


Fig. 6.22. Convertor BCD serie/paralel : *a*) schema ; *b*) forme de undă.

Monostabilul M_1 este declanșat de frontul negativ al fiecărui bit de intrare și, dacă intrarea este în **0** logic în momentul în care ieșirea monostabilului revine în **0** logic, se introduce un **0** în registrul de deplasare R_2. În caz contrar, se introduce un **1** în R_2.

Registrul R_1 este folosit ca numărător pentru inhibarea accesului în R_2 și permiterea accesului în latch-ul L și în monostabilul M_2 în timpul impulsului de sincronizare. La terminarea conversiei se activează pentru 10 μs ieșirea Q a monostabilului M_2 (semnalul RDY). Sînt disponibile, simultan, atît numărul în BCD cît și complementul său.

BIBLIOGRAFIE

[1] * * * Catalog Microelectronica, 1985.
[2] * * * The TTL Applications Handbook, Fairchild Semiconductor, 1973.
[3] * * * Circuits for Electronic Engineers, Electronics Book Series, McGraw-Hill, 1977.
[4] * * * Design Techniques for Electronic Engineers, Electronics Book Series, McGraw-Hill, 1977.

7. Realizarea de circuite aritmetice

7.1. Semnalele de transport în sumatoarele binare paralele [2]

7.1.1. Transportul succesiv

În varianta cu transport succesiv, intrarea de transport a celulei din poziția mai semnificativă se conectează la ieșirea de transport a celulei precedente. În cel mai defavorabil caz, la adunarea a n numere, întîrzierea totală va fi de $n - 1$ timpi de întîrziere de la intrarea la ieșirea de transport plus o întîrziere de la intrarea de date la ieșirea sumatorului.

1.2. Transportul anticipat

Adunarea și scăderea se pot face mai rapid dacă, în loc să se aștepte generarea și propagarea transportului, se anticipează valoarea bitului de transport pentru fiecare celulă.

Astfel, dacă A_i, B_i, C_i sînt, respectiv, intrările de date și de transport pentru celula i a sumatorului, atunci:

$$C_0 = C_0$$
$$C_1 = A_0 \cdot B_0 + C_0(A_0 + B_0)$$
$$C_2 = A_1 \cdot B_1 + C_1 \cdot (A_1 + B_1) \text{ ș.a.m.d.}$$

Fie:

$$G_i = A_i \cdot B_i$$
$$P_i = A_i + B_i$$

Rezultă:

$$C_1 = G_0 + P_0 \cdot C_0$$
$$C_2 = G_1 + P_1 \cdot (G_0 + P_0 \cdot C_0)$$
$$C_3 = G_2 + P_2 \cdot (G_1 + P_1 \cdot G_0 + P_1 \cdot P_2 \cdot G_0)$$
$$\cdots\cdots$$
$$C_{i+1} = G_i + P_i \cdot G_{i-1} + P_i \cdot P_{i-1} \cdot G_{i-2} + P_i \cdot P_{i-1} \cdot P_{i-2} \cdot G_{i-3} + \ldots$$

Rezultă că, teoretic, transportul anticipat pentru fiecare celulă poate apărea după doi timpi de întîrziere prin cîte o poartă logică (un timp pentru a genera G_i și P_i și al doilea pentru C_i).

Rezultatul ar apărea, astfel, după 3 timpi de întîrziere. Practic, nu se pot realiza scheme în care să se calculeze în acest mod suma pentru mai mult de 5 sau 6 biţi din cauza complicării interconexiunilor şi încărcării excesive a unor porţi.

În cazul unităţii aritmetice-logice MMC 40181 se utilizează transportul anticipat în interior, iar pentru conectarea circuitelor se prevăd ieşirile:

$$G = G_3 + P_3 \cdot G_2 + P_3 \cdot P_2 \cdot G_1 + P_3 \cdot P_2 \cdot P_1 \cdot G_0$$
$$P = P_3 \cdot P_2 \cdot P_1 \cdot P_0$$

Nici G, nici P nu depind de starea intrării de transport C_n. Dacă se conectează mai multe circuite în cascadă, transportul în circuitul m va fi:

$$C_n^{(m)} = G_{m-1} + P_{m-1} \cdot G_{m-2} + P_{m-1} \cdot P_{m-2} \cdot G_{m-3} + \ldots$$

În interiorul circuitului m vom avea:

$$C_0 = C_m$$
$$C_1 = G_0 + P_0 C_m$$
$$C_2 = G_1 + P_1 \cdot G_0 + P_1 + P_0 \cdot C_m$$
$$C_3 = G_2 + P_2 \cdot G_1 + P_2 \cdot P_1 \cdot G_0 + P_2 \cdot P_1 \cdot P_0 \cdot C_m$$

7.2. Modalităţi de reprezentare a numerelor

Numerele pozitive se pot reprezenta într-un singur mod, dar pentru numerele negative se pot folosi trei reprezentări:

a) prin mărime şi semn

Bitul cel mai semnificativ reprezintă semnul (**0** = pozitiv, **1** = negativ) restul biţilor indică mărimea reprezentată ca un număr pozitiv. Această reprezentare este utilă pentru înmulţire şi împărţire dar nu şi pentru adunare şi scădere.

b) în complement faţă de 1

Fiecare bit al unui număr negativ este complementul bitului corespunzător al numărului pozitiv de acelaşi modul. Deci, numărul $-A$ este reprezentat prin $2^n - A - 1$, unde n este numărul de biţi.

c) în complement faţă de 2

Complementul faţă de 2 se obţine inversînd fiecare bit al numărului pozitiv şi adunînd 1 la bitul cel mai puţin semnificativ. În complementul faţă de 2, un cuvînt de n biţi reprezintă un număr în domeniul $-(2^{n-1})$, $+(2^{n-1} - 1)$.

7.3. Adunarea şi scăderea numerelor binare [2]

Adunarea numerelor pozitive este directă, dar dacă apare un transport spre bitul de semn, acesta se interpretează ca *overflow*. Cînd se adună două numere negative sau un număr negativ şi unul pozitiv, modul în care se face operaţia depinde de reprezentarea numerelor negative.

În complement faţă de 2, adunarea este directă dar se adună şi biţii de semn. Se ignoră un eventual transport de la bitul de semn. În complement faţă de 1, transportul de la bitul de semn va fi folosit ca transport de intrare.

În complement față de 2, scăderea se face adunînd inversul scăzătorului și forțînd un 1 pe intrarea de transport. În complement față de 1, scăderea se face adunînd inversul scăzătorului folosind transportul de la bitul de semn ca transport de intrare.

7.4. *Overflow* [2]

Dacă se adună două numere care au același semn sau se scad două numere cu semne diferite, se poate obține un rezultat care să depășească lungimea cuvintelor date. Această situație (*overflow*) apare atunci cînd transportul de intrare în bitul de semn diferă de transportul de ieșire.

7.5. Sumator complet de 1 bit cu porți

Cu două porți ȘAU-EXCLUSIV (XOR) din capsula MMC 4030 (4070) și cu un „sfert" din capsula MMC 4019 se poate construi un sumator complet de 1 bit (fig. 7.1).

De remarcat că liniile de comandă K_A, K_B fiind comune pentru toate circuitele din MMC 4019, este greu de imaginat o aplicație care să folosească și celelalte 3 porți de pe cip.

7.6. Sumator serial de 1 bit [2]

Circuitul din figura 7.2 realizează sumarea a două numere disponibile în formă serială la intrarea circuitului. Suma se obține, de asemenea, serie. Sumatorul poate fi sumatorul complet de 1 bit prezentat în paragraful anterior. Bistabilul B memorează transportul. Operanzii se introduc în sumator începînd cu bitul cel mai puțin semnificativ. Pentru operanzi activi în starea SUS, bistabilul trebuie să fie resetat la aplicarea bitului celui mai puțin semnificativ. Pentru operanzi activi în starea JOS, bistabilul se va seta la aplicarea bitului celui mai puțin semnificativ.

7.7. Sumator/scăzător serial de 1 bit [2]

Circuitul din figura 7.3 realizează adunarea sau scăderea numerelor prezentate serial pe intrările X, Y, după cum intrarea $\overline{A}/S$ este în 0 sau în 1 logic. $\sum$ este sumatorul complet de 1 bit din figura 7.1, iar B este bistabilul care memorează transportul.

Pentru operanzi activi în starea SUS, bistabilul va fi resetat la începutul operației. Pentru operanzi activi în starea JOS, bistabilul se va seta la aplicarea bitului celui mai puțin semnificativ.

7.8. Sumator pe 3 biți cu MMC 40181 [2]

Unitatea logică aritmetică MMC 40181 poate fi utilizată ca un sumator de 3 biți (fig. 7.4). Operanzii se introduc pe intrările $A_0 \div A_2$, respectiv, $B_0 \div B_2$. Intrările A_3 și B_3 se pot conecta fie la V_{DD} fie la V_{SS}. Bitul de transport se conectează la intrarea C_n.

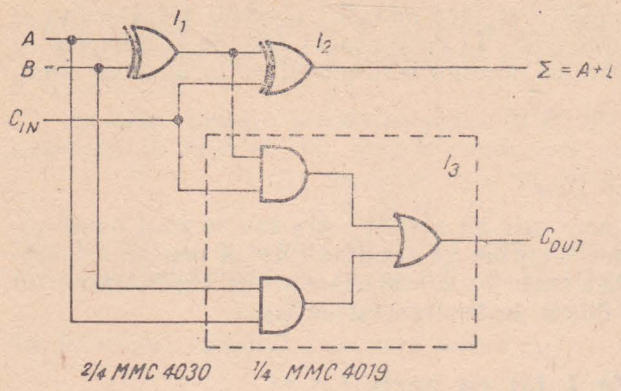


Fig. 7.1. Implementarea unui sumator complet de 1 bit cu circuite MMC 4030 și MMC 4019.

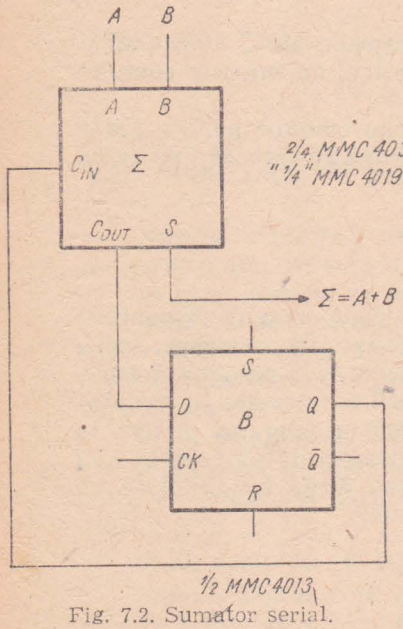


Fig. 7.2. Sumator serial.

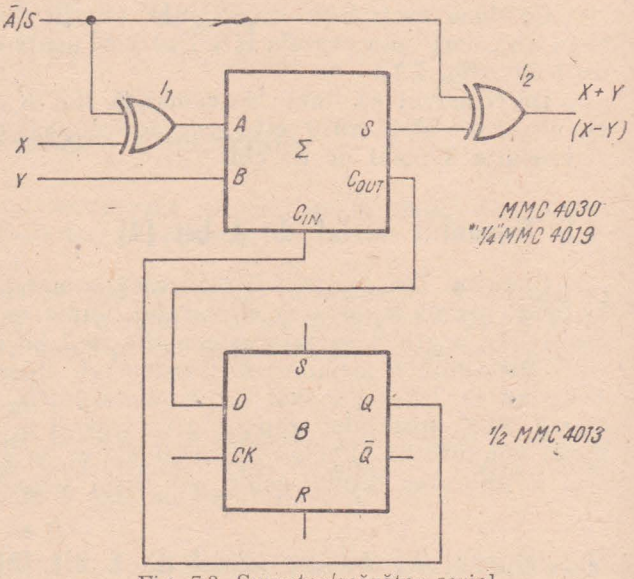


Fig. 7.3. Sumator/scăzător serial.

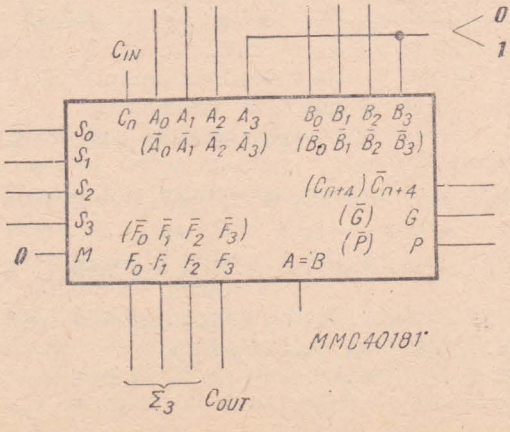


Fig. 7.4. Sumator pe 3 biți cu MMC 40181.

Suma se obține la ieșirile $F_0 \div F_2$ iar transportul pe pinul F_3. Operanzii pot fi activi fie în starea **SUS**, fie în starea **JOS**. Operația se selectează conform tabelului de funcționare al circuitului MMC 40181 [1].

7.9. Două sumatoare independente cu MMC 40181

Unitatea logică-aritmetică MMC 40181 se poate folosi ca două sumatoare independente, unul de 2 biți (Σ), celălalt de 1 bit (Σ'), după cum se poate vedea în figura 7.5.

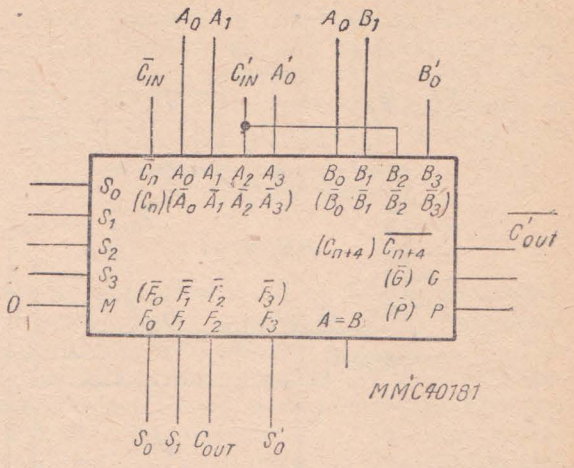


Fig. 7.5. 2 sumatoare independente cu MMC 40181.

Operanzii pot fi activi fie în starea **SUS**, fie în starea **JOS**. De asemenea, operația se selectează conform tabelului de funcționare al circuitului MMC40181.

7.10. Sumator serial de 3 variabile cu MMC 40181 [2]

Cu unitatea logică-aritmetică MMC 40181 se poate construi un sumator serial pentru operanzi. Circuitul MMC 40181 este folosit ca două sumatoare independente de 1 bit. Bistabilii B_1 și B_2 memorează biții de transport de la fiecare sumator. Dacă numerele B și C sînt active în starea **SUS** iar numărul A este activ în starea **JOS**, trebuie să se renunțe la inversorul I_1. Codul corespunzător al funcției se aplică la intrările $S_0 \div S_3$. Înainte de începerea sumării se aplică un impuls pe intrarea *INIT*, care va aduce la **0** bistabilii B_1 și B_2. (fig. 7.6).

7.11. Generarea *overflow-ului* [2]

Overflow-ul apare cînd transportul către bitul de semn diferă de transportul de la bitul de semn. Cînd se folosește unitatea logică-aritmetică MMC 40181, transportul către bitul de semn nu este disponibil în exterior. Pentru detectarea *overflow*-ului este, deci, necesară regenerarea acestui transport: $OVERFLOW = C_s \oplus C_{s+1} = (S_s \oplus A_s \oplus B_s) \oplus C_{s+1}$, unde S_s este semnul sumei, A_s și B_s sînt semnele operanzilor, iar C_{s+1} este transportul de la bitul de semn.

În figura 7.7 este prezentată o metodă pentru generarea *overflow*-ului. Bitul de semn este prelucrat în afara unității aritmetice. Operanzii sînt activi în starea **JOS**. Bitul de transport C_{n+4} va reprezenta transportul din poziția 2, întrucît $B_3 = 0$ logic, iar A_3 este în **1** sau în **0** logic, după cum termenii se adună sau se scad. Deci:

$$OVERFLOW = A_s \cdot \bar{C}_s \cdot (\bar{B}_s \oplus \overline{A/\bar{S}}) + \bar{A}_s \cdot C_s \cdot \overline{(\bar{B}_s \oplus A/\bar{S})} \qquad (*)$$

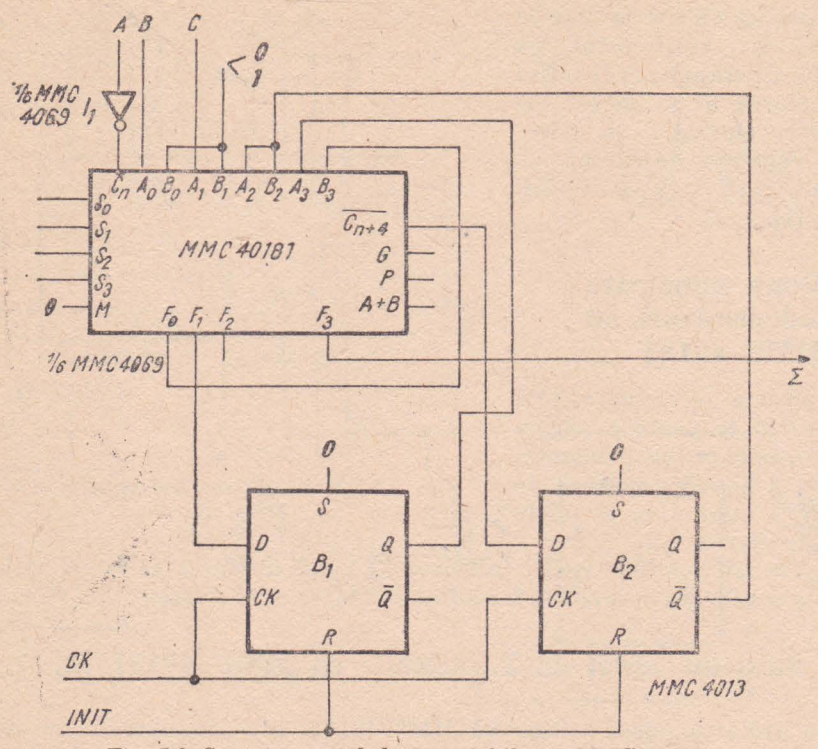


Fig. 7.6. Sumator serial de 3 variabile cu MMC 40181.

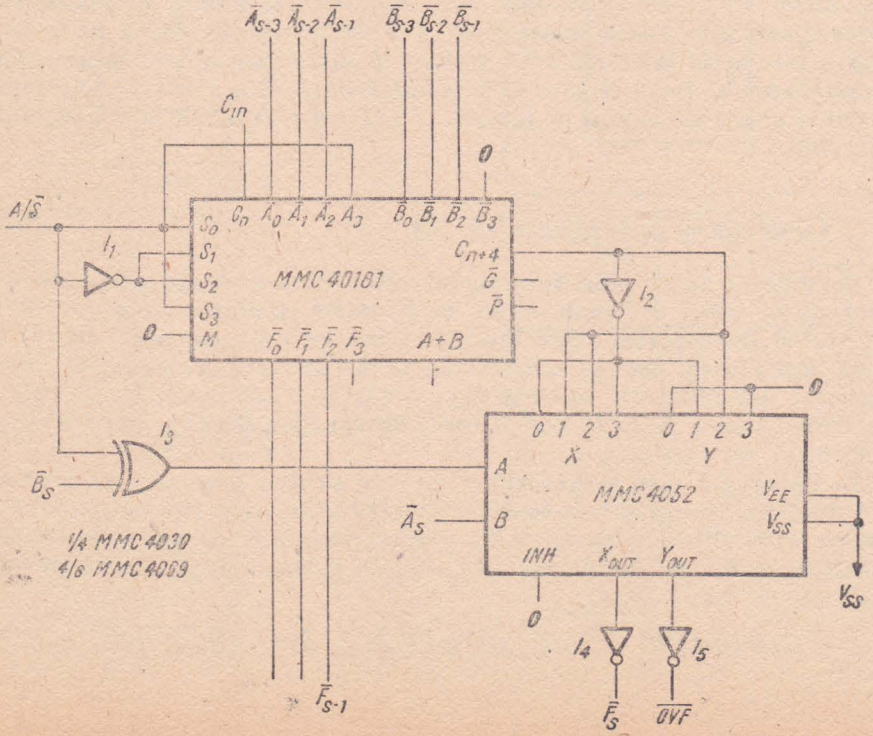


Fig. 7.7. Generarea *overflow*-ului.

Funcția (*) se implementează cu un circuit MMC 4052 conectat ca multiplexor digital. Inversoarele I_4, I_5 sînt necesare în condițiile în care multiplexorul trebuie să comande mai multe intrări, întrucît în acest caz rezistența serie a porților de transfer ar determina întîrzieri semnificative. Dacă se comandă o singură poartă, se poate renunța la inversoarele I_4, I_5 dar se va ține seama că semnalele F_s (semnul rezultatului) și *OVF* sînt active în starea **SUS**.

7.12. Circuitul 40182

Circuitul 40182 (fig. 7.8) este un generator rapid de biți de transport, capabil să anticipeze transportul pentru patru sumatoare binare sau patru grupuri de sumatoare. Circuitul dispune de *ieșiri de carry* C_{n+x}, C_{n+y}, C_{n+z} — active în starea **SUS**, *carry-propagate* (P) și *carry-generate* (G) (active în starea **JOS**). De asemenea, *intrarea de carry* (C_n) este activă în starea **SUS**, iar *intrările carry-propagate* ($P_0 \div P_3$) și *carry-generate* ($G_0 \div G_3$) sînt active în starea **JOS** pentru o conectare directă cu MMC 40181 și o cascadare fără porți exterioare a mai multor circuite 40182. Funcțiile logice ale diverselor ieșiri sînt:

$$C_{n+x} = G_0 + P_0 \cdot C_n$$
$$C_{n+y} = G_1 + P_1 \cdot G_0 + P_1 \cdot P_0 \cdot C_n$$
$$C_{n+z} = G_2 + P_2 \cdot G_1 + P_2 \cdot P_1 \cdot G_0 + P_2 \cdot P_1 \cdot P_0 \cdot C_n$$
$$\overline{G} = \overline{G_3 + P_3 \cdot G_2 + P_3 \cdot P_2 \cdot G_1 + P_3 \cdot P_2 \cdot P_1 \cdot G_0}$$
$$\overline{P} = \overline{P_3 \cdot P_2 \cdot P_1 \cdot P_0}$$

7.13. Cascadarea circuitelor MMC 40181 cu transport succesiv [2]

În figura 7.9 se poate vedea modul de cascadare cu transport succesiv pentru circuitele MMC 40181, schemă valabilă atît pentru operanzi activi în starea **SUS**, cît și pentru operanzi activi în starea **JOS**.

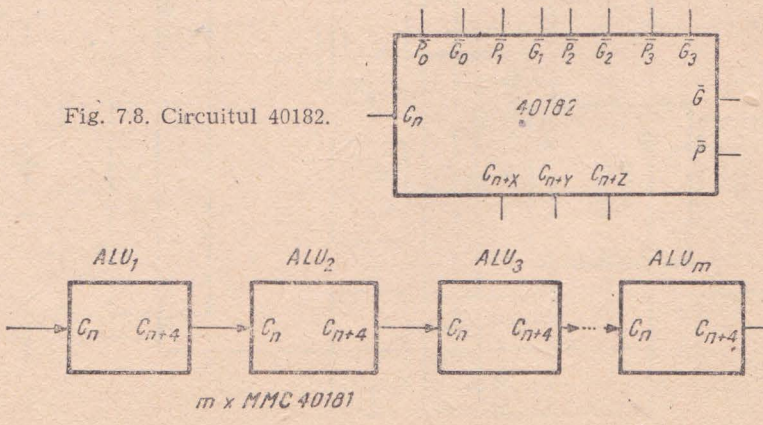
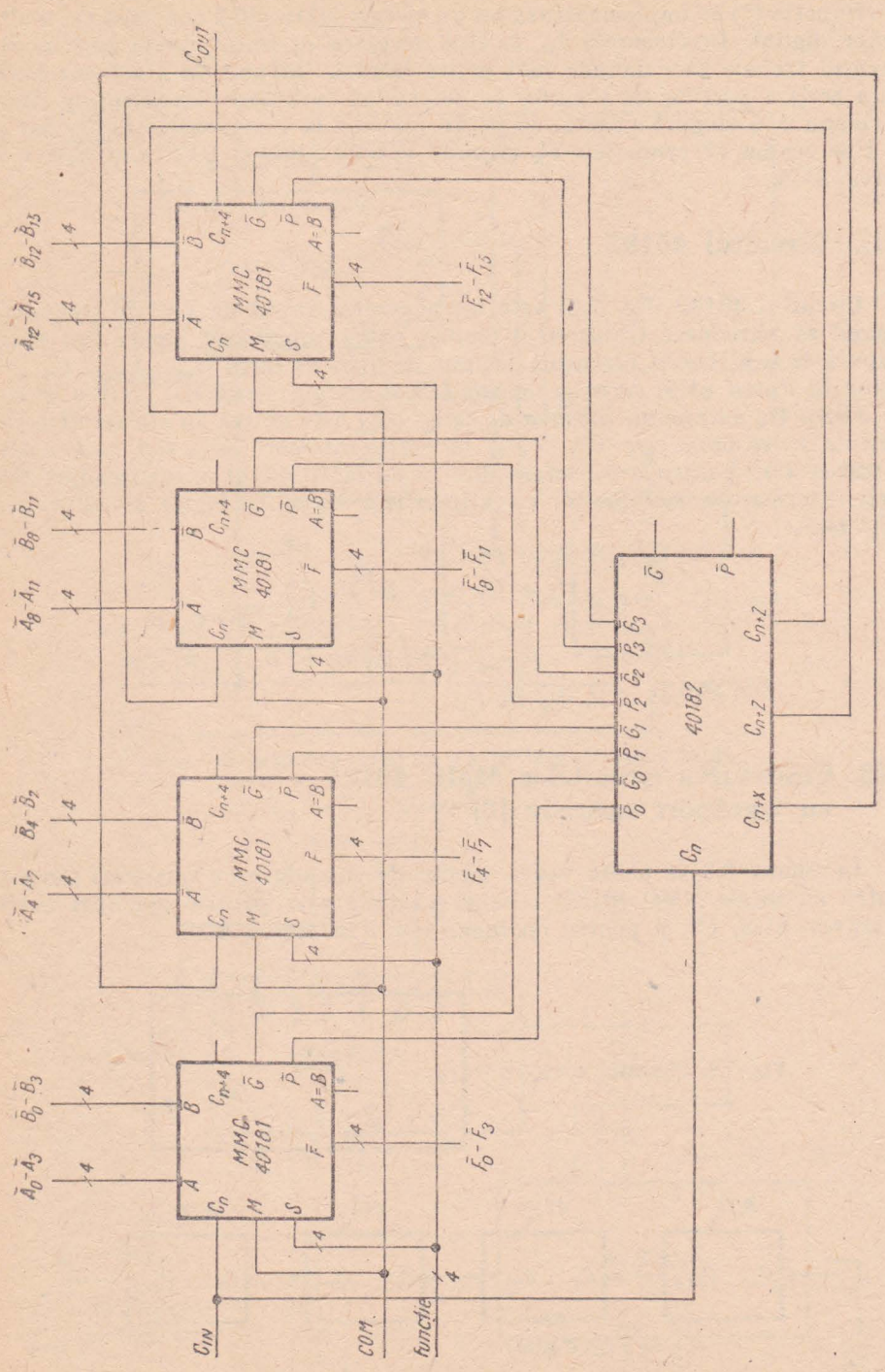


Fig. 7.8. Circuitul 40182.

Fig. 7.9. Cascadarea cu transport succesiv a circuitului MMC 40181.


MMC 40181
40182
C_{OUT}
C_{IN}
COM.
functie
$\bar{A}_{12}$-$\bar{A}_{15}$ $\bar{B}_{12}$-$\bar{B}_{15}$
$\bar{A}_8$-$\bar{A}_{11}$ $\bar{B}_8$-$\bar{B}_{11}$
$\bar{A}_4$-$\bar{A}_7$ $\bar{B}_4$-$\bar{B}_7$
$\bar{A}_0$-$\bar{A}_3$ $\bar{B}_0$-$\bar{B}_3$
$\bar{F}_{12}$-$\bar{F}_{15}$
$\bar{F}_8$-$\bar{F}_{11}$
$\bar{F}_4$-$\bar{F}_7$
$\bar{F}_0$-$\bar{F}_3$
a

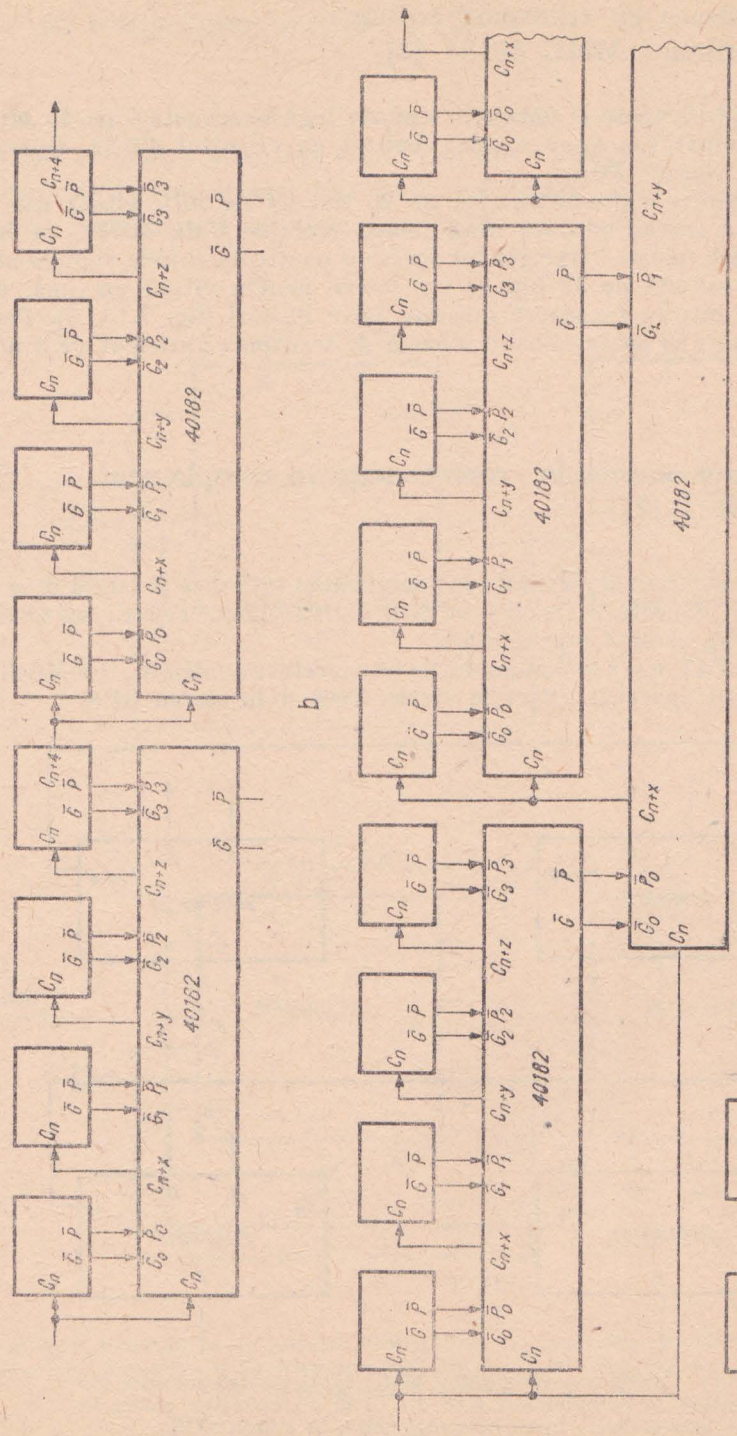


Fig. 7.10. ALU pe 16 biți *a)* cu transport anticipat ; *b)* cu transport anticipat pe un nivel ; *c)* cu transport anticipat pe 2 nivele.

7.14. Cascadarea cu transport anticipat a circuitelor MMC 40181 [2]

În figura 7.10 poate fi văzută o unitate logică-aritmetică pe 16 biți cu transport anticipat (pe două nivele) realizat cu circuitul 40182. Operanzii sînt activi în starea **JOS**.

Pentru unități logice-aritmetice pe 20 sau 24 de biți, viteza cea mai mare se obține cascadînd încă unul (două) circuite MMC 40181, ca în figura 7.10, *a*, dar folosind transportul succesiv pentru circuitele suplimentare.

Pentru o unitate pe 32 biți se vor folosi, pentru viteză maximă, două grupuri de 16 biți cu transport succesiv între blocuri (fig. 7.10, *b*). Pentru lungimi mai mari se poate folosi o schemă de transport anticipat pe 3 nivele (fig. 7.10, *c*).

7.15. Folosirea numerelor reprezentate în complement față de 1 [2]

Lucrul cu numere reprezentate în complement față de 1 prezintă dezavantajul necesității conectării ieșirii și intrării de transport. Totuși, scăderea se face mai ușor în această reprezentare.

În figurile 7.11, *a* și *b* se dau modurile de conectare pentru ALU MMC 40181 respectiv pentru operanzi activi în starea **JOS** și în starea **SUS**.

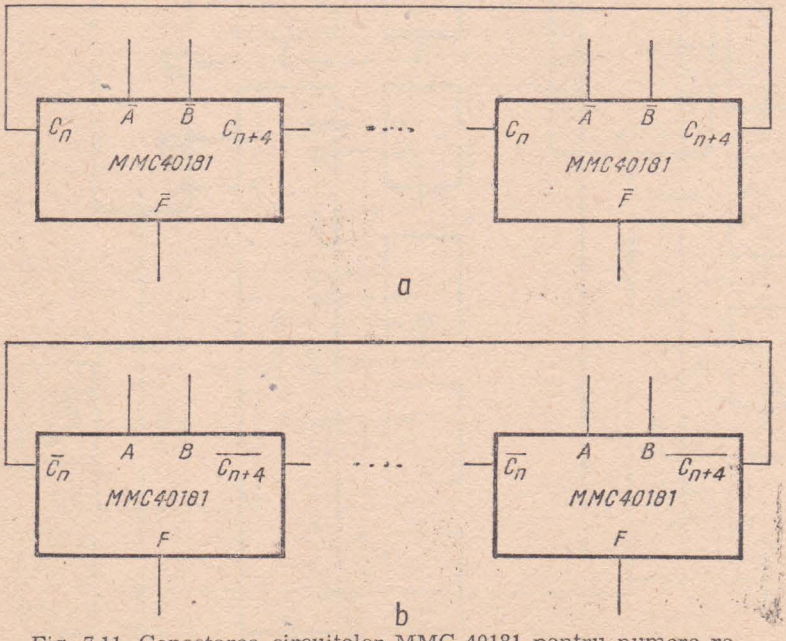


Fig. 7.11. Conectarea circuitelor MMC 40181 pentru numere reprezentate în complement față de 1 : *a*) cu operanzi activi în starea **JOS** ; *b*) cu operanzi activi în starea **SUS**.

7.16. Folosirea numerelor reprezentate în complement față de 2 [2]

În figurile 7.12, *a* și *b* se prezintă folosirea unităților logice-aritmetice MMC-40181 pentru adunarea ($A/\bar{S} = 1$) sau scăderea ($A/\bar{S} = 0$) numerelor reprezentate în complement față de 2, atît pentru operanzii activi în starea **JOS**, cît și pentru cei activi în starea **SUS**.

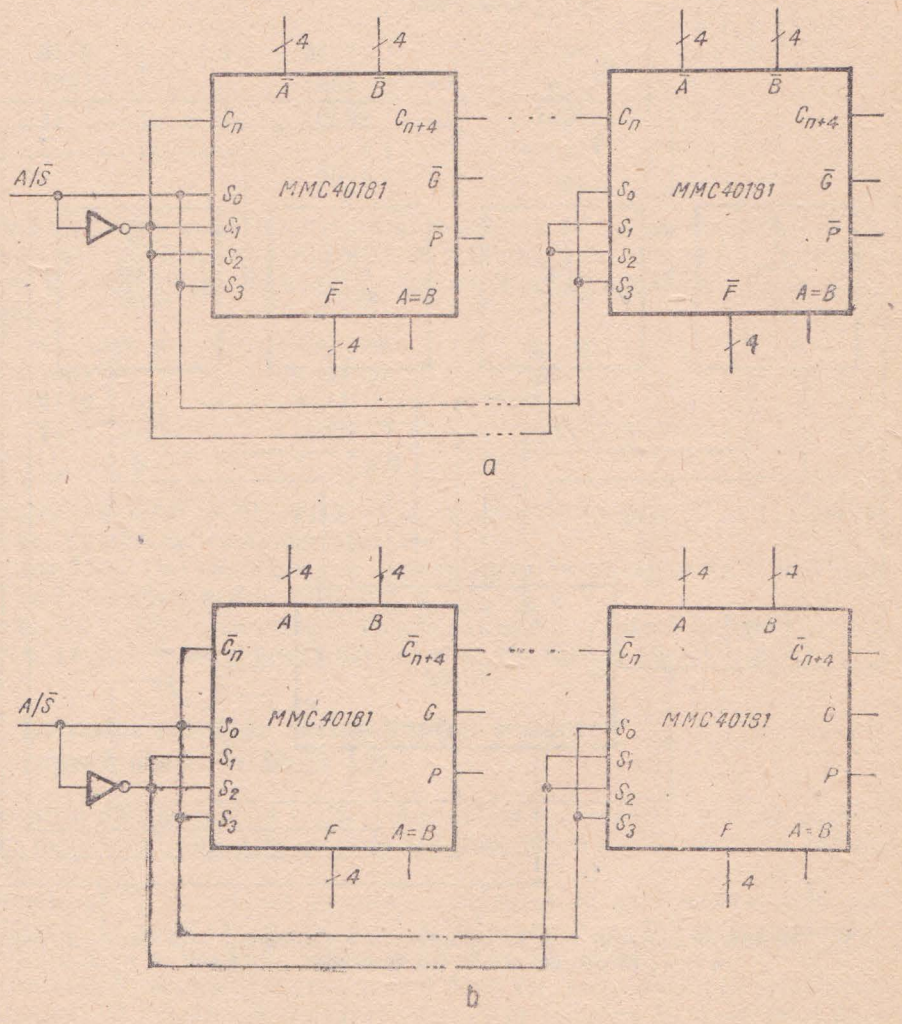


Fig. 7.12. Conectarea circuitelor MMC 40181 pentru adunarea/scăderea numerelor reprezentate în complement față de 2 : *a)* cu operanzi activi în starea **JOS** ; *b)* cu operanzi activi în starea **SUS**.

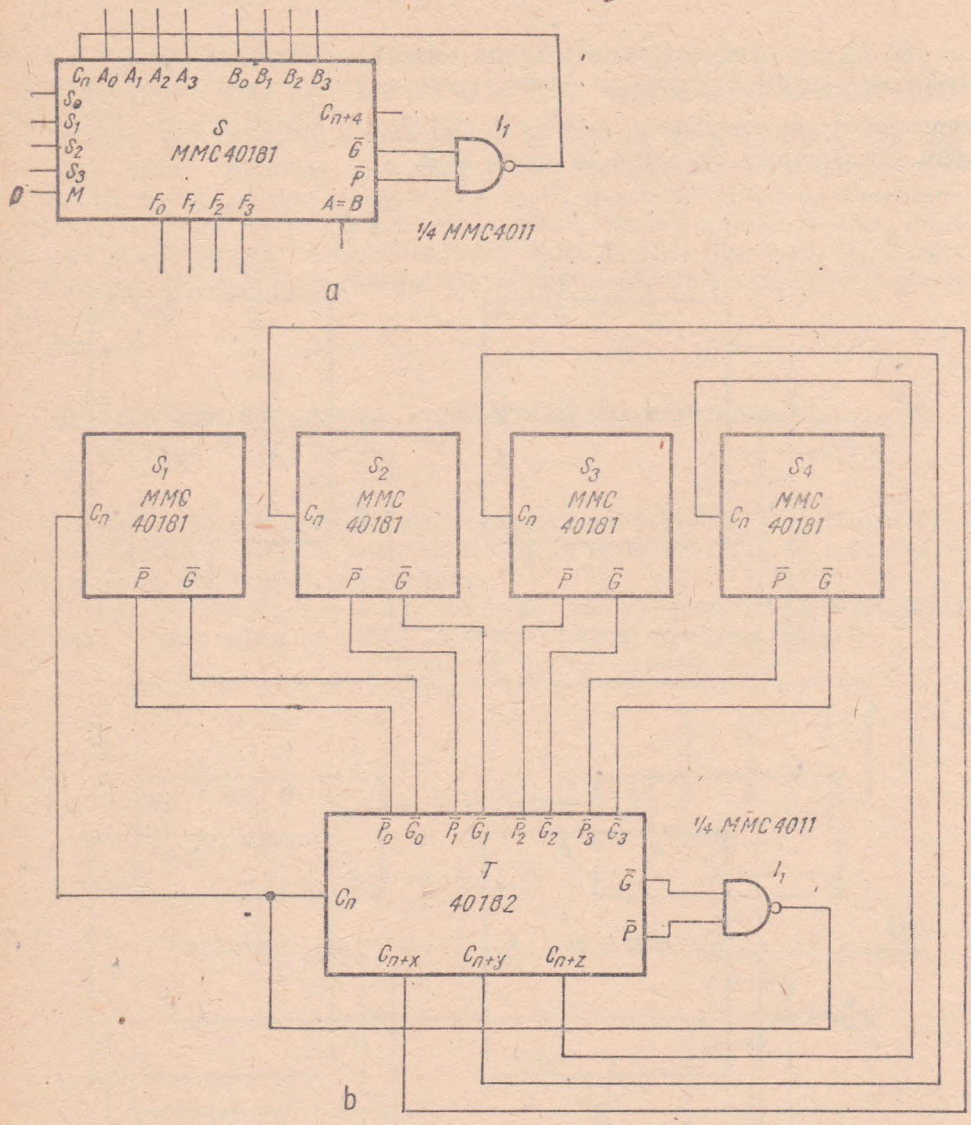


Fig. 7.13. Eliminarea zeroului fals la sumarea în complement față de 1 : *a*) pentru 4 biți ; *b*) pentru 16 biți (cu transport anticipat).

7.17. Eliminarea zeroului fals la sumarea în complement față de 1 [6]

Cînd se operează cu numere în complement față de 1 există două reprezentări pentru numărul 0, și anume: $0_- = 11\ldots1$ și $0_+ = 00\ldots0$. Apariția acestor numere se poate vedea în continuare:

0011	+3	0000	+0	1111	−0
0010	+2	0000	+0	1111	−0
0101	+5	0000	+0	11110	−1
				→ 1	+1
				1111	−0
0110	+6	0111	+7	1011	−4
1001	−6	1001	−6	0111	+7
1111	−0	10000	+0	10010	+2
		→ 1	+1	→ 1	+1
		0001	+1	0001	+3

Dacă se adună două numere complementare se obține rezultatul 0 (0_+ sau 0_-). Dacă după această operație se schimbă unul din operanzi și apoi se revine la vechea valoare, noul rezultat va fi tot 0, dar 0_- sau 0_+.
Exemplu:

$C_{in} = 0$		$C_{in} = 0$		$C_{in} = 1$
1001 +		1001 +		1001 +
0110	→	0111	→	0110
1111 = 0_-		0000		0000 = 0_+
$C_{out} = 0$		$C_{out} = 1$		

Pentru circuitul MMC 40181 ieșirea carry-propagate $P = 1$ dacă se adună un număr cu complementul său.

Starea 11...1 se poate elimina dacă intrarea de transport va fi în 1 logic cînd $G = 1$ sau $P = 1$ (fig. 7.13, *a*).

Extensia de 16 biți cu transport anticipat este prezentată în figura 7.13, *b*. Conversia 11...1 → 00...0 nu apare cînd se efectuează operații logice.

7.18. Sumator/scăzător serial pentru numere reprezentate în BCD [2]

Circuitul din figura 7.14 realizează sumarea sau scăderea a două numere BCD în mod serial. Sumarea propriu-zisă este efectuată de unitatea logică-aritmetică S_1.

Sumatorul S_2 corectează rezultatul în cazul în care acesta este mai mare decît 9. În acest caz, pe intrările sumatorului S_2 se forțează numărul 6. În cazul adunării se scade 6, pentru scădere se adună 10.

Bistabilul B_1 memorează transportul de la un rang zecimal la următorul. Multiplexorul M furnizează numărul adecvat la intrarea S_2 după felul operației (adunare sau scădere). Circuitul este valabil pentru operanzi activi în starea SUS. Pentru operanzi activi în starea JOS, se înlocuiesc porțile $I_2 \div I_4$ cu porți SAU-NU (NOR) cu același număr de intrări.

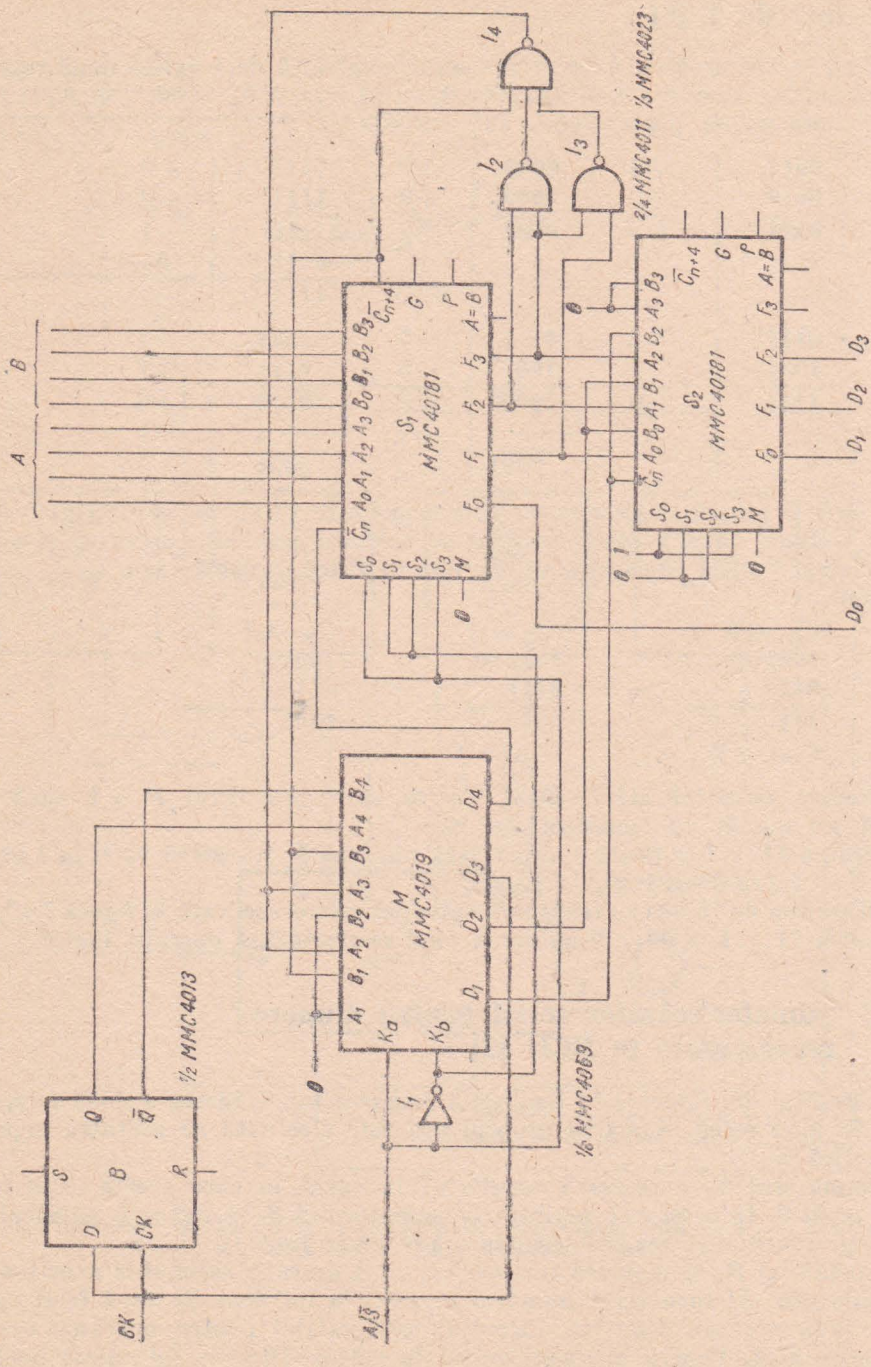


Fig. 7.14. Sumator/scăzător serie pentru numere BCD.

7.19. Multiplicator binar paralel de 4×4 biți [4]

În figura 7.15 este prezentat un multiplicator 4 × 4, realizat după principiul „deplasare și adunare", în care deplasarea este realizată fizic prin plasarea sumatoarelor $S_1 \div S_3$, după cum se arată.

Operanzii sînt activi în starea **JOS**. Rezultatul apare după timpul de propagare prin 3 sumatoare plus timpul de propagare prin 5 porți.

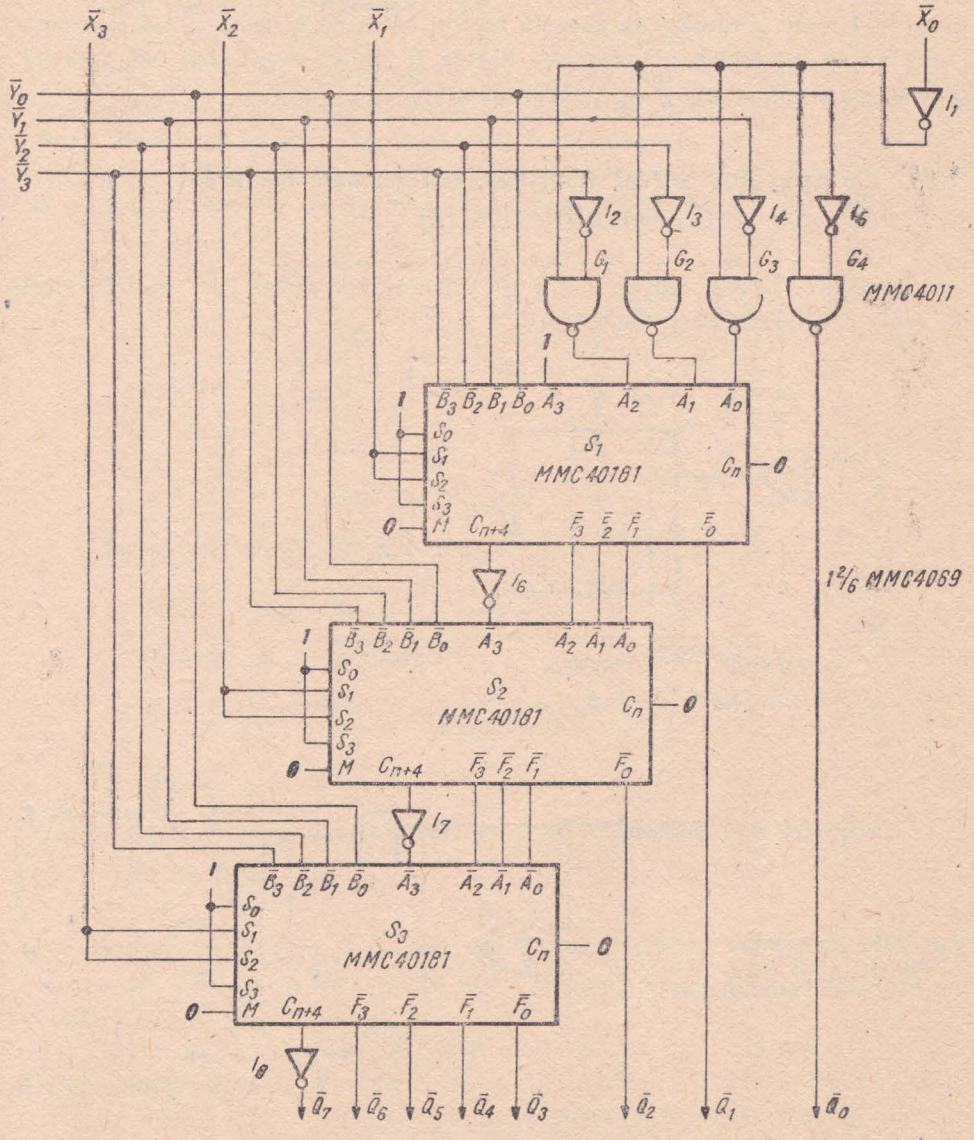


Fig. 7.15. Multiplicator 4 × 4 cu MMC 40181.

7.20. Comparator serial [2]

Circuitul din figura 7.16 realizează compararea a două cuvinte de 4 biți, prezentate la intrări în formă serială. Compararea propriu-zisă se face cu poarta SAU-EXCLUSIV (XOR), iar bistabilul memorează rezultatul comparării. Înainte de începerea comparării, bistabilul se resetează (cu un impuls pozitiv pe intrarea R). Atît timp cît semnalele de pe intrările A și B sînt identice, ieșirea Q a bistabilului rămîne în **0** logic. Cînd $A \neq B$, ieșirea Q trece în **1** logic și rămîne în această stare pînă cînd se inițiază un nou ciclu. După ce se introduce ultimul bit, ieșirea Q indică rezultatul comparației: $Q = \mathbf{0}$, dacă $M = N$, $Q = \mathbf{1}$ dacă $M \neq N$.

7.21. Comparator serial (compararea începe cu bitul cel mai puțin semnificativ) [2]

În figura 7.17 se poate vedea un comparator serial care indică relația de ordine între cuvintele de intrare A și B.

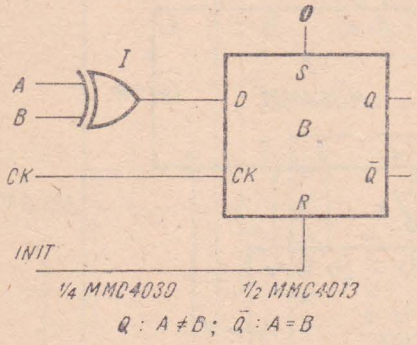


Fig. 7.16. Comparator serial.

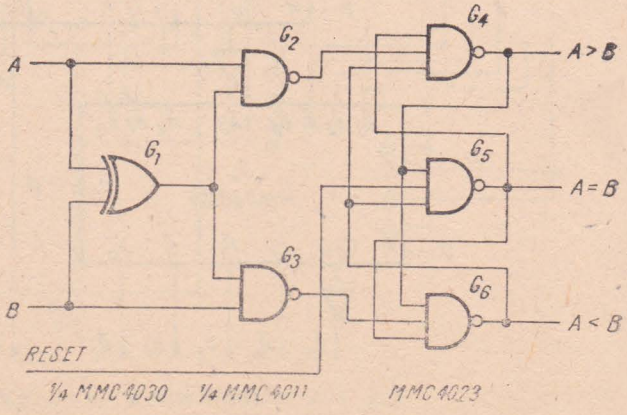


Fig. 7.17. Comparator serial (comparația începe cu bitul cel mai puțin semnificativ).

Cuvintele se introduc serie, începînd cu bitul cel mai puțin semnificativ. Comparația propriu-zisă se face cu porțile $G_1 \div G_3$. Porțile $G_4 \div G_6$ formează un latch pentru memorarea rezultatului comparației.

Înainte de începerea comparării se aplică un impuls negativ de *RESET*. Ieșirile sînt active în starea **JOS.**

7.22. Comparator serial (compararea începe cu bitul cel mai semnificativ) [2]

Acest circuit este asemănător cu cel prezentat în § 7.21, dar cuvintele se introduc serial începînd cu bitul cel mai semnificativ, după cum se poate vedea în figura 7.18.

Ieșirile sînt active în starea **JOS.** Înainte de începerea comparării se dă un impuls negativ de *RESET* care aduce ieșirea $A = B$ în 1 logic.

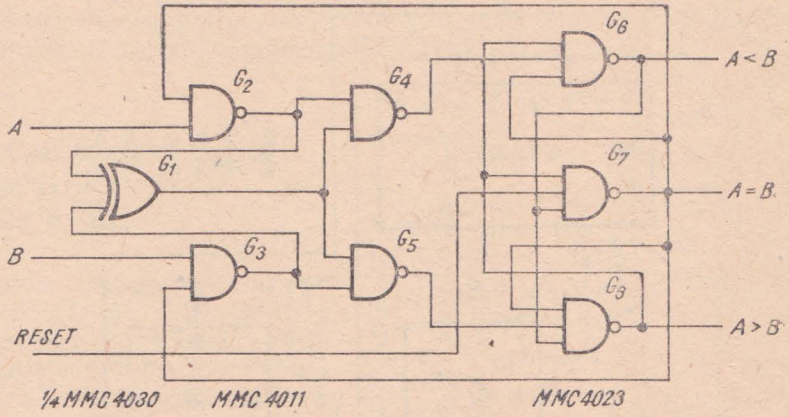


Fig. 7.18. Comparator serial (compararea începe cu bitul cel mai semnificativ).

7.23. Alte comparatoare seriale (cu semnalizarea relației de ordine) [2]

În figurile 7.19, *a* și *b* sînt prezentate alte două comparatoare seriale, la care se semnalează identitatea sau relația de ordine (fig. 7.19, *a*) sau tipul relației (fig. 7.19, *b*).

Cuvintele se introduc începînd cu bitul cel mai semnificativ. Circuitul logic combinațional se realizează cu un multiplexor MMC 4052. Bistabilii B_1, B_2 memorează rezultatele comparării. Înainte de începerea unei comparări se aplică un impuls de *RESET*.

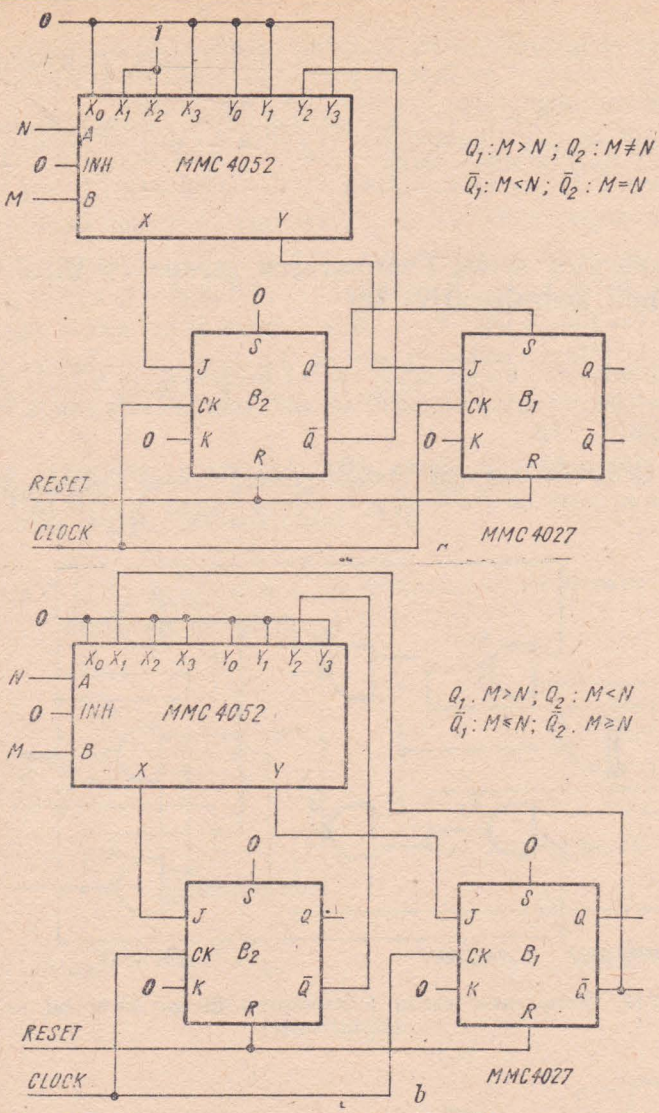


Fig. 7.19. Comparatoare seriale (cu semnalizarea relației de ordine): *a)* cu semnalizarea inegalităților stricte (sau restrictive); *b)* cu semnalizarea unei inegalități și a identității.

7.24 Comparator paralel pentru cuvinte de 4 biți cu semnalizarea identității [1]

Ieșirea circuitului (fig. 7.20) este în starea **SUS** dacă sînt identice cuvintele A și B aplicate pe intrări.

Biții corespunzători sînt comparați doi cîte doi de porțile SAU-EXCLUSIV (XOR) $G_1 \div G_4$. Dacă rezultatul fiecărei comparări este **0** (deci $A_0 \equiv B_0, \ldots, A_3 \equiv B_3$), ieșirea trece în **1** logic.

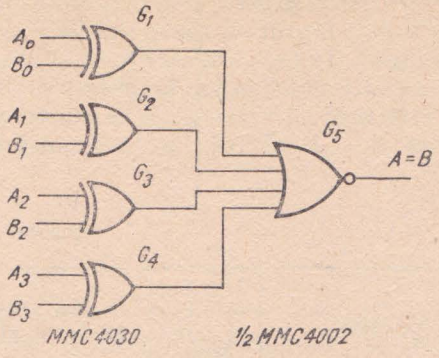


Fig. 7.20. Comparator paralel pe 4 biți cu semnalizarea identității.

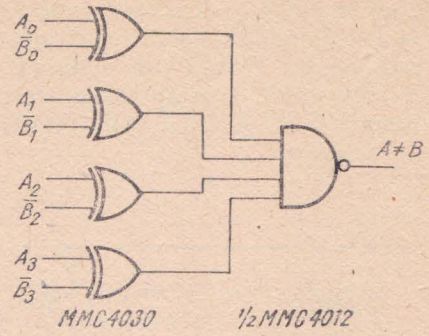


Fig. 7.21. Comparator paralel pe 4 biți cu semnalizarea diferenței.

7.25. Comparator paralel pentru cuvinte de 4 biți, cu semnalizarea diferenței [1]

Ieșirea circuitului (fig. 7.21) este în 1 logic dacă $A \neq B$ (De remarcat că se aplică pe intrări complementul cuvîntului B).

7.26. Comparator paralel pentru cuvinte de 8 biți

Ieșirea comparatorului pe 4 biți din figura 7.20 este în starea SUS cînd cele două cuvinte de intrare sînt identice. Făcînd funcția SI (AND) între ieșirile a două astfel de comparatoare, se poate obține un comparator paralel pe 8 biți (fig. 7.22).

Ieșirea în starea **1** indică identitatea cuvintelor de intrare.

7.27. Compararea cu MMC 40181 [2]

Cu unitatea logică-aritmetică MMC 40181 se pot executa anumite operații de comparare. Ieșirea $A = B$ este în **1** logic atunci cînd toate ieșirile F sînt în **1**

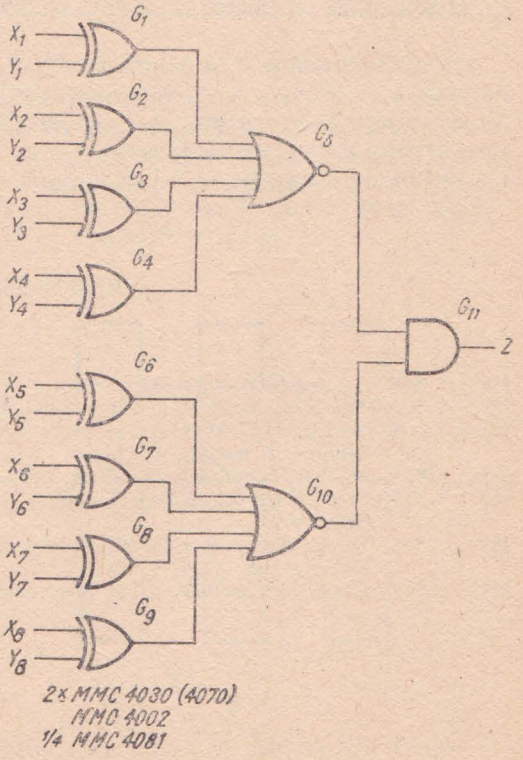


Fig. 7.22. Comparator paralel pe 8 biți.

logic. Deci, ieșirea $A = B$ poate fi utilizată pentru comparare atunci cînd se efectuează o scădere sau poate indica faptul că toate ieșirile F sînt în 1 logic după o operație aritmetică sau logică. În cazul în care funcția aleasă este cea de *PASS* (un operand este transmis neschimbat la ieșire), ieșirea $A = B$ arată dacă operandul respectiv este egal cu zero. Dacă se efectuează funcția SAU-EXCLUSIV (XOR), ieșirea $A = B$ activă indică identitatea operanzilor.

Tabelul 7.1

Ieșirea		Starea	Operația	Logică activă în starea JOS	Logică activă în starea SUS
A = B		SUS	A minus B	A = B	A = (B minus 1)
		SUS	$\overline{A \oplus B}$	A ≠ B	A = B
		SUS	$A \oplus B$	A = B	A ≠ B
Transport	$\overline{C_{n+4}}$ (pentru operanzi activi în starea SUS)	SUS	A minus B	A ≥ B	A < B
		JOS	A minus B	A < B	A ≥ B
	C_{n+4} (pentru operanzi activi în starea JOS)	SUS	A minus B minus 1	A > B	A ≤ B
		JOS	A minus B minus 1	A ≤ B	A > B

Pentru numere fără semn, cu bitul cel mai semnificativ pozitiv, ieșirea de transport ($\overline{C_{n+4}}$ pentru operanzi activi în starea **SUS**, C_{n+4} pentru operanzi activi în starea **JOS**) indică relația între ele. În tabelul 7.1. sînt arătate stările ieșirilor $A = B$ și C_{n+4}, în funcție de operația efectuată și de modul de reprezentare a operanzilor.

BIBLIOGRAFIE

[1] * * * Catalog Microelectronica, 1985.
[2] * * * The TTL Applications Handbook, Fairchild Semiconductor, 1973.
[3] R. L. Morris, J. L. Miller (editori). Proiectarea cu circuite integrate TTL, Editura Tehnică, București, 1974.
[4] * * * McMOS Handbook, Motorola, 1974.
[5] * * * Circuits for Electronic Engineers, Electronics Magazine Book Series, McGraw-Hill, 1977.
[6] * * * Design Techniques for Electronics Engineers, Electronics Magazine Book Series, McGraw Hill, 1977.
[7] * * * Designers Casebook no. 5, Electronics Magazine Book Series, McGraw-Hill, 1982.

8. Aplicații cu monostabile/astabile. Trigger Schmitt. Oscilatoare

Această secțiune este dedicată descrierii astabilelor/monostabilelor, triggerelor Schmitt, oscilatoarelor de relaxare cu elemente *RC*, oscilatoarelor cu cuarț și aplicațiilor lor.

8.1. Aplicații ale triggerelor Schmitt, monostabilelor și astabilelor construite cu porți

8.1.1. Astabil cu două inversoare[2]

În figura 8.1 se poate vedea schema de bază de oscilator de relaxare cu 2 inversoare CMOS.

Dacă ieșirea inversorului I_2 (punctul A) este în **0** logic, condensatorul C se încarcă prin rezistența R. Curentul de încărcare este furnizat de tranzistorul cu canal p din etajul de ieșire al inversorului I_1. Atunci cînd tensiunea pe intrarea inversorului I_2 (punctul B) crește peste tensiunea de tranziție, ieșirea inversorului I_1 trece în **0** logic. Condensatorul C se descarcă pînă cînd tensiunea în punctul B scade sub tensiunea de tranziție. În acest moment, ieșirea inversorului I_1 comută în **1** logic și procesul se reia.

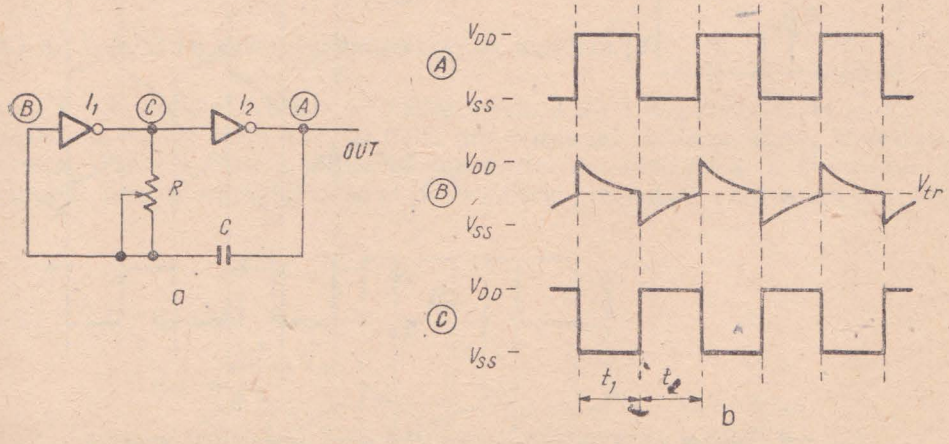


Fig. 8.1. Astabil cu 2 inversoare — configurația de bază: *a*) schema; *b*) forme de undă.

Din cauza diodelor de protecție de pe intrări, tensiunea în punctul B nu poate varia decît între V_{SS} și V_{DD}.

Perioada semnalului generat este dată de relația :

$$T = t_1 + t_2 \text{ (vezi fig. 8.1, } b\text{)},$$

unde

$$t_1 = -RC \ln \frac{V_{DD} - V_{tr}}{V_{DD}},$$

$$t_2 = -RC \ln \frac{V_{tr}}{V_{DD}}.$$

Deci :

$$T = -RC\left[\ln \frac{V_{DD} - V_{tr}}{V_{DD}} + \ln \frac{V_{tr}}{V_{DD}}\right]$$

(S-a presupus că $V_{SS} = 0V$)

Dacă presupunem că $T = 1$ μs și V_{tr} variază între 33% și 67% din tensiunea de alimentare, perioada T ia valori între 1,4 μs pentru $V_{tr} = 1/2\ V_{DD}$ și 1,5 μs pentru $V_{tr} = 33\%\ V_{DD}$ și $V_{tr} = 67\%\ V_{DD}$.

Rezultă că perioada T variază doar cu 9%, cînd tensiunea de tranziție se modifică cu ±17%.

8.1.2. Astabil cu două inversoare cu frecvența semnalului generat insensibilă la variațiile tensiunii de alimentare [2]

Prin introducerea a încă unei rezistențe (R_2, vezi fig. 8.2) se poate reduce dependența frecvenței semnalului generat de variațiile tensiunii de alimentare.

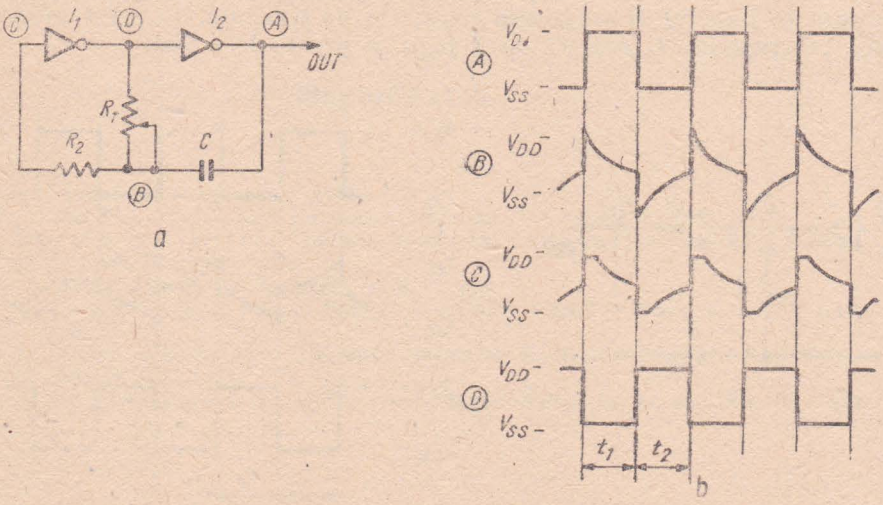


Fig. 8.2. Astabil cu 2 inversoare cu frecvența semnalului generat insensibilă la variațiile tensiunii de alimentare :
a) schema ; *b*) forme de undă.

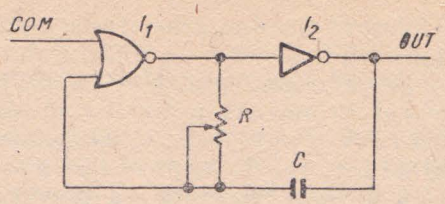


Fig. 8.3. Astabil comandat.

Rezistența R_2 trebuie să fie de cel puțin 2 ori mai mare decît rezistența R_1, astfel încît tensiunea în punctul B să poată crește pînă la $V_{DD} + V_{tr}$. Pe intrarea inversorului I_1 tensiunea se va limita la V_{SS} sau la V_{DD}.

Perioada semnalului generat este dată de relația

$$T = -RC \cdot \left[\ln \frac{V_{tr}}{V_{DD} + V_{tr}} + \ln \frac{V_{DD} - V_{tr}}{2V_{DD} - V_{tr}} \right]$$

Dacă V_{tr} ia valori între 33% V_{DD} și 67% V_{DD} variația maximă a perioadei va fi de 5%.

Prezența rezistenței R_2 face ca frecvența să fie independentă de variațiile tensiunii de alimentare. Oscilatorul nu necesită măsuri speciale de compensare cu temperatura, întrucît este foarte puțin sensibil la variațiile caracteristicii de transfer.

8.1.3. Astabil comandat [2]

Circuitul din figura 8.3 este un astabil construit după schema din figura 8.1, la care s-a înlocuit inversorul I_1 cu o poartă SAU-NU (NOR). Cînd intrarea de comandă *COM* este în **1** logic, ieșirea porții I_1 rămîne în **0** logic ; ieșirea porții I_2 (*OUT*) va sta în **1** logic. La trecerea intrării *COM* în **0**, circuitul începe să funcționeze ca astabil. Circuitul poate genera trenuri de impulsuri comandate de semnalul *COM*.

8.1.4. Astabil cu controlul factorului de umplere [2]

Tensiunea de tranziție este caracterizată de o dispersie foarte mare. Ea poate lua valori între 33% și 67% din tensiunea de alimentare. Rezultatul acestei dispersii este modificarea frecvenței de oscilație și a factorului de umplere pentru semnalul generat de circuitele prezentate pînă acum (fig. 8.4).

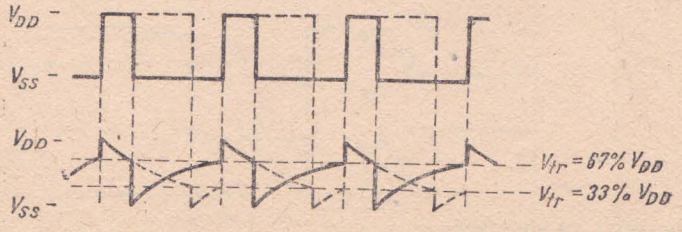


Fig. 8.4. Diagrame de timp arătînd efectul dispersiei tensiunii de tranziție asupra frecvenței de oscilație.

La folosirea acestor generatoare simple trebuie să se prevadă posibilitatea ajustării frecvenței sau a factorului de umplere. Un factor de umplere de 50% apare numai pentru $V_{tr} = 50\%\ V_{DD}$.

Factorul de umplere poate fi controlat dacă o parte a rezistenței care determină frecvența de oscilație este șuntată de o diodă (fig. 8.5).

Reglînd factorul de umplere s-ar putea să se modifice frecvența.

Pentru a regla frecvența s-a prevăzut rezistorul variabil R_3.

Pentru a obține un anumit factor de umplere se poate dovedi necesar să se inverseze dioda D.

8.1.5 Monostabil cu inversoare [2]

În figura 8.6, *a* se poate vedea schema de bază a unui monostabil construit cu porți. Presupunînd că ieșirea este în starea **0**, un impuls pozitiv scurt pe intrarea A va aduce ieșirea B în **0** logic.

În primul moment, tensiunea pe condensator va tinde să rămînă la valoarea $V_C - V_B = V_{DD} - V_{DD} = 0$V, și astfel, se aplică un nivel **0** pe intrarea inversorului I_2. Ieșirea porții $I_2(D)$ comută în **1** logic, conducînd la menținerea ieșirii porții $I_1(B)$ în **0** indiferent dacă tensiunea în punctul A revine sau nu în starea **JOS**. Cînd tensiunea în punctul C atinge valoarea de tranziție, ieșirea porții I_2 trece în **0** logic (fig. 8.6, *b*). În diagramele de timp se vede și efectul variației tensiunii de tranziție asupra lungimii impulsului generat.

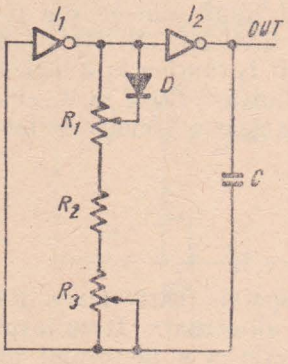


Fig. 8.5. Astabil cu controlul factorului de umplere.

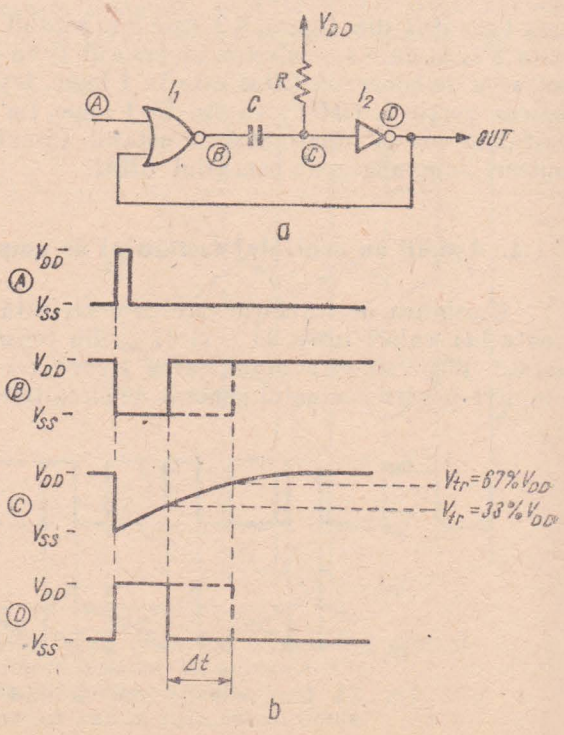


Fig. 8.6. Monostabil cu inversoare — configurația de bază : *a*) schema ; *b*) forme de undă.

8.1.6. Monostabil compensat [2]

În figura 8.7 este prezentat un monostabil compensat la variațiile tensiunii de tranziție.

Atunci cînd se aplică un front negativ pe intrarea A, ieșirea inversorului $I_1(C)$ trece în **1** logic și condensatorul C_2 se încarcă rapid prin dioda D_1 la V_{DD}. Ieșirea inversorului $I_2(E)$ comută în starea **JOS**. Condensatorul C_1 se încarcă prin rezistența R_1. Cînd tensiunea în punctul B depășește tensiunea de tranziție a porții I_1, ieșirea porții I_1 trece în **0** logic. Dioda D_1 împiedică descărcarea condensatorului prin tranzistorul cu canal n deschis al inversorului I_1.

Condensatorul C_2 începe să se descarce prin rezistența R_2 pînă cînd tensiunea în punctul D scade sub tensiunea de tranziție a porții I_2; ieșirea circuitului (E) revine în **1** logic.

Se recomandă să se utilizeze două inversoare din aceeași capsulă, care au tensiuni de tranziție de valori apropiate. Dacă $R_1C_1 = R_2C_2$, variația tensiunii de tranziție de la circuit la circuit se compensează. În felul acesta, variația duratei T a impulsului generat este de maximum 9%. O formulă aproximativă pentru durata impulsului este:

$$T_1 \simeq 1{,}4\ R_1C_1$$

Spre deosebire de astabil, prezentat anterior, acest monostabil este sensibil la variațiile temperaturii (ΔT_1 poate ajunge pînă la 10%).

La temperatura de 25°C, variația perioadei T_1 de la circuit la circuit este, în mod obișnuit, mai mică de 5% pentru $V_{DD} = 10$ V. Monostabilul poate fi retriggerat, dacă noul impuls pe intrare apare înainte ca tensiunea în punctul D să scadă sub tensiunea de tranziție.

Dioda D_2 este una din diodele de protecție de la intrarea circuitului și limitează la V_{DD} tensiunea din punctul B.

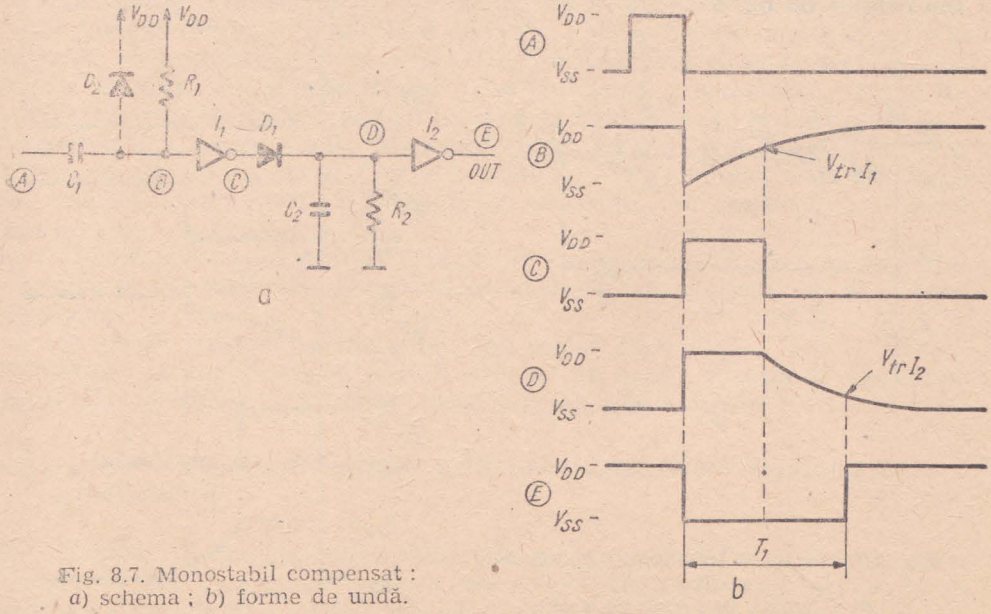


Fig. 8.7. Monostabil compensat:
a) schema; *b*) forme de undă.

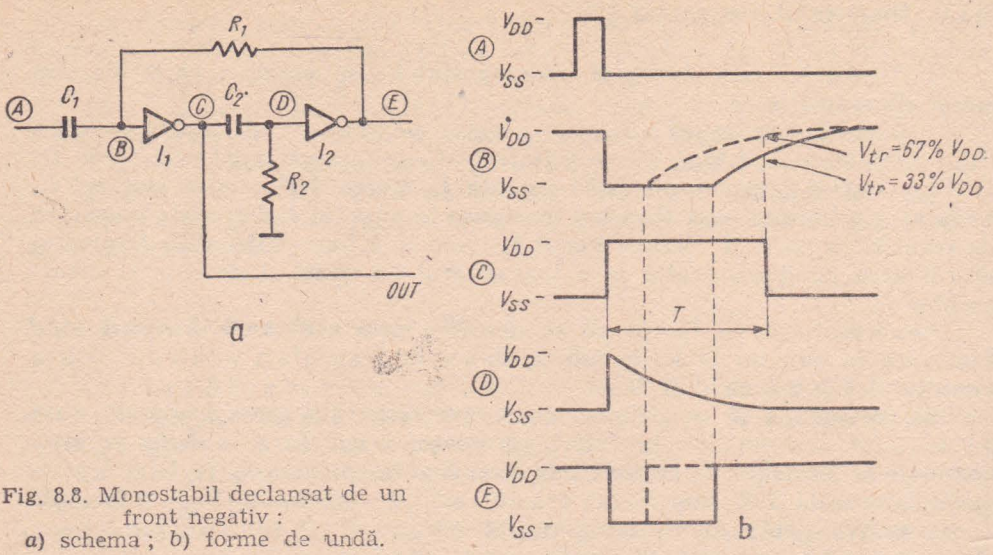


Fig. 8.8. Monostabil declanșat de un front negativ :
a) schema ; *b*) forme de undă.

8.1.7. Variante de circuit pentru monostabili cu porți [2]

Monostabilul din figura 8.8, *a* este declanșat de fronturile negative ale semnalului de intrare.

După cum se poate observa din formele de undă (fig. 8.8, *b*) durata impulsului generat este dependentă de valoarea tensiunii de tranziție.

În schimb, acest monostabil ca și următorul (fig. 8.9, *a*) este neretriggerabil. Monostabilul din figura 8.9, *a* este declanșat de fronturile pozitive ale semnalului de intrare.

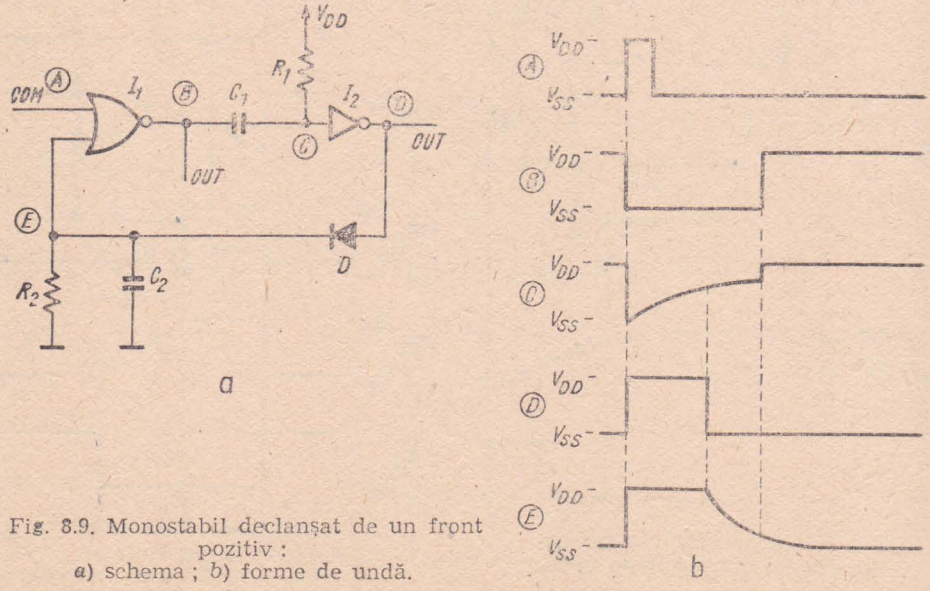


Fig. 8.9. Monostabil declanșat de un front pozitiv :
a) schema ; *b*) forme de undă.

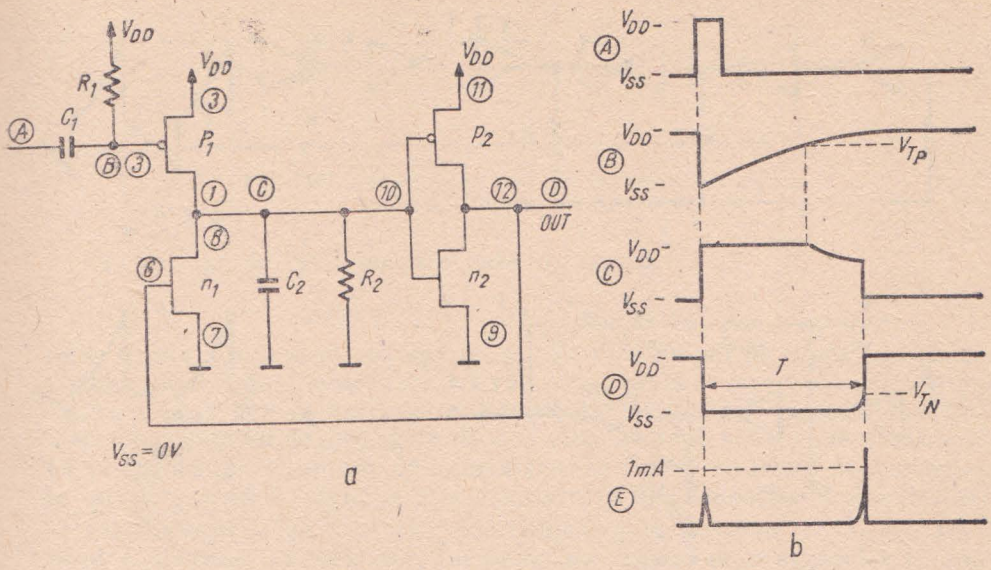


Fig. 8.10. Monostabil cu consum mic, cu circuitul MMC 4 007 : *a*) schema ; *b*) forme de undă.

8.1.8. **Monostabil cu consum mic [2]**

Monostabilele prezentate anterior disipă putere în timpul încărcării sau descărcării condensatorului (condensatoarelor) de temporizare. În figura 8.10, *a* se prezintă un monostabil construit cu 4 tranzistoare din capsula MMC 4007.

În *repaus*, tranzistorul p_1 este blocat, iar n_1 conduce. Intrarea în inversorul compus din n_2 și p_2 este în **0** logic. La aplicarea unui impuls negativ la intrarea A, tranzistorul p_1 se deschide. Condensatorul C_2 se încarcă la V_{DD}, ieșirea D trece în **0** și tranzistorul n_1 se blochează. Condensatorul C_1 se încarcă prin rezistența R_1. Cînd tensiunea în punctul B crește peste $V_{DD} - V_{TP}$, tranzistorul p_1 se blochează. Condensatorul C_2 începe să se descarce prin R_2. Cînd tensiunea în punctul C scade sub $V_{DD} - V_{TP}$, tranzistorul p_2 începe să conducă. Tranzistorul n_1 începe, de asemenea, să conducă, accelerînd descărcarea condensatorului C_2.

Durata impulsului generat depinde de tensiunea de prag a tranzistorului cu canal p. În consecință, T variază atît de la circuit la circuit, cît și cu temperatura.

Se poate introduce o anumită compensare dacă $R_2C_2 \simeq 3R_1C_1$. Pentru reducerea, în continuare, a puterii disipate se poate renunța la condensatorul C_2, în nodul C rămînînd doar capacitățile parazite.

8.1.9. **Astabil cu reglarea precisă a limitelor domeniului frecvenței de oscilație [6]**

În figura 8.11, *a* se poate vedea schema unui oscilator cu 3 inversoare.

Frecvența semnalului generat este $f \simeq 0{,}482/R_1C$, dacă $R_1 = R_2$. O frecvență variabilă se obține înlocuind R_1 cu un potențiometru, dar varia-

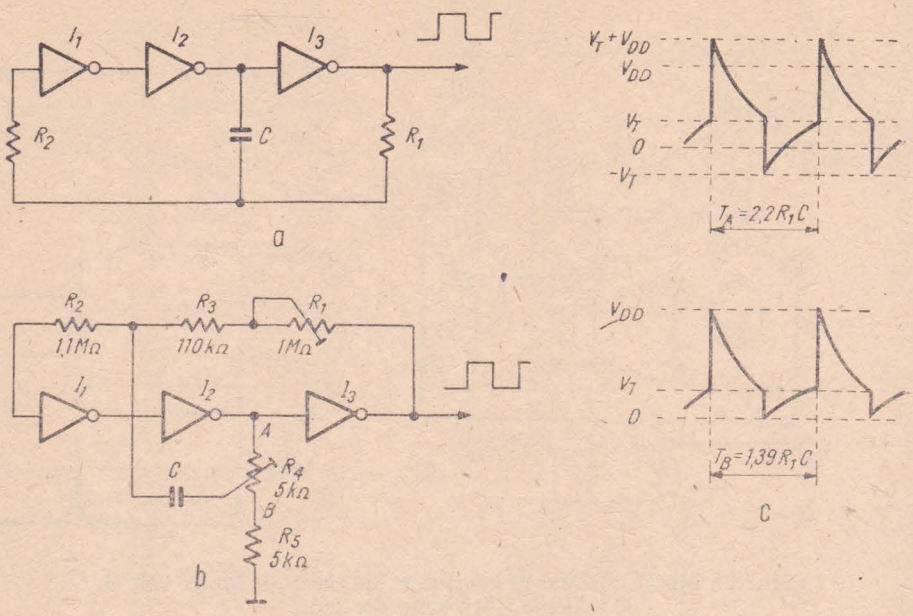


Fig. 8.11. Astabil cu reglare precisă a limitelor domeniului frecvenței de oscilație :
a) schema ; *b*) schema îmbunătățită ; c) forme de undă.

țiile tensiunii de tranziție de la un circuit la altul împiedică stabilirea cu precizie a limitelor gamei de frecvență.

În varianta din figura 8.11, *b*, condensatorul C se încarcă prin divizorul R_4, R_5 și rezistențele $(R_1 + R_3)$. Rezistența R_1 determină constanta de timp a oscilatorului dar nu influențează tensiunea care se aplică pe condensatorul C.

Rezistența echivalentă a divizorului (R_4, R_5) este neglijabilă în raport cu rezistența $(R_3 + R_1)$. Frecvența maximă se obține pentru cursorul potențiometrului R_4 în poziția A ($f \simeq 1/(2{,}2 \cdot R_1C_1)$). Frecvența minimă apare cînd cursorul potențiometrului R_4 este în poziția B. Deci, raportul frecvențelor se fixează din valorile rezistențelor R_4 și R_5. Frecvența centrală a acestui domeniu depinde de valoarea rezistenței R_1.

Modificarea frecvenței centrale nu influențează raportul dintre frecvența maximă și frecvența minimă. Pentru valorile din figură f variază între $1/(1{,}39\ R_1C_1)$ și $1/(2{,}2 \cdot R_1C_1)$. În figura 8.11, *c* se pot vedea formele de undă pentru frecvențele limită.

Dezavantajul circuitului prezentat este creșterea puterii absorbite de la sursa de alimentare.

8.1.10. Oscilator în inel cu inversoare [3]

Oscilatorul în inel din figura 8.12 este compus dintr-un număr impar de inversoare. Circuitul trebuie să fie privit ca un lanț de comutatoare ideale cu timp de propagare nenul.

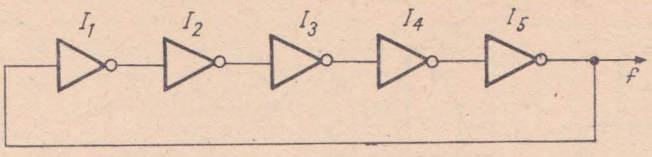


Fig. 8.12. Oscilator în inel cu inversoare, fără circuite de întîrziere exterioare.

Frecvența de oscilație este dată de relația

$$f = 1/(2nT_p)$$

unde n este numărul de inversoare, iar T_p este timpul de propagare printr-o poartă. Frecvența f obținută are valoarea maximă care poate fi obținută cu un număr dat de inversoare. Frecvența nu poate fi controlată datorită dispersiei timpului de propagare de la circuit la circuit și dependenței timpului de propagare de tensiunea de alimentare. În figura 8.13 este dată o schemă la care frecvența de oscilație este determinată de elementele R, C exterioare.

Oscilatorul propriu-zis este constituit din inversoarele I_1, I_2, I_3. Inversorul I_4 lucrează ca formator, furnizînd un semnal dreptunghiular la ieșire. Frecvența de oscilație este:

$$f \simeq 1/(3{,}3\ RC)$$

8.1.11. Oscilator cu trigger Schmitt

Oscilatorul din figura 8.14 folosește un trigger Schmitt din capsula MMC 4093.

Dacă ieșirea este în **1** logic, condensatorul se încarcă prin rezistența R. Cînd tensiunea V_{IN} atinge pragul de sus al triggerului, ieșirea trece în **0** și condensatorul începe să se descarce. Cînd tensiunea V_{IN} devine egală cu pragul de jos al triggerului, V_o trece din nou în **1** logic și procesul se reia. Perioada T a semnalului de ieșire se calculează cu relațiile:

$$t_1 = RC \ln\left(\frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}}\right)$$

$$t_2 = RC \ln\left(\frac{V_{T+}}{V_{T-}}\right)$$

$$T = t_1 + t_2$$

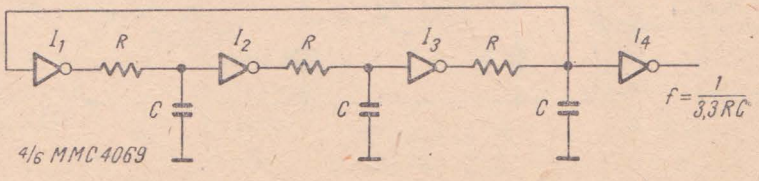


Fig. 8.13. Oscilator în inel cu inversoare, cu frecvența determinată de elemente R, C exterioare.

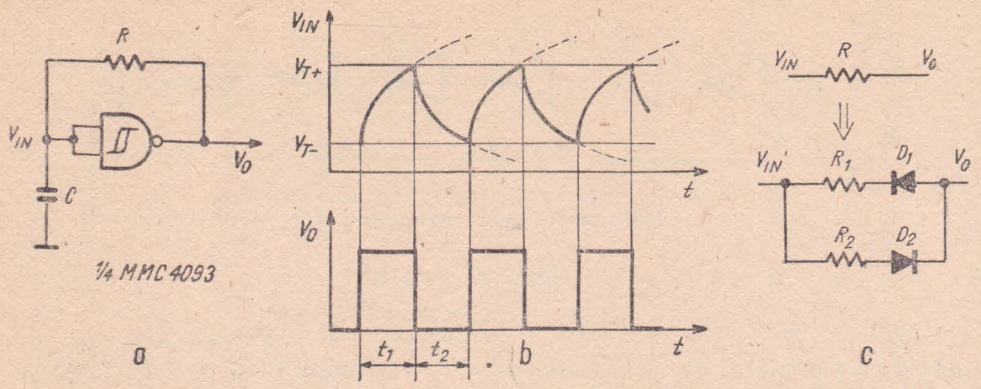


Fig. 8.14. Oscilator cu triggerul Schmitt MMC 4093 :
a) schema ; *b*) forme de undă ; *c*) rețea pentru reglarea independentă a timpilor t_1 și t_2.

În general, $t_1 \neq t_2$. Pentru a se obține factorul de umplere dorit se poate înlocui rezistența R cu rețeaua din figura 8.14, *c*. În acest caz, rezistența R_1 va determina timpul t_1, iar R_2 timpul t_2. Formulele trebuie modificate ținîndu-se cont de căderea de tensiune pe diode.

8.1.12. **Oscilator comandat în curent [7]**

Oscilatorul din figura 8.15 este comandat în curent. Cînd ieșirea inversorului I_1 este în 1 logic diodele D_2 și D_3 sînt deschise. Curentul de comandă I_{com} este repetat de oglinda de curent T_1-T_2.

Curentul generat de T_1 este aplicat condensatorului C_1 prin dioda D_3. C_1 se încarcă pînă cînd se depășește tensiunea de tranziție a inversorului I_1.

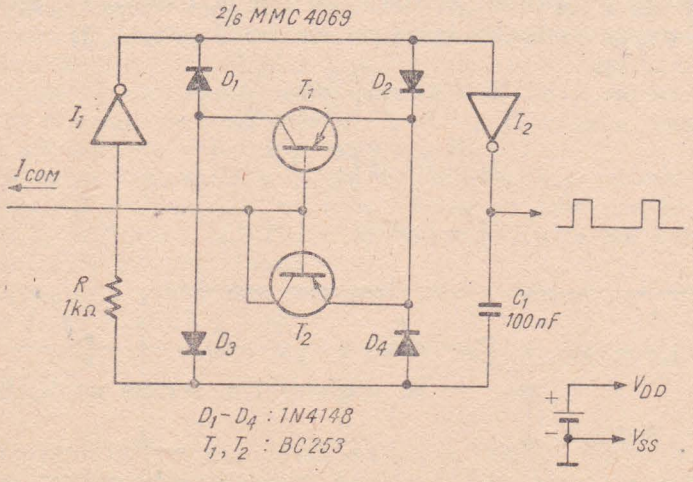


Fig. 8.15. Oscilator comandat în curent, cu comandă externă.

Ieșirea acestuia trece în **0**. Diodele D_1 și D_4 se deschid, iar C_1 se descarcă prin T_1 și T_2. Curentul de descărcare este $2I_{com}$. Descărcarea are loc pînă cînd tensiunea pe poarta inversorului I_1 scade sub tensiunea de tranziție. În acest moment, ieșirea inversorului trece în **1** logic și procesul se reia.

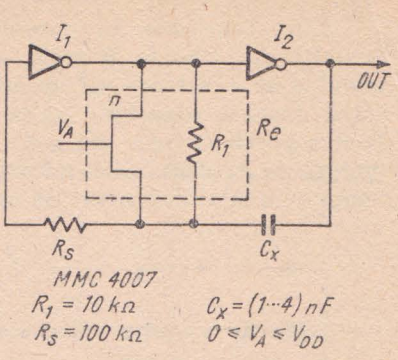


Fig. 8.16. Oscilator comandat în tensiune (cu circuitul MMC 4007).

8.1.13. Oscilator comandat în tensiune cu MMC 4007 [2]

Oscilatorul din figura 8.16 este un circuit asemănător cu cel din figura 8.2. S-a introdus suplimentar un tranzistor cu canal *n* pe post de rezistență comandată în tensiune.

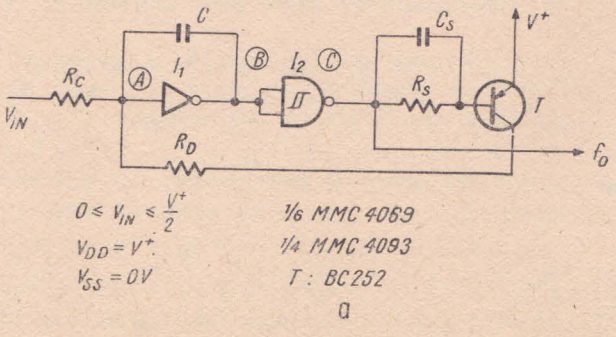
Inversoarele I_1 și I_2 sînt construite cu tranzistoare din capsula MMC 4007. Tranzistorul cu canal *n* este din aceeași capsulă.

Rezistența echivalentă R_e a tranzistorului cu canal *n* în paralel cu R_1 variază de la 10 kΩ ($V_A = V_{SS}$, tranzistorul este blocat: $R_{OFF} = 10^9\ \Omega$; $R_e = R_1$) la 1 kΩ ($V_A = V_{DD}$, tranzistorul este deschis; $R_{ON} \simeq 1\ k\Omega$; $R_e \simeq R_{ON}$). Frecvența poate fi calculată cu formulele date la circuitele prezentate în § 8.1.1 și § 8.1.2.

8.1.14. Oscilator comandat în tensiune cu triggerul Schmitt MMC 4093 [3]

Oscilatorul din figura 8.17, *a* se compune dintr-un integrator (cu inversorul I_1) și un comparator alcătuit din triggerul Schmitt I_2 și tranzistorul T.

Atît timp cît tensiunea în punctul B este sub pragul V_{T+} al triggerului Schmitt, condensatorul C se încarcă sub un curent $I = \frac{V_{tr} - V_{IN}}{R_e}$ unde V_{tr} este tensiunea de tranziție a inversorului I_1.



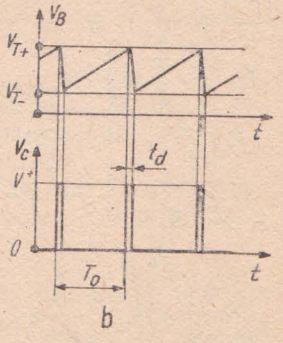


Fig. 8.17. Oscilator comandat în tensiune cu triggerul Schmitt MMC 4093.

Cînd tensiunea în punctul B atinge valoarea V_{T+} ieșirea triggerului Schmitt I_2 trece în **0** logic, determinînd deschiderea tranzistorului T. În nodul A se injectează un curent mare, care descarcă condensatorul C. Descărcarea durează pînă cînd se atinge pragul de jos V_{T-} al triggerului Schmitt. Ieșirea porții I_2 trece din nou în **1** logic, tranzistorul T se blochează și se reia integrarea tensiunii de intrare. Dacă timpul de descărcare $t_d \ll T_0$, frecvența semnalului generat se calculează cu relația :

$$f = \frac{V_{tr} - V_{IN}}{(V_{T+} - V_{T-})R_eC}$$

Rata de variație a frecvenței este dată de relația

$$\frac{df}{dV_{IN}} = \frac{-1}{(V_{T+} - V_{T-})R_eC}$$

Valoarea maximă a frecvenței se obține pentru $V_{IN} = 0$. Oscilația încetează atunci cînd $V_{IN} \simeq V_{tr}$.

8.1.15. Modulator de impulsuri în durată comandat în tensiune (cu MMC 4007) [2]

Prin modificarea astabilului cu două inversoare din figura 8.2, *a* se poate obține un circuit care să furnizeze, la ieșire, un semnal dreptunghiular modulat în durată (fig. 8.18).

Rezistența R_e depinde de tensiunea aplicată pe poarta tranzistorului n (din capsula MMC 4007, ca și tranzistoarele care compun inversoarele I_1, I_2). Pentru a nu se modifica decît factorul de umplere al semnalului de ieșire, rezistența R_x trebuie să aibă, în fiecare caz, o valoare suficient de mare. Astfel, pentru $C = 2{,}2$ nF, $R_x \simeq 35$ kΩ. Dacă $R_x < 35$ kΩ, se va schimba și frecvența semnalului generat simultan cu factorul de umplere. Dacă $R_x < 10$ kΩ, pentru anumite valori ale tensiunii de comandă, circuitul iese din oscilație.

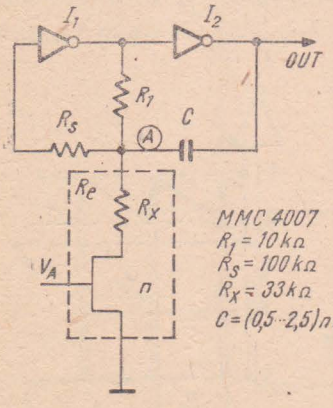


Fig. 8.18. Modulator de impulsuri în durată comandat în tensiune (cu circuitul MMC 4007).

8.1.16. Monostabil cu trigger Schmitt [3]

Circuitul din figura 8.19, *a* furnizează la ieșiee un impuls cu o durată mai mare decît tacea a impulsului de la intrare.

Presupunem că $V_{IN} = 0$ și $V_o = 0$; în acest caz dioda D este blocată, iar condensatorul C este încărcat la valoarea V_{DD}. Cînd tensiunea pe intrare trece în **1** logic, ieșirea inversorului I comută în **0** și condensatorul C se descarcă rapid prin dioda D și prin tranzistorul cu canal n, care este deschis, al inverso-

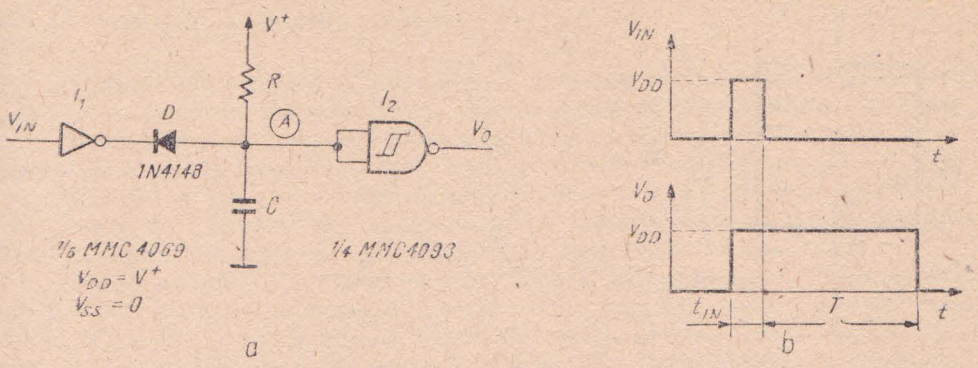


Fig. 8.19. Monostabil cu triggerul Schmitt MMC 4093.

rului. Cînd tensiunea pe C scade sub tensiunea de prag V_{T-} a triggerului Schmitt, ieșirea acestuia comută în **1** logic. Atît timp cît intrarea circuitului este în **1**, ieșirea va sta în **1**. Cînd V_{IN} revine în **0**, tensiunea pe catodul diodei D devine V_{DD} și aceasta se blochează. Condensatorul C începe să se încarce prin rezistența R, ieșirea triggerului Schmitt continuă să rămînă în **1** logic și aceasta se va întîmpla pînă cînd se va atinge pragul de sus V_{T+} al triggerului Schmitt.

Dacă impulsul de intrare are durata t_{IN}, impulsul de ieșire va avea durata $t_{IN} + T$, unde

$$T = RC \ln\left(\frac{V^+ - V_{T-}}{V^+ - V_{T+}}\right).$$

Condensatorul trebuie să se descarce complet în timpul impulsului de intrare:

$$I_{abs\,I_1} > \frac{CV^+}{t_1} + \frac{V^+}{R}$$

Pentru impulsuri de intrare mai scurte de 100 ns, se poate renunța la condensatorul C și se va mări rezistența R. De data aceasta, temporizarea va fi dată de rezistența R și de capacitatea parazită din nodul A.

8.1.17. Bistabilul MMC 4013 ca monostabil [4]

Cu ajutorul unui bistabil CMOS se poate construi un monostabil care să funcționeze în gama de tensiune 3 V...18 V și care să poată fi folosit cu elemente de temporizare RC de valori mari (din cauza impedanței mari de intrare — fig. 8.20, *a*).

Presupunem că ieșirea Q a bistabilului B (fig. 8.20, *a*) este în **0** logic și condensatorul C este descărcat. Intrarea de aducere la zero R, fiind în **0** logic, este inactivă.

Dacă se aplică un impuls pozitiv pe intrare, ieșirea Q trece în **1** logic. Condensatorul C începe să se încarce prin rezistența R. Cînd tensiunea pe intrarea R depășește tensiunea de tranziție, ieșirea Q este adusă în zero și condensatorul C se descarcă prin rezistență. Pentru a accelera descărcarea se poate monta dioda D în paralel cu rezistența R.

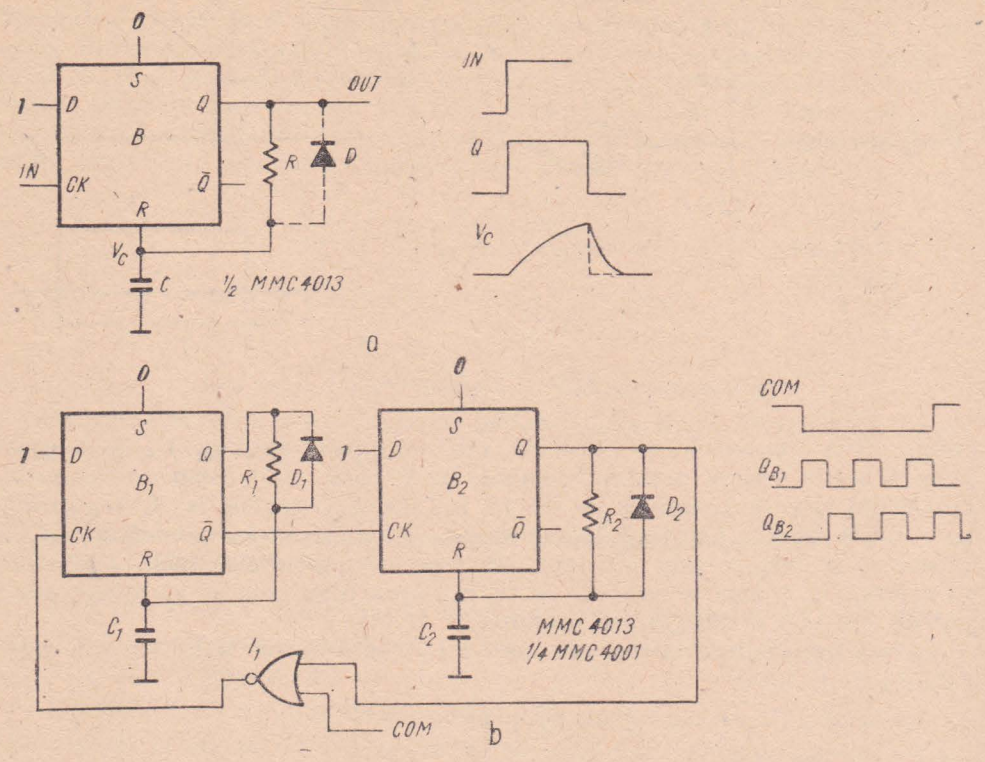


Fig. 8.20. Monostabil din bistabilul MMC 4013 :
a) schema de bază ; *b*) astabil comandat din 2 monostabile cu MMC 4013.

Circuitul poate fi declanșat doar de fronturi pozitive pe intrare. În intervalul de timp în care are loc încărcarea condensatorului, circuitul este insensibil la variațiile semnalului de intrare. În timpul descărcării condensatorului, circuitul poate fi declanșat, aceasta ducînd la impulsuri mai scurte la ieșire.

Pentru ca impedanța de ieșire finită a bistabilului să nu influențeze amplitudinea și fronturile semnalelor de ieșire se impune condiția $R \geqslant 10R_{OUT}$. Conectînd încrucișat două monostabile ca în figura 8.20, *b*, se poate obține un oscilator care poate funcționa în regim *START-STOP*, dacă se inserează în reacție o poartă [I_1, de tip SAU-NU (NOR)]. Circuitul va oscila doar dacă semnalul *COM* este în **0** logic. Cînd *COM* trece în **1** logic, oscilația se oprește după completarea perioadei curente. Dacă I_1 se înlocuiește cu o poartă ȘI-NU (NAND) semnalul de comandă va fi activ în starea **SUS**.

Comanda se mai poate face pe intrările *D* ale bistabililor sau pe intrările de setare *S*. Diodele D_1 și D_2 descarcă complet condensatoarele C_1 și C_2 după fiecare semiperioadă, astfel că primul impuls generat va avea întotdeauna aceeași durată ca și celelalte. Factorul de umplere al semnalului generat se modifică alegînd constante de timp diferite pentru cele două monostabile. Timpii de încărcare ai condensatoarelor depind de tensiunea de alimentare.

8.1.18. **Monostabil/astabil sincronizat** [4]

Circuitul din figura 8.21 se comportă ca un monostabil sau ca un astabil comandat, după durata impulsului de comandă aplicat pe intrarea A.

Presupunem că intrarea A este în **0** logic. Ieșirea porții I_3 este în **1**. Circuitul apare ca un oscilator RC realizat cu trei inversoare I_1, I_2, I_4. Cînd semnalul din A trece în **1** logic, următorul impuls negativ la ieșirea porții I_1 va „imobiliza" latch-ul $I_2 - I_3$: ieșirea inversorului I_2 stă în **1** logic pînă cînd semnalul pe intrarea A va trece din nou în **0**.

La oscilatorul cu trei inversoare din figură, prima perioadă după pornire va fi $T_1 = 2{,}5\ R_1C$, iar perioada următoarelor impulsuri va fi $T_2 = 2{,}2\ R_1C$ (dacă $R_2 \gg R_1$). Dacă durata impulsului de comandă $T_{in} < T_1 = 2{,}5\ R_1C$, circuitul se zăvorăște după prima oscilație, deci funcționează ca un *monostabil*.

Dacă durata impulsului de comandă $T_{in} > T_1 = 2{,}5\ R_1C$, circuitul funcționează ca un *astabil comandat*. După ce semnalul de comandă trece în **1**, oscilatorul își completează ultimul ciclu și se oprește. Deci, în regim de astabil, circuitul generează un tren de impulsuri; primul de durată $2{,}5\ R_1C$, următoarele de $2{,}2\ R_1C$.

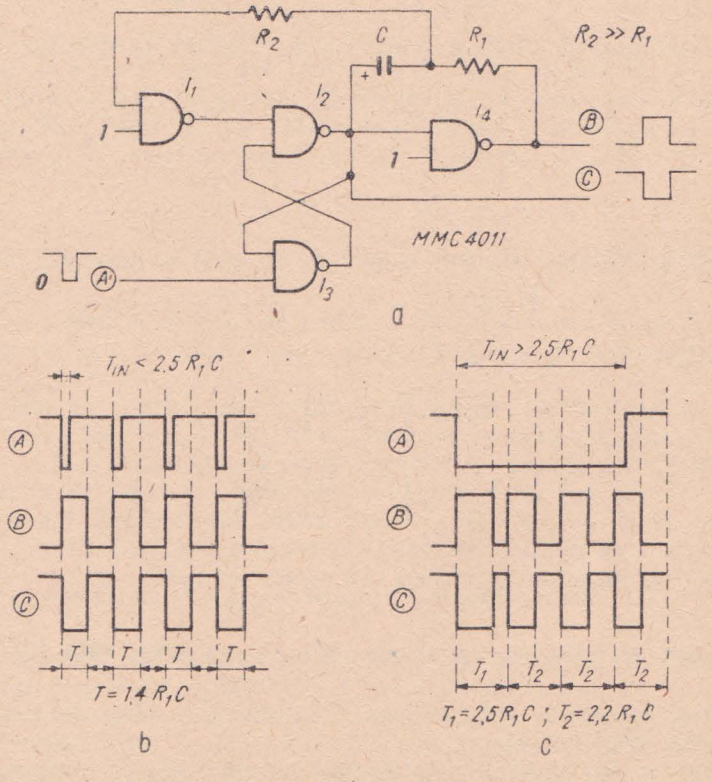


Fig. 8.21. Monostabil/astabil sincronizat:
a) schema; *b*) forme de undă pentru funcționarea ca monostabil; *c*) forme de undă pentru funcționarea ca astabil.

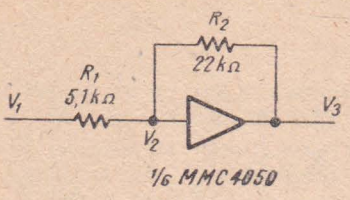


Fig. 8.22. Trigger Schmitt cu porți neinversoare MMC 4050.

8.1.19. Trigger Schmitt cu porți neinversoare [5]

Cu poarta neinversoare de putere MMC 4050 se poate construi un trigger Schmitt util în aplicații tipice de trigger și, mai ales, în interfațări cu circuite din alte familii logice (fig. 8.22).

Pentru a vedea cum funcționează, presupunem mai întîi că ieșirea este în **0**. Tensiunea pe intrarea porții va fi $V_2 = \frac{R_2}{R_1 + R_2} V_1$. Creștem tensiunea V_1 începînd de sub pragul V_{T+}. Cînd tensiunea V_2 depășește tensiunea de tranziție V_{tr} a inversorului, reacția pozitivă care se stabilește aduce ieșirea circuitului în **1** logic.

$$V_{tr} = V_{T+} \cdot \frac{R_2}{R_1 + R_2} \rightarrow V_{T+} = \left(1 + \frac{R_1}{R_2}\right) \cdot V_{tr}$$

Cînd tensiunea pe intrare scade, ieșirea comută în **0** cînd

$$V_2 = V_{tr} = V_{T-} + \frac{R_1}{R_1 + R_2} \cdot (V_{DD} - V_{T-})$$

de unde:

$$V_{T-} = V_{tr} - \frac{R_1}{R_2} \cdot (V_{DD} - V_{tr})$$

Histerezisul va fi:

$$H = V_{T+} - V_{T-} = \frac{R_1}{R_2} \cdot V_{DD}$$

Dacă $V_{tr} = V_{DD}/2$, atunci:

$$V_{T+} = \left(1 + \frac{R_1}{R_2}\right) \cdot \frac{V_{DD}}{2}$$

$$V_{T-} = \left(1 - \frac{R_1}{R_2}\right) \cdot \frac{V_{DD}}{2}$$

Histerezisul nu depinde de valoarea tensiunii de tranziție V_{tr}. În rezistența R_1 se înglobează și rezistența sursei de semnal.

8.1.20. Circuit de întîrziere cu trigger Schmitt cu MMC 4050 [5]

Circuitul descris în § 8.1.19 poate fi folosit pentru întîrzierea unui semnal digital (fig. 8.23).

Dacă $(R_1 + R_2) \geq 10\ R_3$, histerezisul nu este, practic, influențat de R_3 și, de asemenea, constanta de timp a circuitului de integrare $R_3 - C$ nu este afectată de rețeaua de reacție a porții neinversoare.

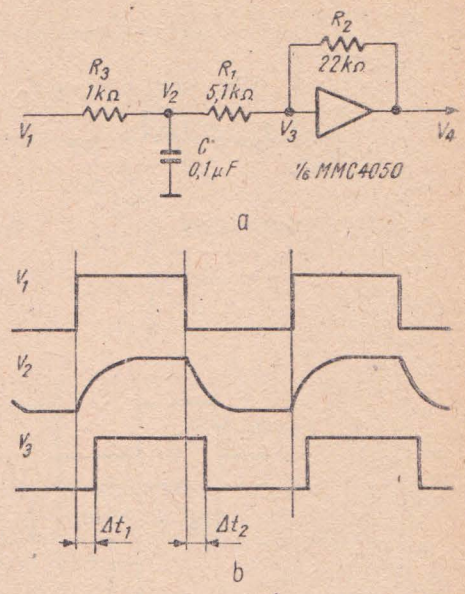


Fig. 8.23. Circuit de întîrziere cu trigger Schmitt cu MMC 4050.

Tensiunea de tranziție V_{tr} variază în limite largi, de la circuit la circuit, dar pentru un circuit dat tensiunea V_{tr} este stabilă cu temperatura.

Cînd V_1 trece în **1** logic, tensiunea V_2 va crește lent. Cînd V_2 atinge V_{T+} (după Δt_1), trece în **1** și ieșirea porții MMC 4050. Cînd V_1 trece în **0** logic, tensiunea V_2 descrește lent. După ce V_2 atinge V_{T-}, V_4 devine **0** logic (după Δt_2).

8.1.21. Detector de fronturi cu trigger Schmitt cu MMC 4050 [5]

În figura 8.24 se poate vedea o altă aplicație a triggerului Schmitt construit cu poarta neinversoare buffer MMC 4050 și anume un detector de fronturi.

Schema conține un circuit de întîrziere (cu G_2) comandat de semnalul de intrare inversat (cu G_1) și circuite de coincidență (pentru impulsuri pozitive — cu G_3, pentru impulsúri negative — cu G_4, pentru identitatea dintre semnalul de intrare și semnalul întîrziat — cu G_5). La ieșirea V_4 se obține un semnal cu frecvența dublă față de a semnalului de intrare.

8.1.22. Oscilator cu trigger Schmitt cu MMC 4050 [5]

Circuitul (fig. 8.25) este compus dintr-un integrator (R_3, C) și un comparator (triggerul Schmitt cu G_2 și inversorul G_1).

În schemele prezentate în §§ 8.1.18 ÷ 8.1.21, poarta neinversoare MMC 4050 poate fi înlocuită pentru aplicații de putere cu două inversoare în cascadă (1/6 MMC 4069, 1/6 MMC 4049). Dacă nu este necesar un curent mare de ieșire, se pot folosi porți neinversoare din MMC 4041 sau inversoare de mică putere (2/6 MMC 4069).

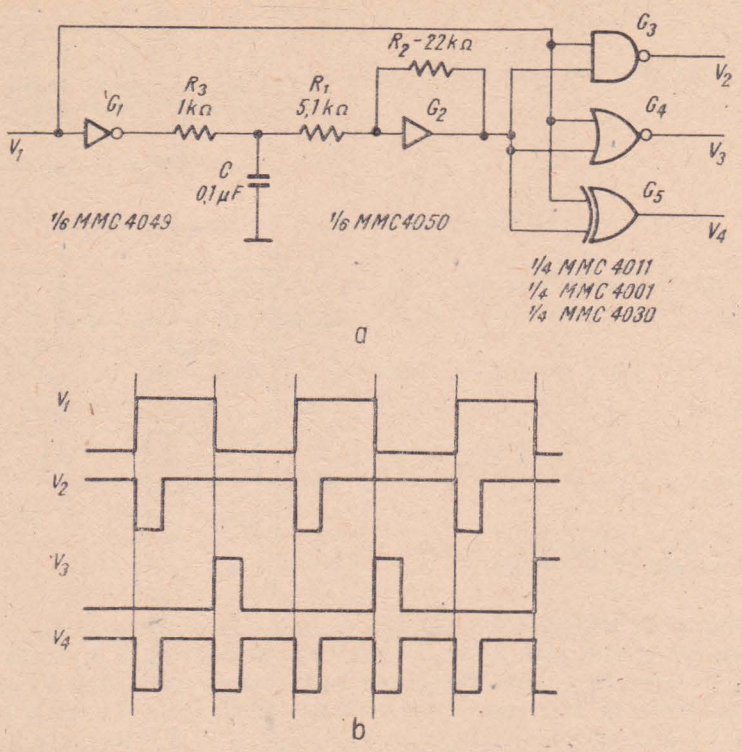


Fig. 8.24. Detector de fronturi cu trigger Schmitt cu MMC 4050 : *a*) schema ; *b*) forme de undă.

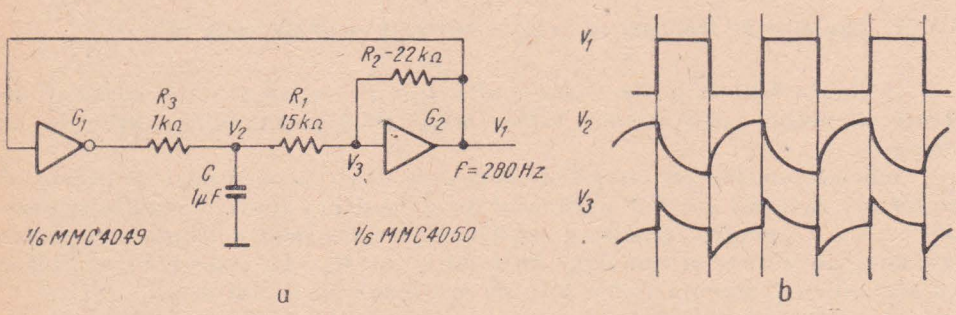


Fig. 8.25. Oscilator cu trigger Schmitt cu MMC 4050.

8.1.23. **Monostabile cu porți neinversoare**

Circuitele din figura 8.26 sînt monostabile declanșate de un impuls negativ (fig. 8.26, *a*) sau de un impuls pozitiv (fig. 8.26, *b*).

Pentru a analiza funcționarea monostabilului din figura 8.26, *a*, presupunem că, inițial, atît intrarea, cît și ieșirea sînt în **1** logic. În aceste condiții, condensatorul C_1 este descărcat. Dacă se aplică un impuls negativ scurt pe intrarea *1*, ieșirea trece în **0**, condensatorul tinde să se comporte ca un

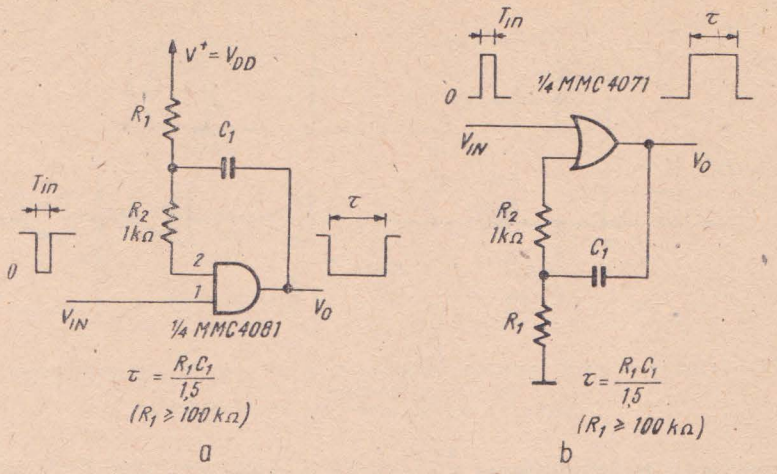


Fig. 8.26. Monostabile cu porți neinversoare :
a) cu poartă AND(ȘI) și semnale de intrare și ieșire active în starea **JOS** ; *b*) cu poartă OR(SAU) și semnale de intrare și ieșire active în starea **SUS**.

scurtcircuit, aducînd și intrarea *2* în **0**. În felul acesta, ieșirea rămîne în **0** chiar dacă semnalul de intrare revine în **1**. Condensatorul C_1 se încarcă prin rezistența R_1. Cînd tensiunea pe condensator atinge tensiunea de tranziție, ieșirea revine în **1**.

Circuitul din figura 8.26, *b* funcționează asemănător pentru impulsuri de intrare și de ieșire pozitive.

8.1.24. Circuit de întîrziere cu MMC 4093 [7]

Circuitul din figura 8.28, *a* funcționează asemănător celui din figura 8.23, numai că întîrzierile se reglează independent din rezistențele R_1 (Δt_1, fig. 8.27, *b*), respectiv R_2(Δt_2).

Încărcarea și descărcarea condensatorului se face pe căi separate, datorită diodelor D_1, D_2.

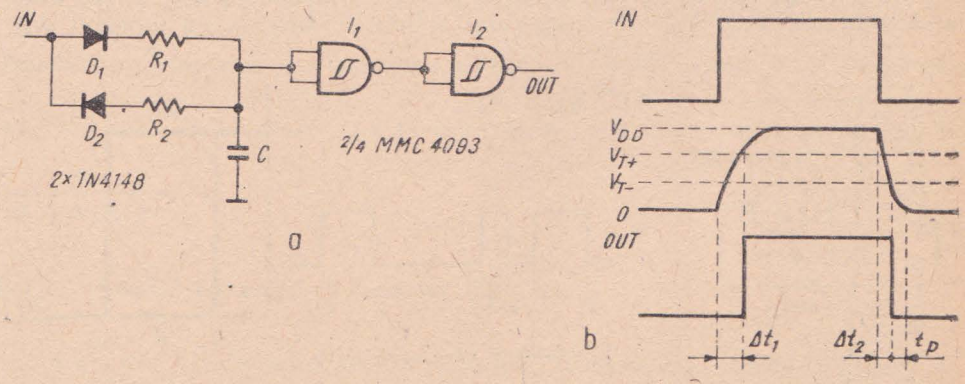


Fig. 8.27. Circuit de întîrziere a fronturilor crescător și descrescător cu trigerul Schmitt MMC 4093.

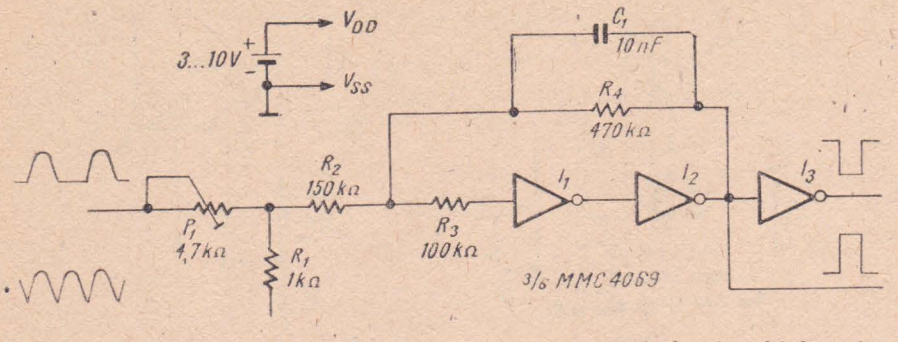


Fig. 8.28. Trigger Schmitt pentru furnizarea unui semnal dreptunghiular sincron cu rețeaua.

8.1.25. Semnal dreptunghiular sincron cu rețeaua [7]

Circuitul din figura 8.28 este atacat la intrare cu un semnal alternativ redresat monoalternanță sau bialternanță, și furnizează la ieșire două semnale dreptunghiulare în antifază.

Partea principală a circuitului o constituie triggerul Schmitt, compus din inversoarele I_1, I_2, rezistențele R_2, R_3, R_4 și condensatorul de accelerare a comutării C_1.

Defazajul între semnalul de intrare și semnalul de ieșire depinde de nivelul semnalului de intrare și de pragurile triggerului Schmitt. Nivelul semnalului la intrarea în trigger se poate regla cu semireglabilul P_1.

8.1.26. Comutator cu trigger Schmitt [7]

Ieșirea circuitului din figura 8.29 își schimbă starea la fiecare apăsare a butonului S.

Cu potențiometrul P se fixează pe poarta circuitului un potențial aflat între pragurile V_{T+}, V_{T-} ale triggerului Schmitt. Dacă, la un moment dat,

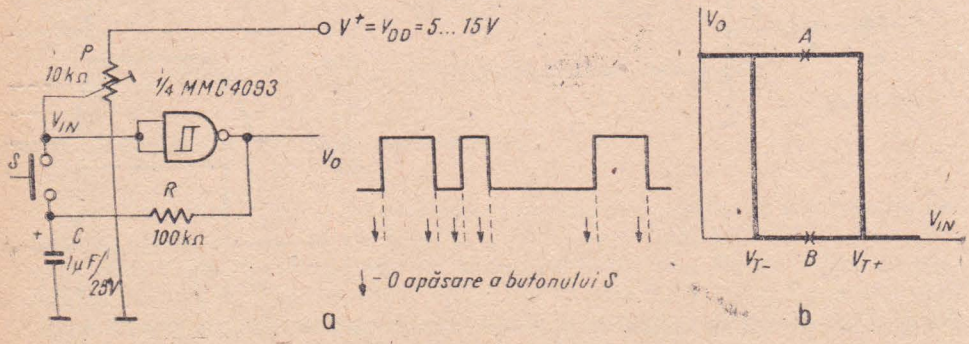


Fig. 8.29. Comutator cu trigger Schmitt.

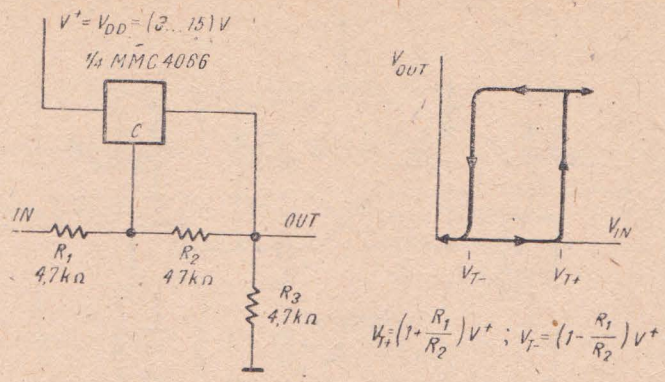


Fig. 8.30. Trigger Schmitt cu poartă de transfer :
a) schema ; *b*) caracteristici de transfer.

ieșirea este în **1** logic, circuitul se găsește în punctul *A* de pe caracteristica de transfer (fig. 8.29, *a*), iar condensatorul este încărcat la valoarea V_{DD}. Dacă se apasă butonul *S*, pe intrare se aplică nivelul **1** logic memorat pe condensator și ieșirea trece în **0**. Condensatorul începe să se descarce. După eliberarea butonului, circuitul ajunge în punctul *B* de funcționare, iar condensatorul se descarcă prin rezistența *R*. La o nouă apăsare pe buton, circuitul revine în **1** pe ieșire.

8.1.27. Trigger Schmitt cu poartă de transfer [7]

Triggerul Schmitt din figura 8.30 este construit în jurul unei porți de transfer din capsula MMC 4016 sau MMC 4066.

Cînd tensiunea de intrare este sub tensiunea de prag V_{T+}, intrarea de comandă a porții este în **0** logic și poarta este blocată. Ca urmare, la ieșire tensiunea este $\frac{R_3}{R_1 + R_2 + R_3} \cdot V_{in}$.

Cînd $V_{in} \geqslant V_{T+} = \left(1 + \frac{R_1}{R_2}\right)V^+$, poarta se deschide și $V_{OUT} = V^+$. Tensiunea pe intrarea de comandă este $\frac{R_1 V^+ + R_2 V_{in}}{R_1 + R_2}$. Cînd V_{in} scade sub $V_{T-} = \left(1 - \frac{R_1}{R_2}\right)V^+$, poarta se blochează iar tensiunea de ieșire redevine $\frac{R_3}{R_1 + R_2 + R_3} \cdot V_{in}$.

8.1.28. Astabil cu porți de transfer [7]

Circuitul din figura 8.31 este compus din două monostabile cu porți de transfer conectate încrucișat.

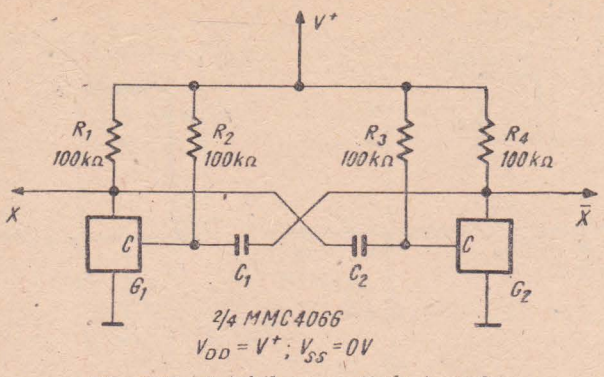


Fig. 8.31. Astabil cu porți de transfer.

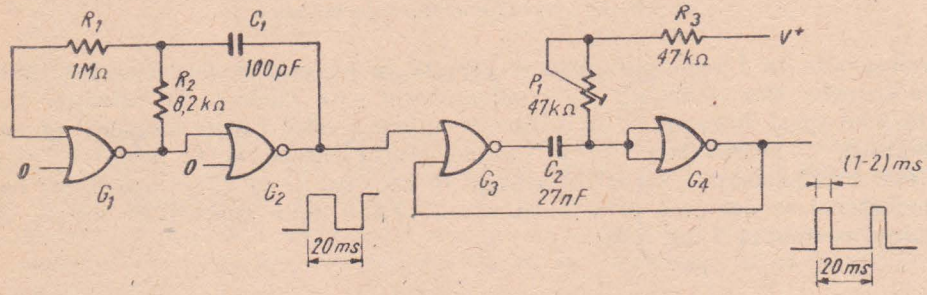


Fig. 8.32. Generator de semnal dreptunghiular.

8.1.29. Generator de semnal dreptunghiular

Circuitul din figura 8.32, generează impulsuri scurte la un interval determinat de astabilul construit cu G_1, G_2. Porțile G_3, G_4 sînt montate ca monostabil.

8.1.30. Imitator 1 [7]

Circuitul din figura 8.33 este compus din trei lanțuri de astabile, care se comandă unul pe altul și generează un semnal audio asemănător cu „glasul" ciocănitoarei.

Oscilatorul construit cu N_5, N_6 funcționează atît timp cît ieșirea porții N_4 este în **0** logic. Oscilatorul cu N_3, N_4 funcționează numai dacă ieșirea inversorului N_2 este în **0** logic, ș.a.m.d.

8.1.31. Imitator 2 [7]

Circuitul din figura 8.34 produce un sunet asemănător cu al greierului. Circuitul constă din trei oscilatoare cu trigger Schmitt (cu N_1, N_2, N_3) cu frecvența ajustabilă și un oscilator (cu N_7, N_8) cu factorul de umplere ajustabil.

Oscilatoarele sînt comutate în așa fel încît să se genereze trenuri de impulsuri. Semnalul rezultat poate fi ascultat pe un traductor piezoelectric.

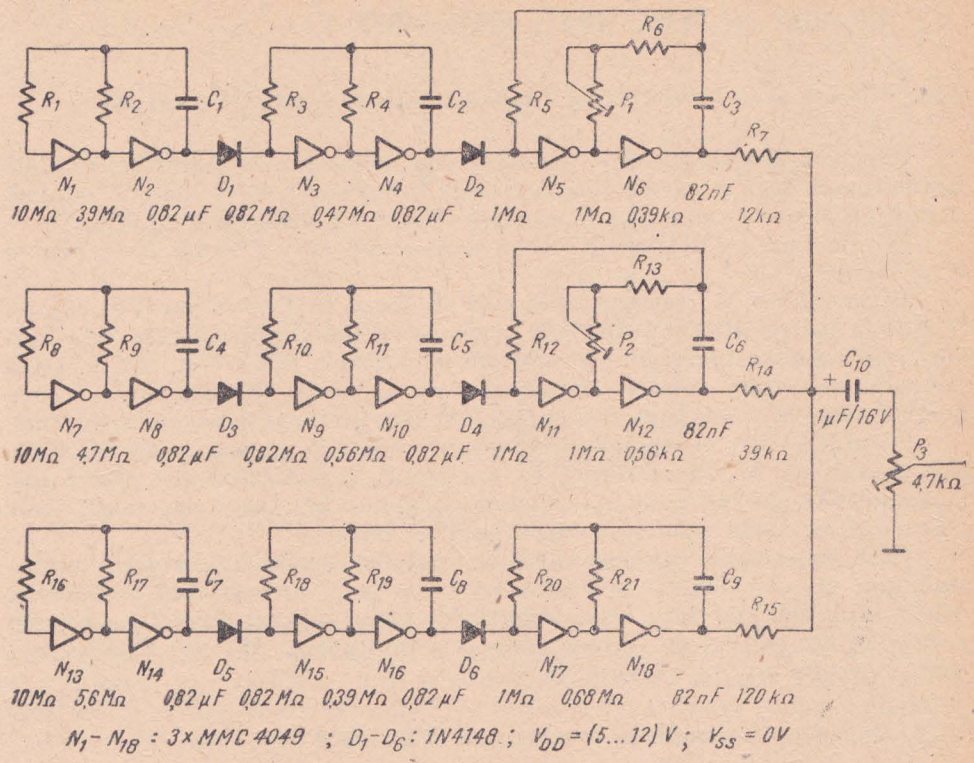


Fig. 8.33. Imitator 1 (ciocănitoare).

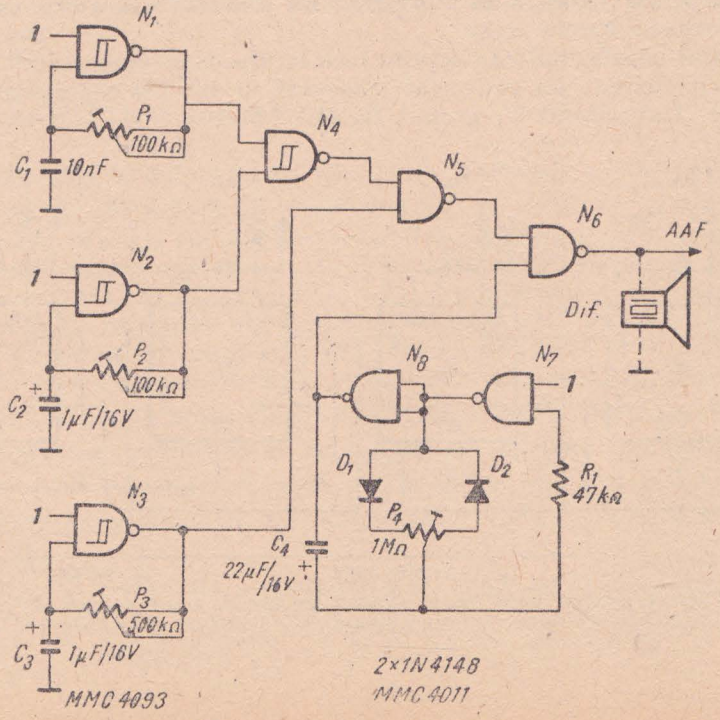


Fig. 8.34. Imitator 2 (greier).

8.2. Circuite cu MMC 4047, MMC 4098

8.2.1. Circuit pentru verificarea limitelor perioadei unui semnal [6]

Circuitul din figura 8.35 construit cu monostabile duale MMC 4098 semnalizează dacă perioada semnalului de intrare este între limitele minimă (fixată cu semireglabilul R_4)-și maximă (fixată cu semireglabilul R_1).

Durata impulsului generat de un monostabil este $T \simeq 0{,}5 \cdot R \cdot C$, pentru $C \geq 10$ nF.

Monostabilul M_1 (retriggerabil) este declanșat pe frontul pozitiv. Ieșirea Q este în starea **JOS** atît timp cît perioada semnalului de intrare este mai mică decît durata impulsului generat de monostabil ($T_1 = 0{,}5\ R_1C_1$). Dacă semnalul de intrare are o frecvență prea mică, ieșirea Q trece în **1**. Ieșirea porții I_1 trece în starea **SUS**, semnalînd depășirea limitelor intervalului de timp.

Frontul pozitiv al semnalului de intrare comandă monostabilele M_2 și M_3 (retriggerabile). M_2 funcționează ca un circuit de întîrziere (cu cîteva μs). Semnalul său de ieșire se aplică monostabilului M_4 (neretriggerabil), care determină perioada minimă a impulsului de intrare.

Dacă impulsurile de intrare sosesc mai des decît T_{min}, resetul monostabilului M_3 este inactiv și ieșirea lui trece în **1**, determinînd semnalarea depășirii limitelor de timp. Dacă impulsurile sosesc mai rar decît T_{min}, frontul pozitiv al semnalului de intrare găsește monostabilul M_3 cu $\overline{RES}$ activ. Astfel, ieșirea sa va rămîne în **0**.

8.2.2. Oscilator comandat în tensiune cu MMC 4098 [3]

Circuitul din figura 8.36 reprezintă un oscilator comandat în tensiune cu o liniaritate foarte bună.

Circuitul constă dintr-un astabil format din două monostabile (M_1, M_2) conectate încrucișat, un convertor frecvență-curent (cu amplificatorul operațional A, tranzistorul T, grupul R_1-C)

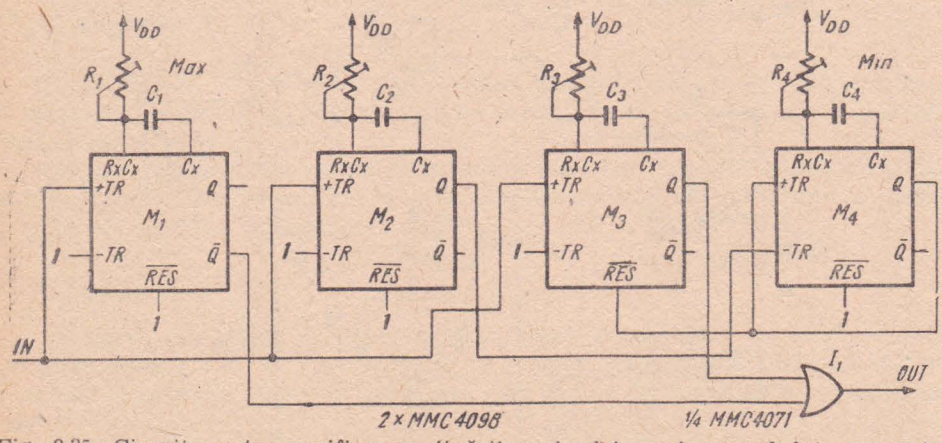


Fig. 8.35. Circuit pentru verificarea situării perioadei unui semnal între anumite limite.

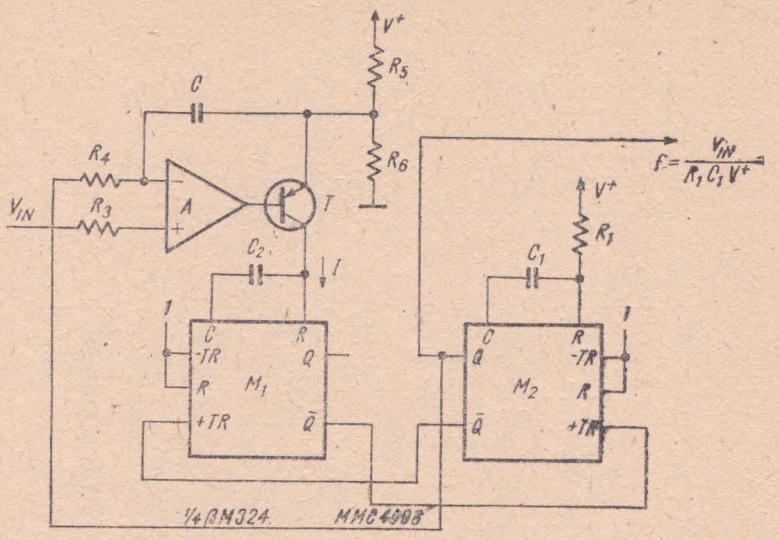


Fig. 8.36. Oscilator comandat în tensiune cu MMC 4098.

Monostabilul M_2 dă un impuls de durată fixată de R_1, C_1. Durata impulsului generat de M_1 depinde de mărimea condensatorului C_2 și de curentul I injectat în terminalul R al monostabilului M_1. Curentul I este proporțional cu diferența dintre tensiunea de intrare și o tensiune proporțională cu frecvența de ieșire.

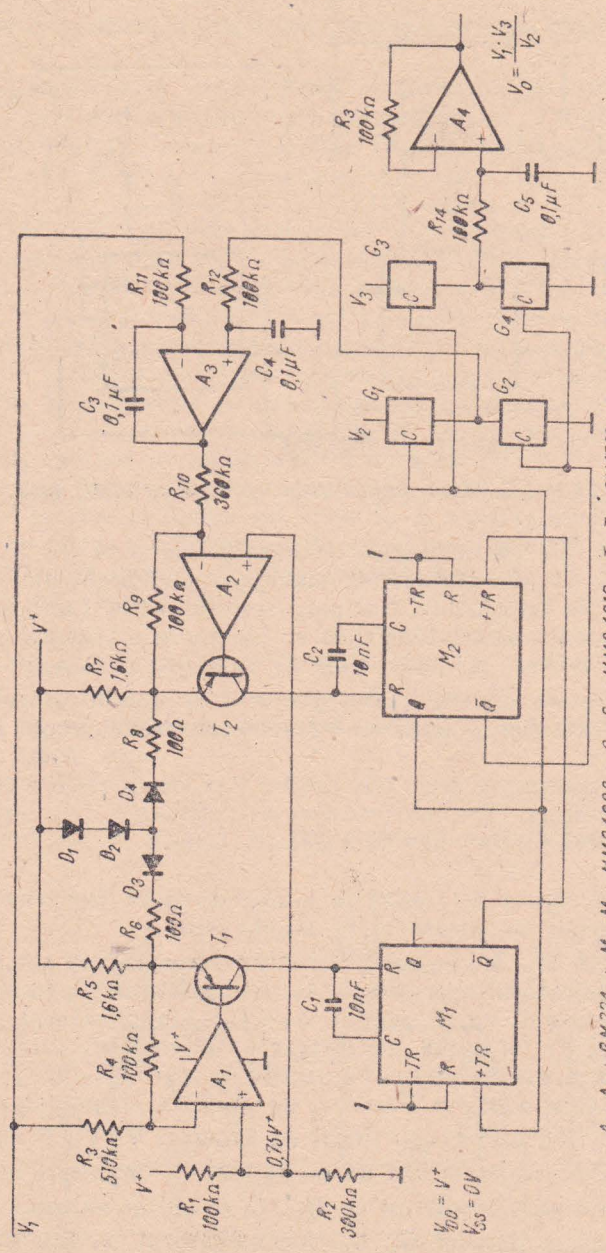
Existența buclei de reglaj (integratorul și amplificatorul diferențial) asigură o liniaritate foarte bună a dependenței frecvenței de ieșire de tensiunea de intrare.

8.2.3. **Multiplicator/divizor analogic [3]**

Circuitul din figura 8.37 este un multiplicator/divizor analogic cu modularea impulsurilor în durată și în amplitudine.

Monostabilele M_1, M_2 cuplate încrucișat formează un astabil comandat în curent. Amplificatorul operațional A_1 și tranzistorul T_1 formează un convertor tensiune-curent, ca și grupul A_2—T_2. Amplificatorul A_3 împreună cu R_{11}, C_3, R_{12}, C_4 formează un integrator diferențial. Circuitele A_1, A_2, A_3, M_1 și M_2 formează împreună cu porțile de transmisie G_1 și G_2 un modulator în durată al semnalului. Factorul de umplere al semnalului generat de astabilul cu M_1, M_2, este proporțional cu raportul V_1/V_2. Porțile G_3, G_4 comandate în contratimp formează un modulator de impulsuri în amplitudine. La ieșirea integratorului construit cu R_{14}, C_5 se obține valoarea medie a semnalului de la ieșirea porților G_3, G_4. Amplificatorul A_4 funcționează ca un buffer neinversor.

Tensiunea de la ieșire este proporțională cu produsul a două dintre tensiunile de intrare și invers proporțională cu cea de-a treia tensiune.



A_1-A_4 : DM324 ; M_1, M_2 : MMC4098 ; G_1-G_4 : MMC4016 ; T_1, T_2 : 2N1613 ; D_1 - D_4 : 1N4148

Fig. 8.37. Multiplicator/divizor analogic cu modularea impulsurilor în durată și amplitudine.

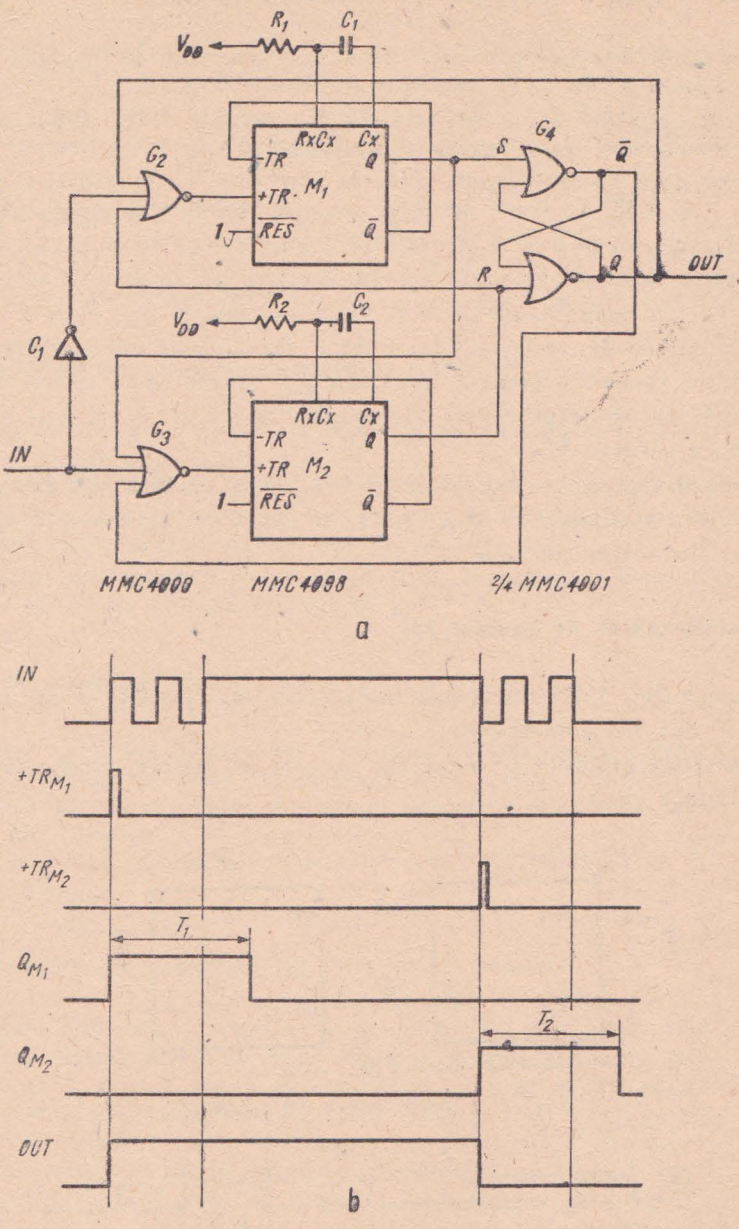


Fig. 8.38. Circuit pentru eliminarea tranzițiilor parazite : *a)* schemă ; b) forme de undă.

8.2.4. Circuit pentru eliminarea tranzițiilor parazite [4]

În figura 8.38, *a* este prezentat un circuit care elimină tranzițiile parazite care pot apărea acolo unde există comutatoare sau relee.

Circuitul conține două monostabile din capsula MMC 4098 în configurație de monostabil neretriggerabil declanșat pe front pozitiv.

Presupunem, că la început, intrarea este în **0**, ca și ieșirile Q ale monostabilelor (fig. 8.38, *b*). Dacă intrarea comută, ieșirea Q a monostabilului M_1 trece în **1** logic, ca și ieșirea circuitului. Latch-ul construit cu G_4, G_5 memorează această stare și blochează accesul oricărui alt impuls de intrare la intrările $+TR$ ale monostabilelor, atît timp cît ieșirea Q_{M1} este în **1**. Durata impulsului dat de M_1 se ia mai mare decît durata maximă a regimului tranzitoriu, lucru valabil și pentru M_2. Cînd Q_{M1} revine în **0**, ieșirea circuitului rămîne în **1**, dar se permite accesul impulsurilor de pe intrare pe terminalul $+TR$ al circuitului M_2.

La apariția primului impuls negativ, latch-ul comută și menține această stare cel puțin atît timp cît Q_{M2} este în **1**. După ce Q_{M2} trece în **0**, circuitul se găsește în starea inițială.

8.2.5. Discriminator de zgomot [2]

Circuitul (fig. 8.39) rejectează impulsurile mai înguste decît durata impulsului T dat de monostabil.

Impulsurile de ieșire le urmăresc pe cele de intrare, fronturile pozitive fiind întîrziate cu T.

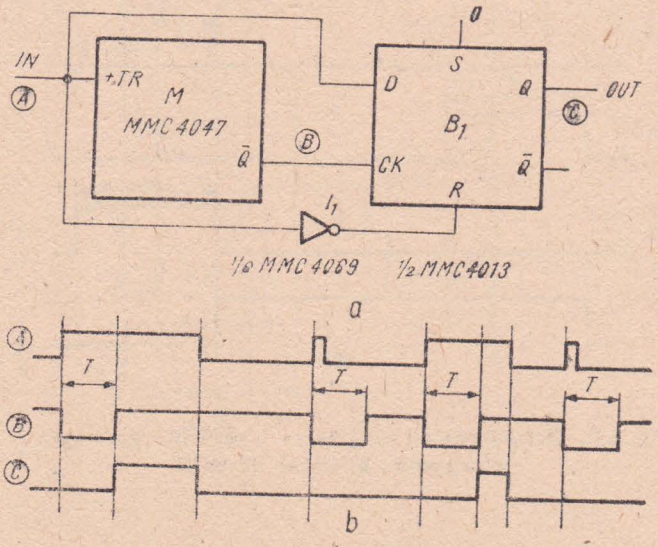


Fig. 8.39. Discriminator de zgomot.

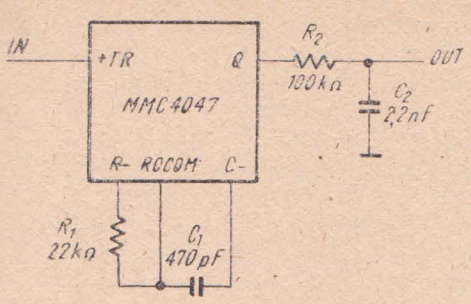


Fig. 8.40. Convertor frecvență-tensiune.

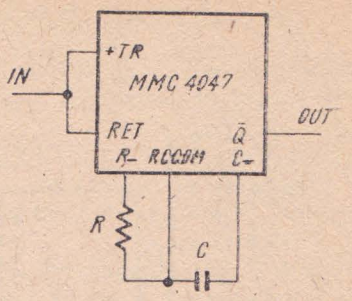


Fig. 8.41. Filtru trece-jos.

8.2.6. **Convertor frecvență-tensiune** [2]

Tensiunea de la ieșirea circuitului din figura 8.40 este proporțională cu frecvența semnalului de intrare.

Monostabilul produce un impuls de durată determinată, pentru fiecare front pozitiv la intrare. Factorul de umplere al semnalului de la ieșire este proporțional cu frecvența semnalului de intrare.

Semnalul este integrat de circuitul R_2C_2, tensiunea la ieșire fiind proporțională cu frecvența semnalului de intrare.

8.2.7. **Filtru trece-jos** [2]

Circuitul (fig. 8.41) compară frecvența de intrare cu referința proprie. Constanta de timp va determina frecvența de tăiere. Semnalul de ieșire are aceeași frecvență cu semnalul de intrare, pentru o frecvență mai mică decît frecvența de tăiere.

Dacă frecvența de intrare este mai mare decît frecvența de tăiere, ieșirea rămîne în **0** logic.

8.2.8. **Generator de impulsuri** [2]

În figura 8.42 este prezentat un generator de impulsuri dreptunghiulare construit cu circuite integrate MMC 4047 în diverse regimuri de funcționare.

Circuitul A_1 funcționează ca astabil (S_1 închis, K_1 în poziția 1). Frecvența semnalului de ieșire variază între 2 Hz și 1 MHz. Domeniile se selectează cu comutatorul S_1 și se întrepătrund. Circuitul A_1 poate funcționa și în regim declanșat (comutatorul S_1 deschis, comutatorul K_2 în poziția 1 sau în poziția 2, după cum se dorește sincronizarea pe frontul pozitiv sau pe frontul negativ). Semnalul de comandă se aplică pe intrarea *COM*.

Circuitul A_2 funcționează ca monostabil comandat de A_1, furnizînd impulsuri scurte la ieșirea *SINCRO*, care pot sincroniza eventual un osciloscop.

Dacă sînt necesare semnale de ieșire cu factor de umplere 1/2, acestea se culeg de la ieșirea circuitului A_1, cu comutatorul K_3 în poziția 1. Cu comu-

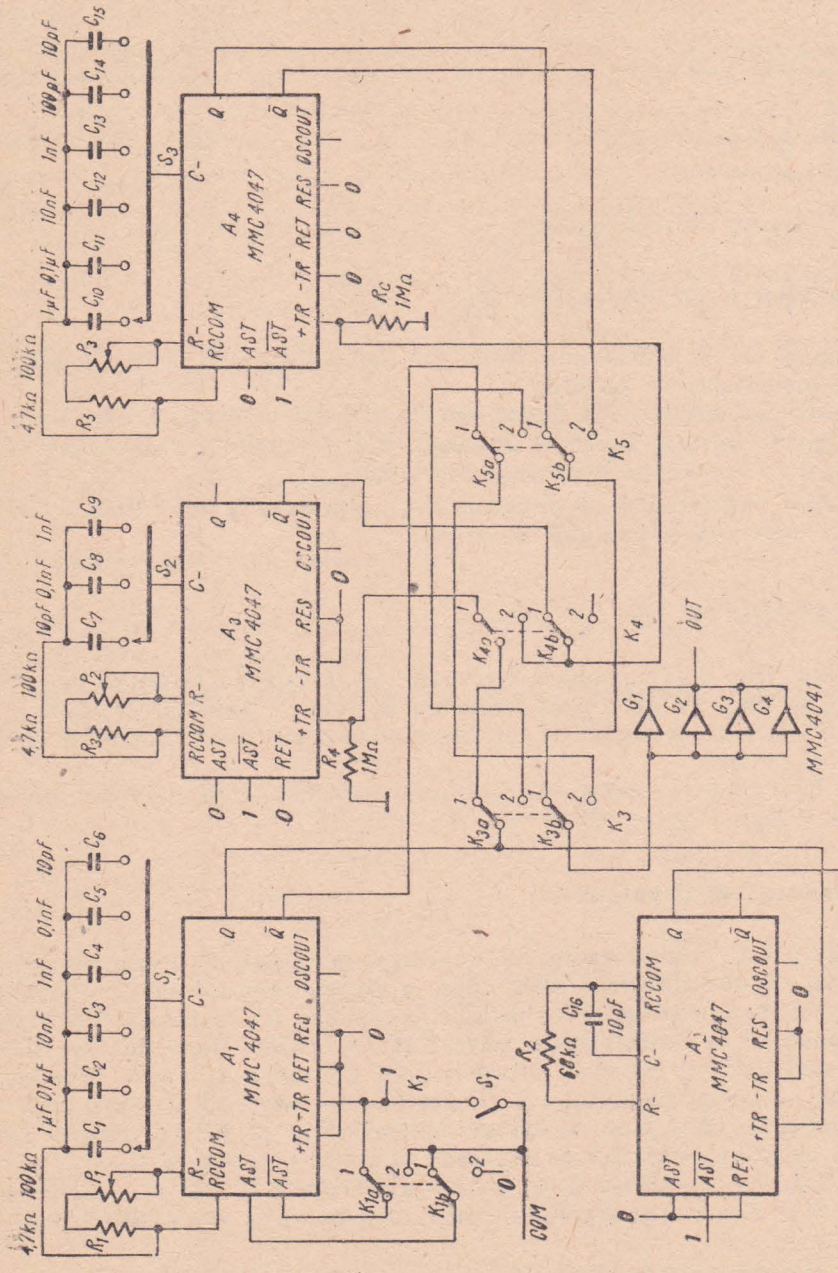


Fig. 8.42. Generator de impulsuri cu MMC 4047.

tatorul K_5 în poziția 1, se obțin la ieșire impulsuri de pe Q_{A1}. Cu K_1 în poziția 2, se transmit la ieșire impulsurile de pe $\overline{Q}_{A1}$.

Circuitul A_3 generează impulsuri întîrziate cu 1,5 μs...250 ms față de impulsurile de sincronizare, atunci cînd K_1 este în poziția 1. Sînt trei game de timpi de întîrziere, selectabili cu S_2.

Cînd K_2 este în poziția 2, semnalul nu mai este trecut prin A_3. Impulsurile de la ieșire au doar o întîrziere determinată de timpii de propagare. Circuitul A_4 este un monostabil comandat de A_1 sau de A_3. Impulsurile furnizate pot avea durate între 1,5 μs și 200 ms.

Ieșirea se face prin patru porți neinversoare din capsula MMC 4041, conectate în paralel pentru o capabilitate de curent la ieșire sporită.

8.3. Oscilatoare cu cuarț

Oscilatoarele cu cuarț sînt extrem de răspîndite datorită stabilității excelente a frecvenței de oscilație. Oscilatoarele cu cuarț realizate cu circuite CMOS asigură, în plus, avantajul consumului de putere redus și al stabilității frecvenței pe o gamă largă a tensiunii de alimentare, lucru care nu solicită modificări în valorile elementelor de circuit necesare.

Oscilatorul fundamental conține un amplificator și o rețea de reacție. Pentru amorsarea oscilației, produsul dintre cîștigul amplificatorului α și atenuarea rețelei de reacție β trebuie să fie supraunitar (adică $\alpha\beta > 1$). În plus, defazajul total introdus de amplificator și rețeaua de reacție trebuie să fie un multiplu de 360°, adică semnalul de reacție de la ieșirea rețelei să fie în fază cu semnalul de la intrarea amplificatorului. Aceste două condiții alcătuiesc criteriul de oscilație a lui Barkhausen [8], [9].

8.3.1. Cristalul de cuarț

Figura 8.43 prezintă schema echivalentă a unui cristal de cuarț, iar tabelul 8.1 oferă valorile tipice ale elementelor acestei scheme pentru diferite tipuri de cristale*.

Tabelul 8.1

FRECVENȚA	32 kHz	2 MHz	4 MHz*	10 MHz*
TĂIETURA	Bară XY	AT	AT	AT
R (Ω)	40 k	82	50...75	20...25
L (H)	4 800	0,52	0,1	0,0125
C (pF)	0,00491	0,0122	0,0144	0,0203
C_0 (pF)	2,85	4,27	2,9	3,5
Q	25 000	80 000	100 000	110 000

* Producție ICSITE (valori orientative).

* fabricanții de la noi din țară sînt ICSITE și IFTM.

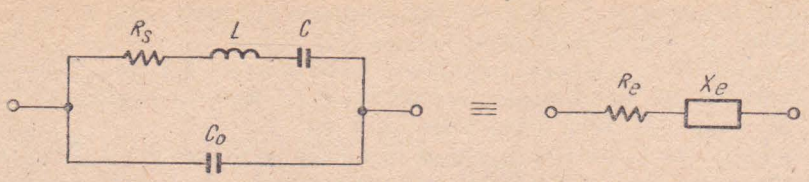


Fig. 8.43. Schema echivalentă a cristalului de cuarț.

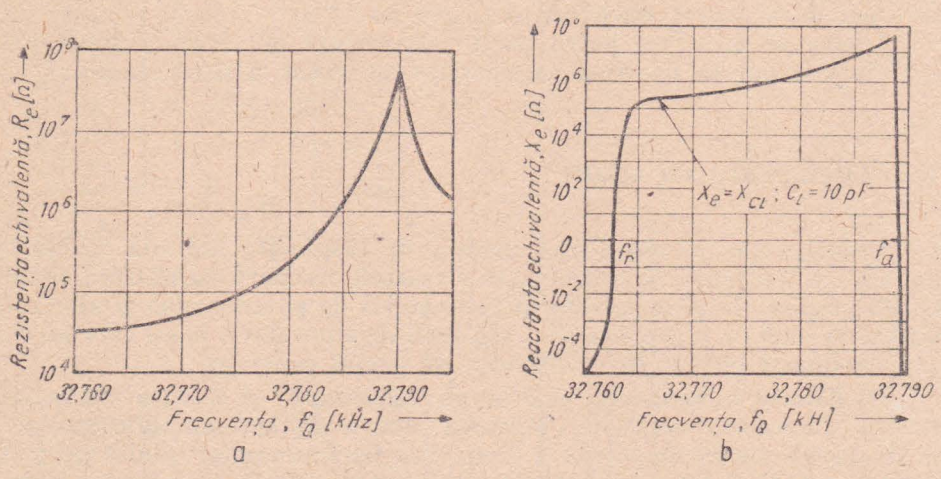


Fig. 8.44. Dependența de frecvență a rezistenței echivalente a cuarțului (*a*) și a reactanței echivalente a cuarțului (*b*).

Circuitul poate fi înlocuit prin componentele echivalente rezistive (R_e) și reactive (X_e). Figura 8.44 arată variația acestor componente, în funcție de frecvență, pentru un cristal tipic de 32,768 kHz ($= 2^{15}$ Hz) și o încărcare capacitivă C_L a cuarțului de 10 pF.

Figura 8.44, *b* indică două puncte în care cristalul de cuarț apare ca pur rezistiv (componenta $X_e = 0$). Aceste două puncte sînt definite ca *frecvența de rezonanță* (f_r) și *frecvența de antirezonanță* (f_a). Oscilatoarele cu rezonanță serie sînt proiectate să oscileze la sau aproape de frecvența de rezonanță f_r. Oscilatorul cu rezonanță paralel oscilează la frecvențe cuprinse între f_r și f_a, în funcție de valoarea încărcării capacitive C_L a cuarțului. Comparativ cu circuitele rezonante serie, circuitele cu rezonanță paralel au performanțe bune cînd lucrează cu amplificatoare cu impedanță mare de intrare. Ca o consecință, circuitele rezonante paralel sînt cele mai răspîndite pentru oscilatoarele cu cuarț care utilizează amplificatoare CMOS.

8.3.2. Configurația rețelei de reacție

O configurație adecvată pentru un oscilator cu rezonanță paralel este prezentat în figura 8.45. Acest circuit, denumit și rețea π cu cuarț, este indicat a fi utilizat împreună cu un amplificator care asigură un defazaj de 180°. Rețeaua π este proiectată pentru a asigura defazajul suplimentar de 180° necesar îndeplinirii condiției de oscilație. Defazajul introdus de către această

rețea de reacție este extrem de sensibil la variațiile frecvenței, condiție necesară unei oscilații stabile. Dacă rezistența echivalentă a cuarțului este nulă (factor de calitate infinit), o schimbare a defazajului introdus de către rețeaua de reacție nu va afecta frecvența de oscilație. Frecvența de oscilație va fi, în condițiile acestea, insensibilă la orice modificare a condițiilor de lucru ale amplificatorului.

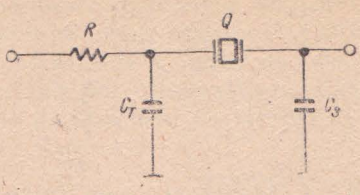


Fig. 8.45. Schema unei rețele de reacție π pentru oscilator cu cuarț.

Deși oscilatoarele cu cristale de cuarț permit doar modificări mici ale frecvenței pentru variații mari ale unghiului de fază, defazajul introdus de amplificator trebuie să fie cît mai puțin dependent de variațiile temperaturii și ale tensiunii sursei de alimentare. Acest lucru permite minimizarea compensării de fază necesare în rețeaua de reacție. Orice compensare de fază, necesară în rețeaua de reacție, va conduce la modificări în frecvența de oscilație, modificări corelate cu factorul de calitate al cuarțului. Din acest motiv, valoarea rezistenței echivalente a cuarțului R_e trebuie menținută cît se poate de coborîtă, iar amplificatorul trebuie proiectat să aibă o bandă de frecvență mai mare decît frecvența de oscilație a cuarțului.

8.3.3. Amplificatorul CMOS pentru oscilator

Figura 8.46 arată un amplificator CMOS, care poate fi utilizat într-un oscilator cu cuarț. Tranzistoarele MOS pot fi cele din circuitul MMC 4007, circuit care conține trei perechi complementare de tranzistoare.

Amplificatorul este polarizat astfel încît tensiunea de ieșire V_{OUT} este egală cu tensiunea de intrare și este egală cu jumătate din valoarea tensiunii de alimentare V_{DD} (adică $V_{OUT} = V_{IN} = V_{DD}/2$).

Polarizarea este realizată cu ajutorul unei rezistențe R_f, care are o valoare suficient de mare pentru a preveni încărcarea rețelei de reacție, dar mică în comparație cu rezistența de intrare a amplificatorului. Valorile de rezistențe cuprinse în plaja 10...500 MΩ satisfac acest criteriu. Valorile din partea inferioară a acestei plaje, de ordinul 15 MΩ, sînt, în general, utilizate cu toate că se obțin curenți reziduali de intrare mai mari, dar care nu afectează serios punctul static de funcționare al tranzistoarelor.

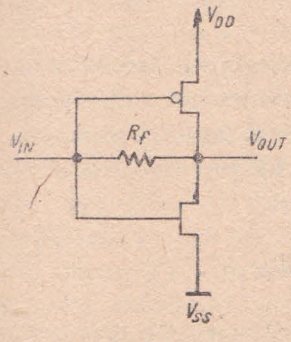


Fig. 8.46. Schema unui amplificator CMOS.

Cîștigul amplificatorului variază cu tensiunea sursei de alimentare, dimensiunile tranzistoarelor și suma valorilor tensiunilor de prag ale tranzistoarelor.

Pînă la un anumit punct, amplificatorul oscilatorului guvernează selecția componentelor rețelei de reacție. Curentul de alimentare al amplificatorului depinde puternic de atenuarea introdusă de rețeaua de reacție. Cu cît atenuarea crește, semnalul de la intrarea amplificatorului scade, iar curentul de alimentare crește considerabil. Excursia mare de

tensiune la intrarea amplificatorului va impune un curent neglijabil datorită rezistenței mari de conducție fie a tranzistorului cu canal *n*, fie a celui cu canal *p* și aceasta, pe o mare parte a perioadei semnalului. Datorită considerațiilor de putere disipată se recomandă să se proiecteze rețele de reacție cu atenuare mică.

8.3.4. Încărcarea capacitivă a cuarțului

Un alt factor care influențează puterea consumată de oscilator este valoarea capacitorului din rețeaua de reacție C_T, plasat la ieșirea amplificatorului. Pentru un curent de alimentare minim, este evident că valoarea acestui capacitor trebuie să fie mică. Din păcate, o capacitate redusă nu conduce întotdeauna la o stabilitate ridicată a frecvenței. Alegerea valorii capacității implică determinarea încărcării capacitive totale a cuarțului. Defazajul introdus de rețeaua de reacție se apropie de 180°, atunci cînd componenta reactivă echivalentă X_e a cuarțului este egală cu reactanța X_{CL} a încărcării capacitive, paralel a cuarțului. Din figura 8.45 se observă că valoarea efectivă a capacității paralel „văzute" de cuarț este aceea obținută din înserierea celor două capacități ale rețelei de reacție. Dacă valoarea reactanței echivalente X_e a cuarțului la frecvența acestuia (fig. 8.44, *b*) este egală cu valoarea încărcării capacitive C_L a cuarțului, atunci valoarea înseriată a celor două capacități ale rețelei de reacție este $C_L = 1/(\omega X_e)$.

Valorile capacităților individuale se pot calcula cu formulele

$$C_T = 4C_L/(1 - 5 \cdot f \cdot R_e \cdot C_L)$$

$$C_S = 4C_L/(3 + 5 \cdot f \cdot R_e \cdot C_L)$$

Valoarea capacității C_S din rețeaua de reacție trebuie să fie cu aproximativ 7 pF mai mică decît valoarea calculată pentru a ține seama de capacitatea de intrare a amplificatorului [1]. Valoarea capacității de ieșire C_T a amplificatorului trebuie să poată fi modificată, astfel încît să se compenseze capacitățile parazite ale montajului. Se recomandă utilizarea unui trimer cu o valoare medie egală cu valoarea calculată C_T.

8.3.5. Scheme practice de oscilatoare cu cuarț

Circuitele prezentate în figura 8.47 au cuarțuri selectate, care au rezistența echivalentă R_e de 50 kΩ și sînt calculate să oscileze pe o frecvență de 32,768 kHz pentru o încărcare capacitivă de 10 pF. Valorile capacităților C_T și C_S se pot calcula și sînt 43 pF, respectiv 13 pF. Valoarea rezistenței R din rețeaua de reacție se calculează cu formula

$$R = \frac{(3X_e + 0{,}27R_e)(X_e - 0{,}8R_e)}{16R_e} \simeq 1 \text{ MΩ}$$

Această valoare reprezintă valoarea maximă pentru această rezistență admisă pentru un factor de atenuare al rețelei de reacție de 0,75. Acest minim

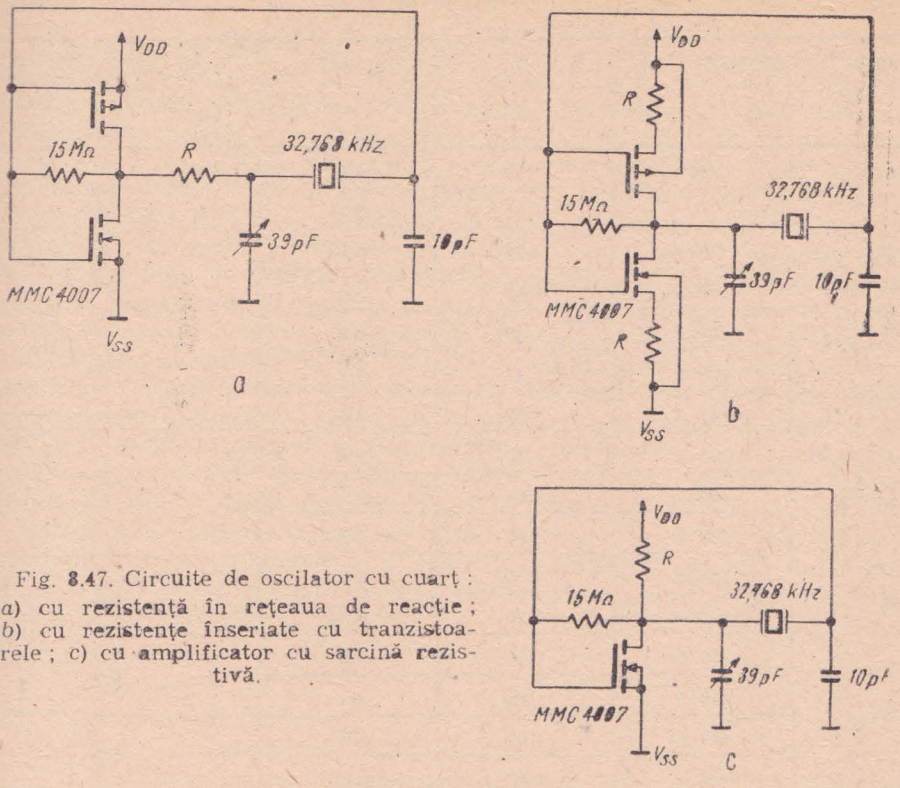


Fig. 8.47. Circuite de oscilator cu cuarț : *a*) cu rezistență în rețeaua de reacție ; *b*) cu rezistențe înseriate cu tranzistoarele ; c) cu amplificator cu sarcină rezistivă.

al factorului de atenuare este impus de considerente de putere disipată și stabilitate. Valoarea calculată pentru rezistența R include și valoarea rezistenței de ieșire a amplificatorului. Întrucît rezistența de ieșire variază în funcție de diverși factori (dimensiunile tranzistoarelor, surse de alimentare etc.) este indicat să adăugăm rezistențe experimental, pînă obținem performanțele dorite. În tabelul 8.2 se poate observa influența acestei rezistențe.

În schemele prezentate, valorile capacităților C_T și C_S sînt 39 pF, respectiv 10 pF. Aceste valori sînt inferioare valorilor calculate datorită capacităților parazite ale montajului și amplificatorului.

Circuitul din figura 8.47, *a* conține schemele prezentate în figurile 8.45 și 8.46. Cu toate că teoria spune că o creștere a valorii rezistenței R va determina o îmbunătățire a stabilității frecvenței, din tabelul 8.2 se observă că această îmbunătățire nu este semnificativă. Acest lucru se poate explica prin instabilitatea defazajului introdus de amplificator. Fenomenul creșterii stabilității se observă în cazul schemelor 8.47, *b* și 8.47, *c*, în care rezistența R este încorporată în amplificator ca o valoare fixă. Rezistențele R duc la sporirea stabilității prin fixarea defazajului amplificatorului. Circuitul din figura 8.47, *b* utilizează două rezistențe și acest lucru reduce curentul de alimentare, stabilitatea crescînd.

Tabelul 8.2

Figura	R [Ω]	V_{DD} [V]	I_{DD} [μA]	MODIFICARE ÎN FRECVENȚĂ V_{DD} = 1,45 V la 1,60 V [ppm]
8.47 *a*	0	1,60	4,0	2,8
	0	1,45	3,1	
	100 k	1,60	3,1	2,6
	100 k	1,45	2,4	
	200 k	1,60	2,9	2,6
	200 k	1,45	2,1	
8.47 *b*	100 k	1,60	2,3	
	100 k	1,45	2,0	0,3
	100 k	1,10	1,5	
	150 k	1,60	1,8	
	150 k	1,45	1,6	0,2
	150 k	1,10	0,95	
8.47 *c*	200 k	1,60	5,0	0,6
	200 k	1,45	4,4	
	300 k	1,60	3,5	0,5
	300 k	1,45	3,0	

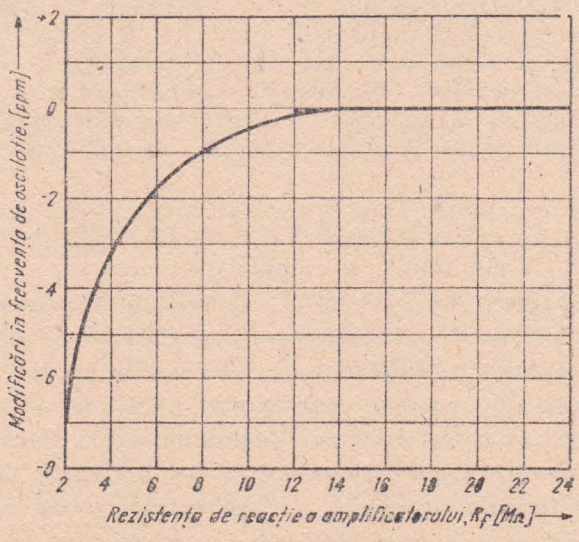


Fig. 8.48. Modificarea frecvenței de oscilație funcție de valoarea rezistenței de reacție a amplificatorului.

După cum am mai spus, rezistența R_f din reacția amplificatorului nu trebuie să încarce rețeaua de reacție. Figura 8.48 exemplifică modificarea frecvenței funcție de valoarea acestei rezistențe. Din figură se observă că o valoare de 15 MΩ este suficientă.

Cu ajutorul oscilatoarelor CMOS cu cuarț se pot obține frecvențe pînă la 10 MHz pentru o tensiune de alimentare $V_{DD} = 15$ V. Peste 10 MHz defazajul devine foarte mare și stabilitatea scade corespunzător. Pentru tensiuni de alimentare $V_{DD} = 5$ V se poate merge pînă la frecvențe de maxim 4 MHz. Frecvența minimă de operare depinde de rezistența echivalentă a cuarțului (R și R_e). Această valoare crește rapid la frecvențe joase și, deci, sînt necesare amplificatoare cu rezistență mare de intrare pentru a minimiza atenuarea introdusă de rețeaua de reacție. Deoarece amplificatoarele CMOS au impedanță mare de intrare (10^{12} MΩ), frecvențe mult mai joase se obțin cu oscilatoare care lucrează la antirezonanță, comparativ cu circuitele bipolare care lucrează în același regim. Se pot obține frecvențe jos de 2 kHz, dar mărind capabilitatea de curent a amplificatorului (de exemplu, conectăm 3 inversoare în paralel — toate cîte sînt în MMC 4007).

Sub 2 kHz putem coborî utilizînd divizoare de frecvență. Circuitul MMC 4060 (v. cap. 3) conține și o secțiune de oscilator, urmată de 14 etaje de divizare. Astfel, un oscilator pe 16,384 kHz poate fi utilizat în scopul obținerii unei frecvențe de 1 Hz.

BIBLIOGRAFIE

[1] * * * Catalog Microelectronica, 1985.
[2] * * * RCA Solid State Application Notes ICAN-6230, ICAN-6267.
[3] * * * National Semiconductor Application Notes: AN-118, AN-138, AN-140.
[4] * * * Circuits for Electronics Engineers, Electronics Magazine Book Series, McGraw-Hill, 1977.
[5] * * * Design Techniques for Electronics Engineers, Electronics Magazine Book Series, McGraw-Hill, 1977.
[6] * * * Designers Casebook No. 5, Electronics Magazine Book Series, McGraw-Hill, 1982.
[7] * * * Colecția revistei ELEKTOR, 1977–1984.
[8] D. Dascălu, ș.a. Circuite electronice, Ed. Didactică și Pedagogică, 1981.
[9] A. Băjeu, C. Stancu, Generatoare de semnale sinusoidale, Ed. Tehnică, 1980.
[10] I. Mitrofan, Generatoare de impulsuri și de tensiune liniar variabilă, Ed. Tehnică, 1980.
[11] * * * COS/MOS Integrated Circuits Manual, RCA Corporation, 1979.

9. Latch-uri. Latch-uri adresabile

9.1. Aplicații ale latch-urilor

9.1.1. Circuite pentru eliminarea tranzițiilor parazite [1]

Circuitele din figura 9.1 realizează eliminarea tranzițiilor care apar la conectare/deconectare în cazul folosirii sistemelor (electro-) mecanice (relee, comutatoare).

Să luăm, de exemplu, circuitul din figura 9.1, *a*. Intrarea de validare a ieșirii este activă (în 1 logic). Dacă comutatorul K este în poziția 1, ieșirea este în 1 logic. Cînd comutatorul K trece în poziția 2, ieșirea Q_i comută în 0 la prima tranziție pozitivă pe intrarea R_i. Următoarele tranziții de pe intrarea R_i (cu intrarea S_i în **0**) nu influențează starea ieșirii.

Circuitul din figura 9.1, *b* realizează același lucru, dar de această dată comutatorul K conectează la masă, pe rînd cîte una din intrările latch-ului MMC 4044.

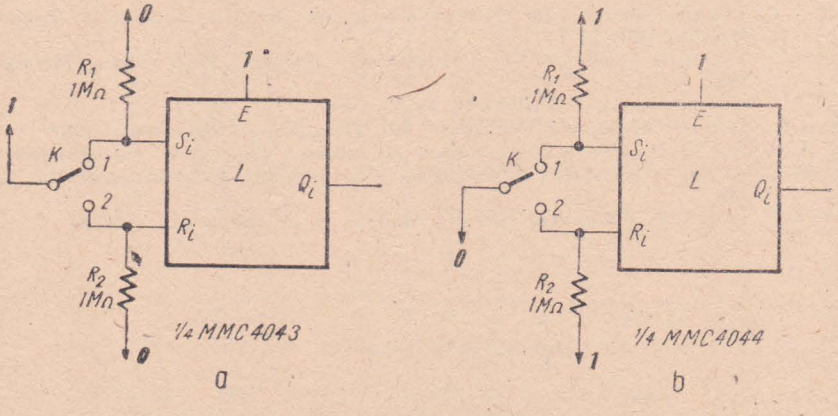


Fig. 9.1. Eliminarea tranzițiilor la conectare/deconectare : *a)* cu MMC 4043 ; *b)* cu MMC 4044.

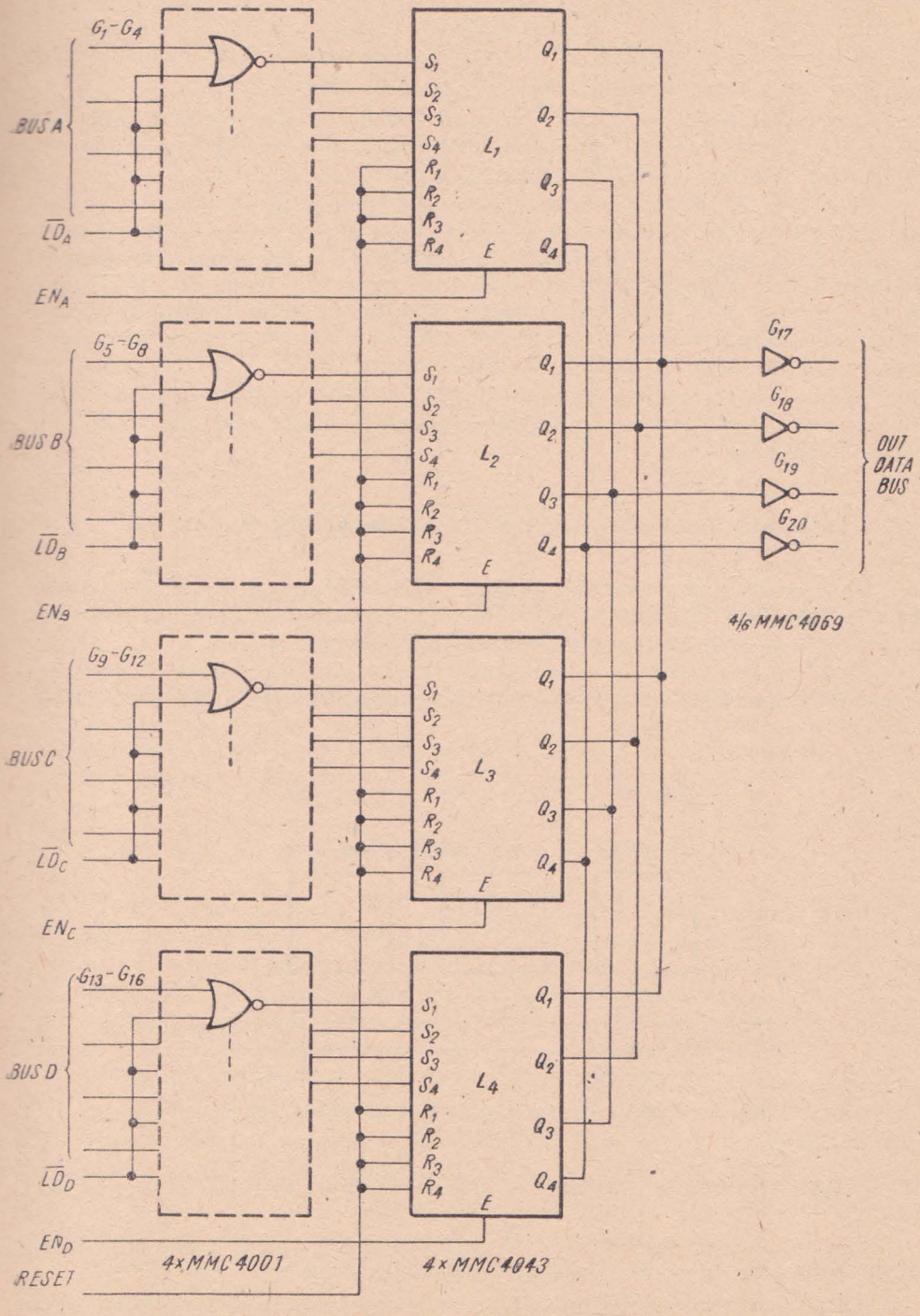


Fig. 9.2. Memorarea și multiplexarea datelor de pe 4 busuri de 4 biți.

9.1.2. Memorarea și multiplexarea datelor de pe 4 busuri de 4 biți [1]

Datele de pe busurile *A*, *B*, *C*, *D* sînt memorate în latch-urile $L_1 \div L_4$, respectiv la activarea semnalelor $\overline{LD}_A \div \overline{LD}_D$ (fig. 9.2).

Cele 16 latch-uri au *RESET* comun. Ieșirile latch-urilor sînt conectate pe un bus *3-state* de 4 biți. Semnalele de pe acest bus sînt transmise mai departe prin intermediul inversoarelor $G_{17} \div G_{20}$.

Pentru a nu provoca conflicte pe busul comun, la un moment dat nu trebuie să fie activat decît unul și numai unul dintre grupurile de latch-uri $L_1 \div L_4$. Dacă semnalul *ENABLE* este activ pentru cel puțin două grupuri de latch-uri se poate întîmpla ca două ieșiri, una în **0** logic, alta în **1** logic, să fie conectate; în acest caz ar putea rezulta, pe lîngă consumul excesiv de curent, distrugerea circuitelor. Pe de altă parte, dacă ieșirea fiecărui circuit este în *3-state* intrările porților $G_{17} \div G_{20}$ sînt în gol.

În acest caz semnalele de pe *OUT DATA BUS* nu mai pot fi precizate, inversoarele fiind sensibile, datorită impedanței foarte mari de intrare, la semnale parazite.

9.1.3. Conectarea latch-ului *3-state* MMC 4508 pe un bus de 4 biți [4]

Fiecare latch de 4 biți din capsula MMC 4508 poate fi conectat pe un bus tri-state de 4 biți (fig. 9.3), avîndu-se grijă ca numai unul din semnalele de activare a ieșirii să fie activ la un moment dat.

Pe busul respectiv pot fi conectate și alte circuite *3-state*. Pentru circuitul MMC4508 ieșirea este validată dacă semnalul *OD* (*OUTPUT DISABLE*) este în **0** logic.

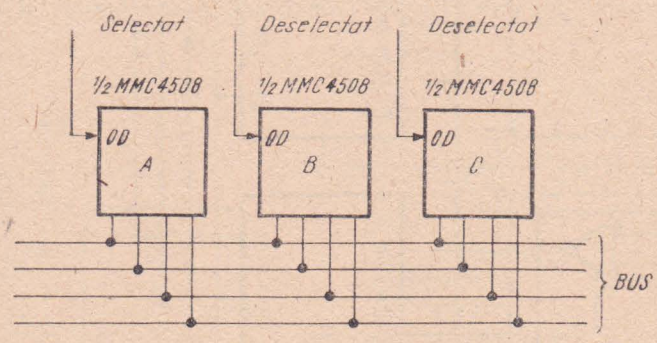
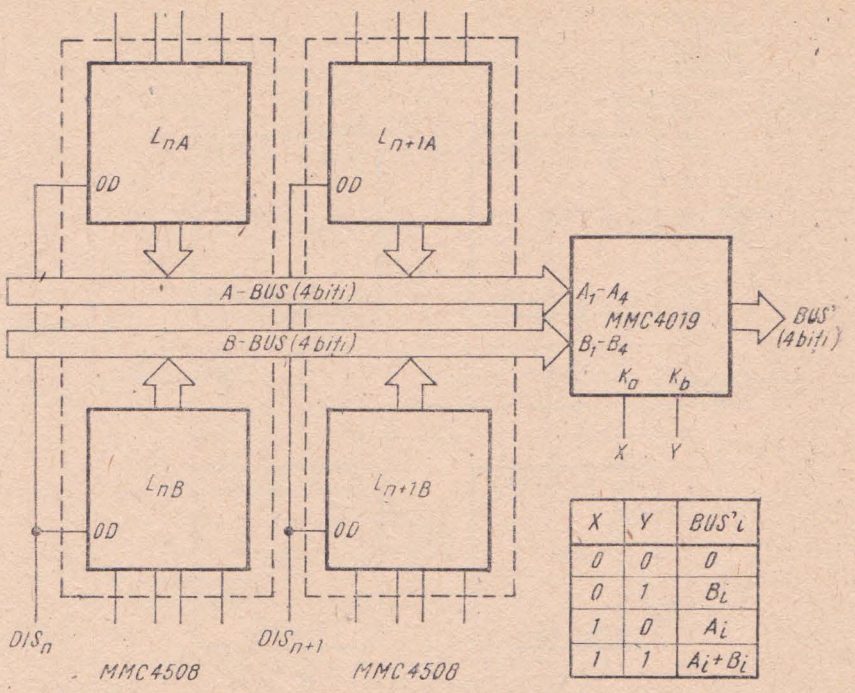


Fig. 9.3. Conectarea latch-ului *3-state* MMC 4508 pe un bus de 4 biți.

9.1.4. Multiplexarea a 2 busuri cu selectarea funcției [1]

În configurația din figura 9.4 fiecare din latch-urile de 4 biți din capsula MMC 4508 este conectat la un bus *3-state* (*A* și *B*).

Latch-urile din aceeași capsulă au un semnal comun de validare a ieșirii.



X	Y	BUS'i
0	0	0
0	1	B_i
1	0	A_i
1	1	A_i+B_i

Fig. 9.4. Multiplexarea a două bus-uri, cu selectarea funcției.

Circuitul MMC 4019 transmite pe busul BUS', fie datele A_i ($i = 1 \div 4$) de pe busul A, fie datele B_i ($i = 1 \div 4$) de pe busul B, fie date reprezentînd rezultatul funcției SAU (OR) între A_i și B_i ($i = 1 \div 4$), fie, în sfîrșit, trece în **0** cele patru linii ale busului BUS', indiferent de A_i și B_i.

9.1.5. Convertor serie-paralel de 8 biți cu ieșire *3-state* [1]

Circuitul din figura 9.5 realizează conversia serie-paralel a unui șir de date cu un registru de deplasare L_{1A}, L_{1B} memorarea cuvîntului de 8 biți de pe ieșirea registrului în latch-urile *3-state* L_{2A}, L_{2B} și transmiterea sa în grupe de 4 biți pe un bus *3-state* de 4 biți.

Cele două secțiuni ale registrului dublu de 4 biți MMC 4015 sînt legate în cascadă, obținîndu-se un registru de deplasare de 8 biți.

După introducerea unei serii de 8 biți în registru se poate da un semnal de *STROBE* pentru latch-urile L_{2A}, L_{2B}. În acest fel datele de pe ieșirile registrului vor fi memorate în latch-urile L_{2A}, L_{2B}. După dezactivarea semnalului de *STROBE*, datele pe intrările $D_{0A} \div D_{3A}$, $D_{0B} \div D_{3B}$ ale latch-urilor se pot schimba fără a schimba informația din L_{2A}, L_{2B}. În consecință, poate începe un nou proces de conversie serie-paralel.

Bus-ul de ieșire fiind de numai 4 biți datele din L_{2A}, L_{2B} vor fi trimise pe bus pe rînd.

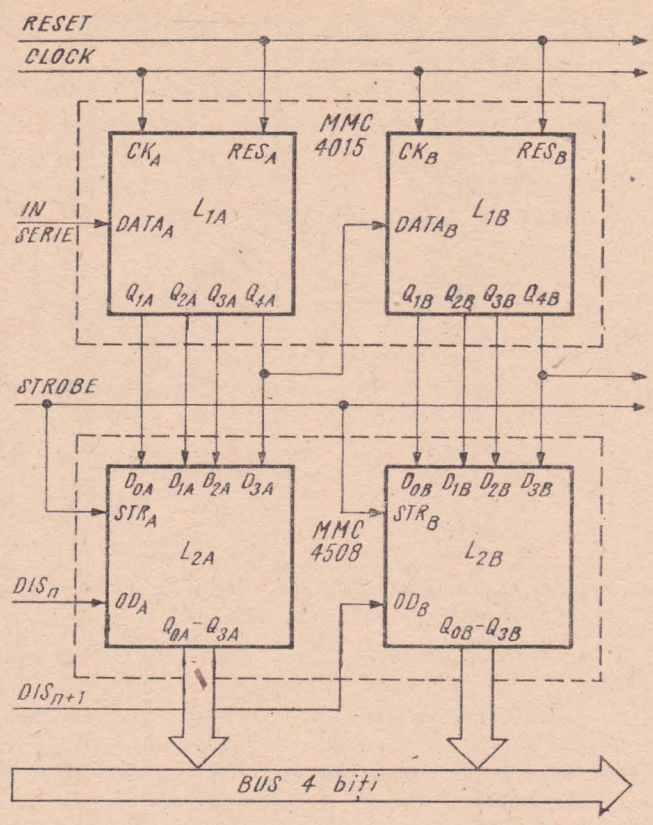


Fig. 9.5. Convertor serie-paralel de 8 biți cu ieșire *3-state*.

9.1.6. **Adresarea cu decodificator a latch-urilor MMC 4508 conectate pe un bus de 4 biți [2]**

În figura 9.6 se prezintă un posibil mod de selectare a unor latch-uri ale căror intrări sînt conectate pe un același bus, și anume selectarea cu decodificator.

Pentru circuitul 9.6, *a* datele de pe bus se înscriu, cînd semnalul $\overline{STROBE}$ este în **0**, în latch-ul corespunzător cuvîntului de pe intrarea *SELECT*. Ieșirile decodificatorului sînt active în starea **SUS**. Dacă intrarea *D* este în **1** logic, se pot selecta cel mult ieșirile 8 și 9. Dacă *D* este în **0** logic, ieșirea care corespunde cuvîntului de selecție va fi în starea **SUS**, permițînd accesul datelor în latch-ul respectiv. Resetul este comun pentru toate latch-urile. Dacă dorim să selectăm 9÷10 latch-uri cu decodificatorul MMC 4028 putem folosi logica de *STROBE* din figura 9.6, *b*.

Semnalul de strobare este, de data aceasta, activ în starea **SUS**. De asemenea, varianta din figura 9.6, *b* poate fi folosită în cazul în care se lucrează la o viteză mai mare, întrucît timpul de propagare prin poarta SI (AND) este mai mic decît timpul de propagare prin decodificatorul MMC 4028.

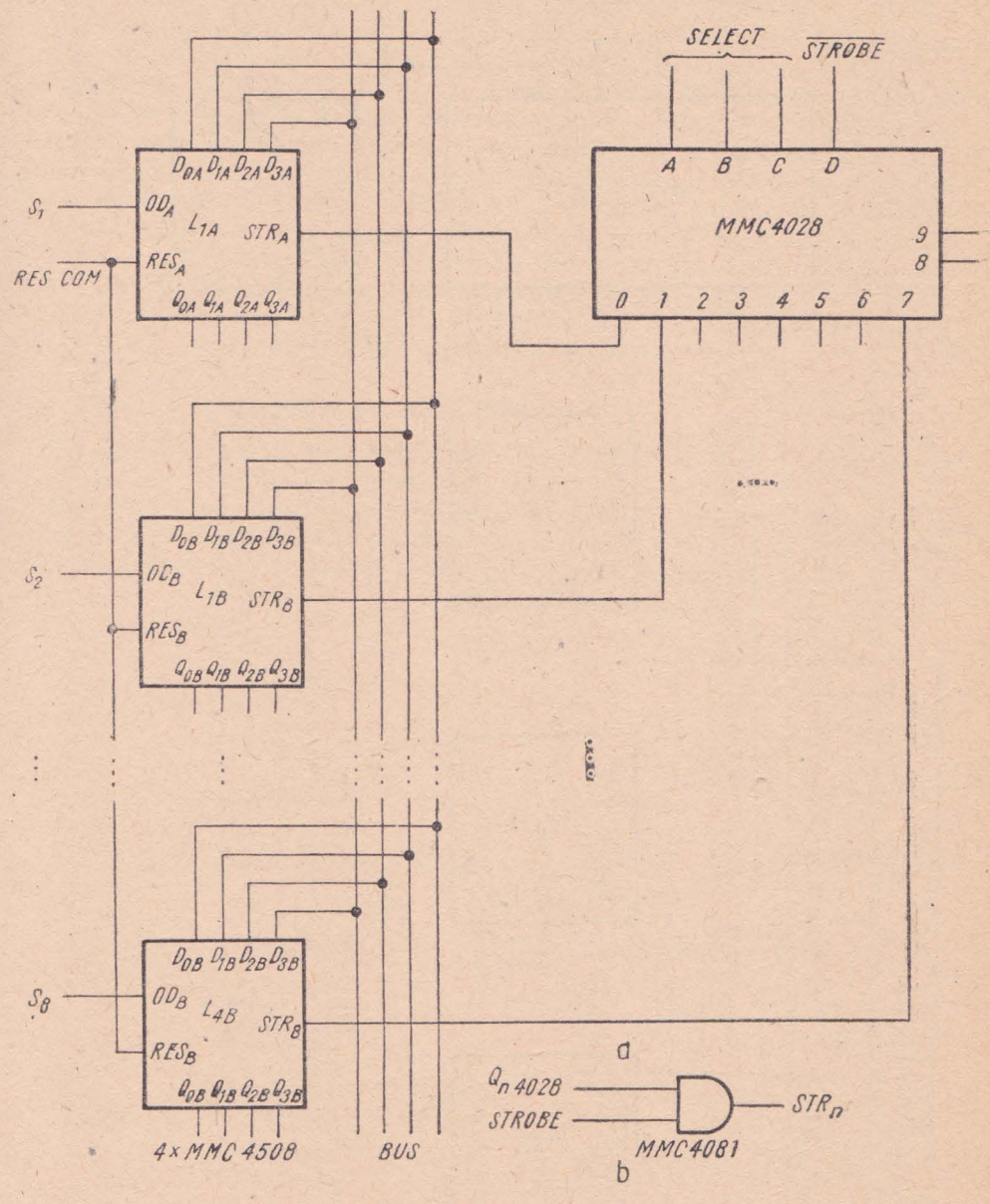


Fig. 9.6. Adresarea cu decodificator a latch-urilor MMC 4508 conectate pe un bus de 4 biți.

a) selectarea a maximum 8 latch-uri, cu *STROBE* activ în starea **JOS**; *b)* poarta suplimentară pentru fiecare latch, în cazul adresării a mai mult de 8 latch-uri (*STROBE* activ în starea **SUS**).

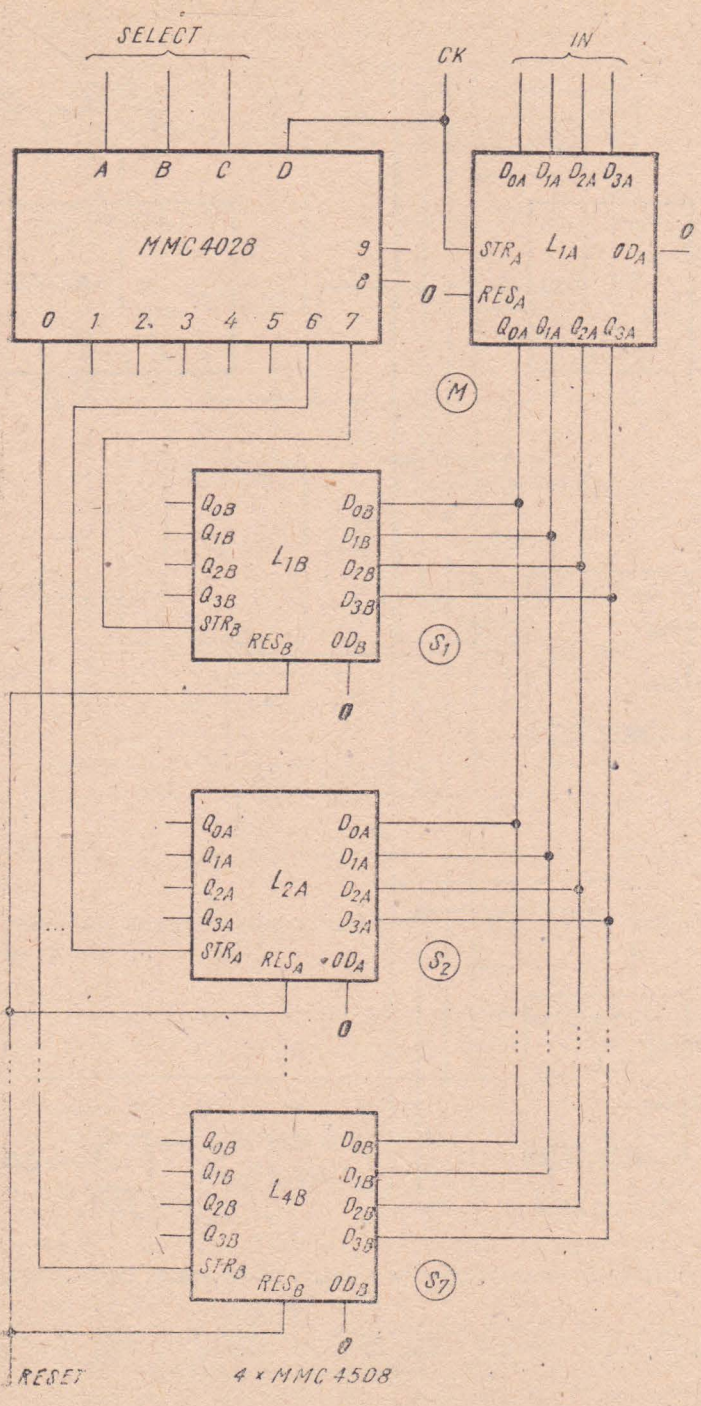


Fig. 9.7. Registrul 1 *Master*/7 *Slave*.

9.1.7. Registru 1 *Master*/7 *Slave* [2]

Cu circuitul MMC 4508 se poate construi un registru de 4 biți în care data din *Master* este înscrisă în unul din cele 7 latch-uri *Slave* (fig. 9.7).

Selectarea *Slave*-ului se face cu un decodificator MMC 4028. Cînd semnalul de ceas *CK* este în 1 logic, datele sînt introduse în *Master*-ul L_{1A}. Intrarea *D* a decodificatorului fiind în 1 logic, ieșirile $0 \div 7$ sînt toate în 0 logic. În consecință, nu este permis accesul datelor în latch-urile *Slave*. Cînd *CK* trece în 0, latch-ul L_{1A} devine insensibil la schimbarea datelor de pe intrare. Datele din latch-ul L_{1A} se înscriu în unul din latch-urile $L_{1B} \div L_{4B}$. Cînd *CK* revine în 1 logic, datele sînt reținute în *Slave*-ul selectat anterior. De remarcat încărcarea mare a ieșirilor latch-ului *Master*, încărcare ducînd la timpi de creștere, descreștere și de propagare mai mari. Trebuie să se țină cont de acest lucru în stabilirea perioadei semnalului de ceas.

9.1.8. Registru de deplasare cu MMC 4508 [2]

Cu cele două latch-uri de 4 biți din capsula MMC 4508 se poate construi un registru de deplasare de 4 biți (fig. 9.8).

Latch-urile din L_A alcătuiesc secțiunea *Master*, iar cele două din L_B secțiunea *Slave*. Ieșirile din L_B sînt legate la intrările din L_A astfel încît să se obțină o deplasare de la bistabilul 0 spre bistabilul 3.

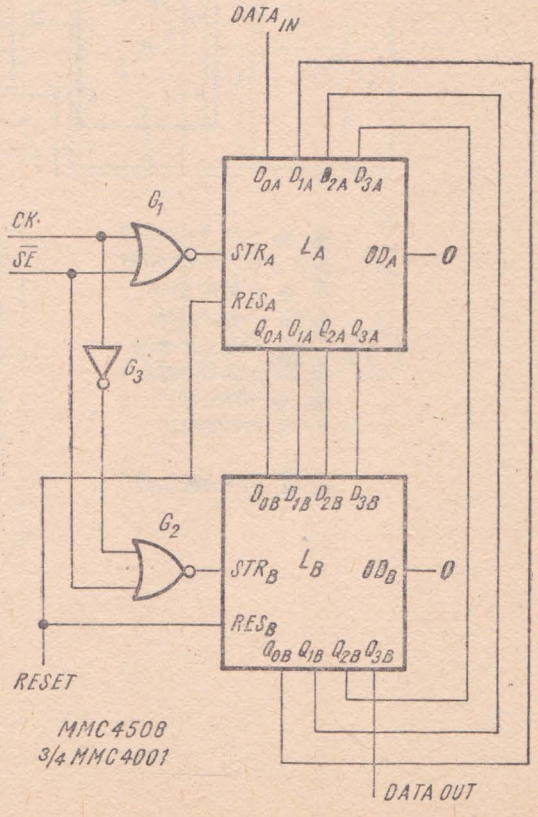


Fig. 9.8. Registru de deplasare cu MMC 4508.

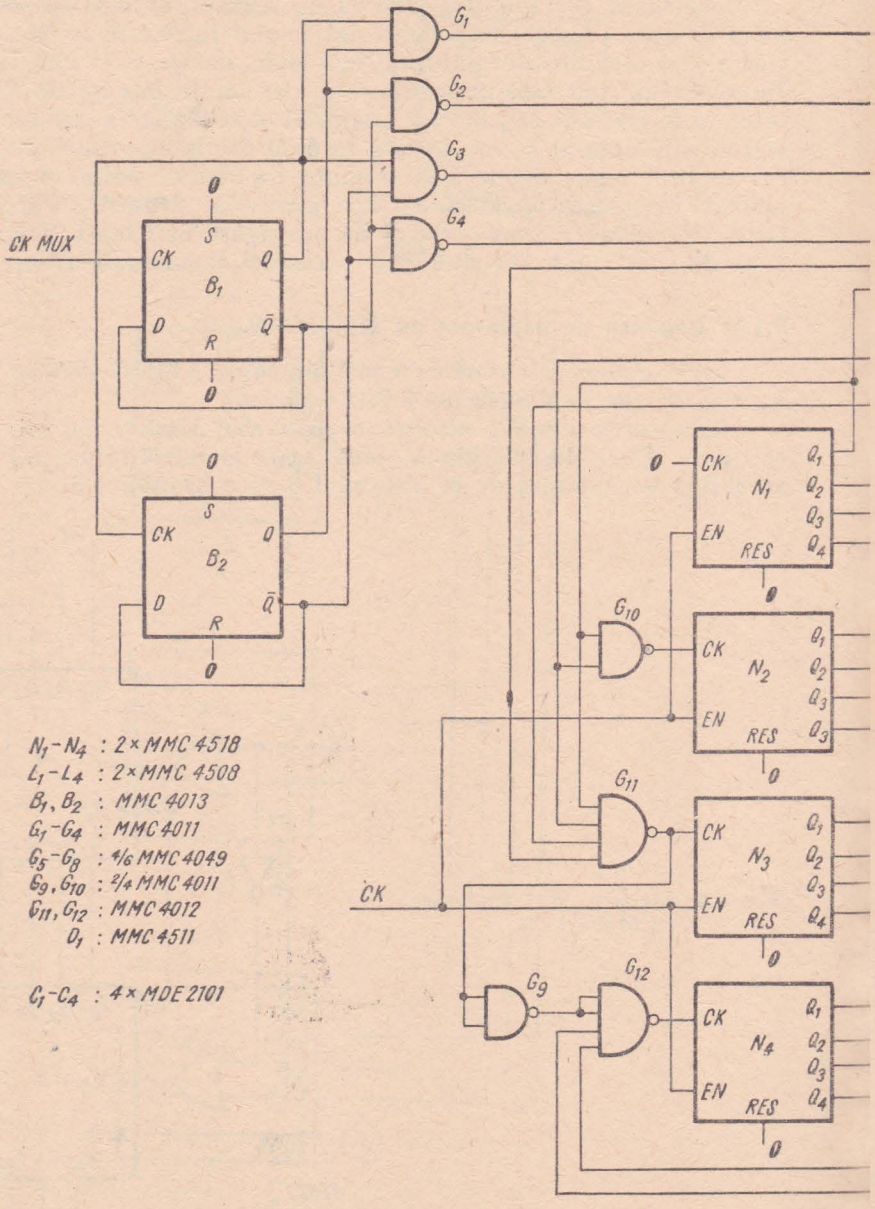
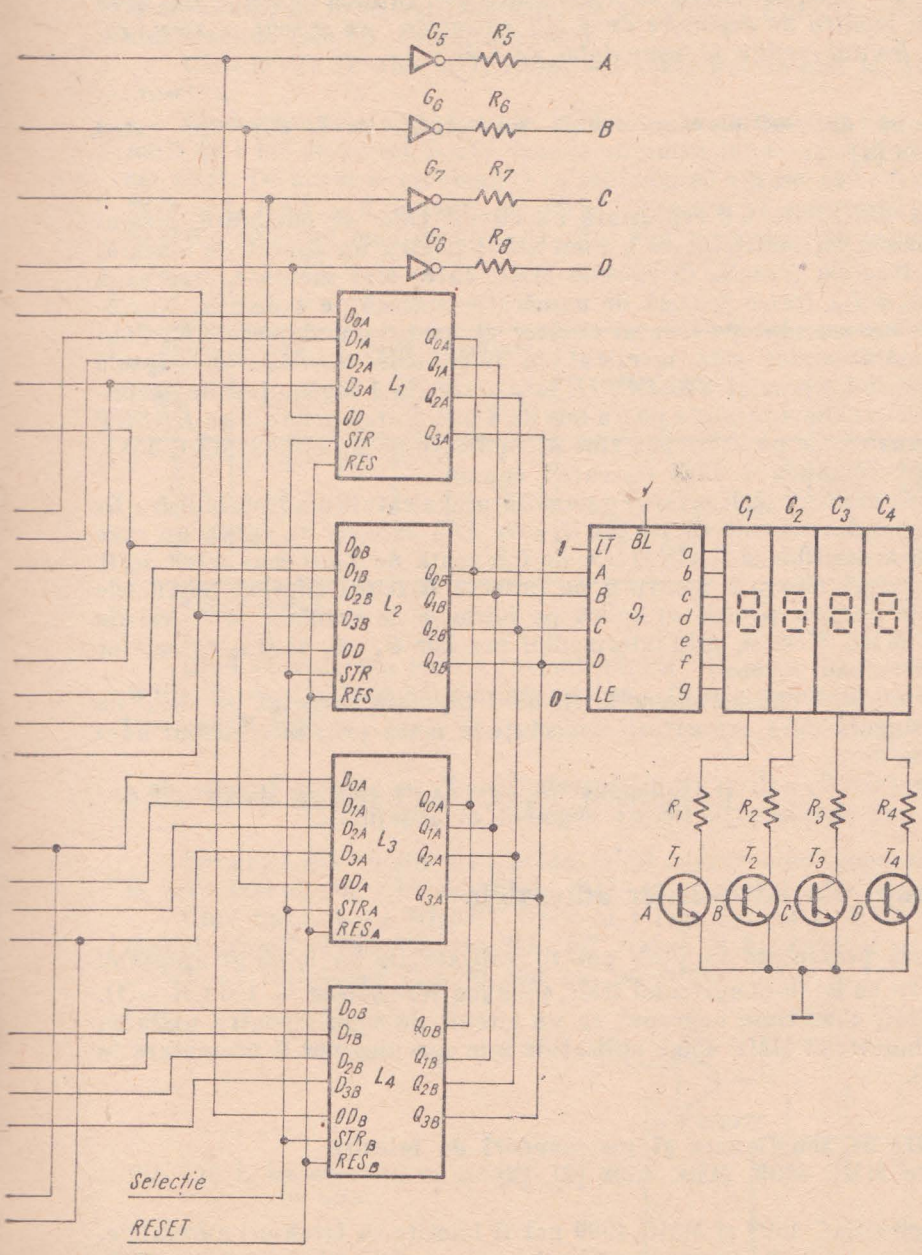


Fig. 9.9. Schemă de multiplexare pent



un afișaj cu 4 cifre cu anod comun.

Dacă intrarea de selecție $\overline{SE}$ este în **0**, este permis accesul semnalului de ceas la intrările de strobare ale latch-urilor. Cît timp ceasul *CK* este în starea **JOS** este permis accesul datelor în latch-urile *Master*. Cînd semnalul de ceas devine **1** logic, datele trec în latch-urile *Slave*. În acest fel *din MMC 4508 se obține un registru de deplasare de 4 biți cu intrări de selecție și reset, comandat pe frontul pozitiv al semnalului de ceas.*

9.1.9. Schemă de multiplexare pentru un afișaj cu 4 cifre cu catod comun [4]

Schema din figura 9.9 reprezintă un circuit tipic de numărare, memorare și comandă cu multiplexare a unui afișaj pentru un aparat de măsură.

Numărătoarele $N_1 \div N_4$ (2 capsule MMC 4518) sînt montate, împreună cu porțile $G_9 \div G_{12}$, într-o schemă de numărător sincron pe 4 decade. Numărătorul este incrementat pe frontul căzător al semnalului de ceas *CK*. Conținutul numărătoarelor este memorat în latch-urile $L_1 \div L_4$ (2 capsule MMC 4508), cînd semnalul *SELECȚIE* este activ (în **1** logic). Ieșirile grupurilor de latch-uri sînt conectate pe un bus de 4 biți. Latch-urile au un *RESET* comun. Semnalele de pe acest bus sînt decodificate de un circuit MMC 4511. Acest circuit comandă 4 cifre cu catod comun.

Comanda multiplexării se face cu numărătorul alcătuit din bistabilii B_1, B_2 și decodificatorul construit cu porțile $G_1 \div G_4$. Din exterior se aplică un ceas de comandă a multiplexării *CKMUX* de frecvență de 4 ori mai mare decît frecvența minimă necesară pentru a nu observa licărirea cifrelor. Semnalele de pe ieșirile porților $G_1 \div G_4$ se aplică pe intrările de validare a ieșirii ale latch-urilor MMC 4508 și, prin intermediul porților $G_5 \div G_8$ și tranzistoarelor $T_1 \div T_4$, pe catozii cifrelor.

La un moment dat un singur latch de 4 biți este conectat pe busul de ieșire și o singură cifră are catozii conectați la masă prin intermediul unui tranzistor saturat.

Rezistențele $R_1 \div R_8$ și tranzistoarele $T_1 \div T_4$ se aleg în funcție de curenții care vor circula prin fiecare segment al afișajului.

9.2. Aplicații ale latch-urilor adresabile

Circuitele prezentate în § 9.2 pot fi realizate fie cu latch-ul adresabil MMC 4099, fie cu latch-ul adresabil MMC 4599 (cu *Write*/$\overline{Read}$ = **1** și *CE* = **1**). Circuitul MMC 4599 fiind conceput ca un circuit de suport pentru unitatea de control industrial MMC 4500, aplicațiile sale specifice vor fi prezentate în capitolul 13.

9.2.1. Moduri de funcționare și recomandări de folosire pentru MMC 4099, MMC 4599 [2], [3]

Circuitele MMC 4099 și MMC 4599 pot fi folosite ca latch-uri adresabile, ca demultiplexoare 1 : 8 sau ca decodificatoare cu ieșiri active în starea **SUS**.

Cînd funcționează ca latch adresabil (*Write Disable* = **0**, *Reset* = **0**) latch-ul adresat urmărește data de intrare, în timp ce celelalte latch-uri

rămîn în starea anterioară. Cînd *Write Disable* = **1** și *Reset* = **0** latch-urile își păstrează starea indiferent de semnalele de pe intrările de adresă sau de dată (modul „memorie"). Ca demultiplexor (*Write Disable* = **0**, *Reset* = **1**), latch-ul adresat urmărește semnalul de pe intrarea *Data*, iar celelalte latch-uri sînt resetate (modul „demultiplexor").

Cînd Write Disable = **1**, Reset = **1** toate ieșirile sînt în starea **0** (modul „reset").

Cînd circuitele sînt operate ca latch-uri adresabile, schimbarea a mai mult de 1 bit de adresă poate duce la alterarea informației din alt latch decît cel vizat. De aceea se recomandă ca schimbarea adresei să se facă numai cînd *WD* = **1**, *RES* = **0** (modul „memorie"). Precauțiile care trebuiesc luate cînd se trece de la un mod de lucru la altul sînt prezentate în tabelul 9.1.

Tabelul 9.1

Starea actuală		Starea următoare		Restricții	Observații
WD	*RES*	*WD*	*RES*		
1	0	0	1	—	Mem→Demux
0	0	1	1	—	Latch adresabil→Reset
1	1	0	0	A_0, A_1, A_2 — stabile	Reset→Latch adresabil
0	1	1	0	*	Demux→Mem

* Vezi textul.

Cînd se trece din modul „demultiplexor" în modul „memorie", semnalul *Write Disable* trebuie să rămînă un timp în **0** logic după ce intrarea *Reset* trece în **0** logic.

9.2.2. Latch adresabil cu *RESET* prioritar [2]

Circuitul din figura 9.10 poate folosi atunci cînd comanda de aducere la zero trebuie să aibă prioritate față de celelalte moduri de funcționare.

Cînd intrarea de *RESET* trece în **1** logic, circuitul MMC 4099 trece în modul „reset". Cînd intrarea *RESET* revine în **0**, circuitul va funcționa ca „latch adresabil" (*WD* = **0**) sau ca „memorie" (*WD* = **1**).

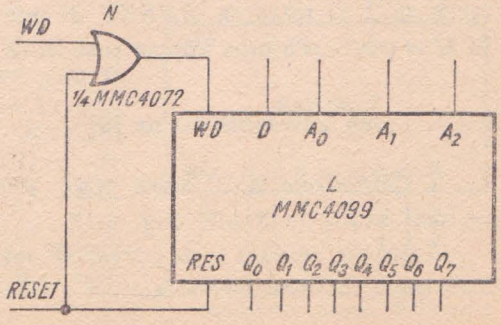


Fig. 9.10. Latch adresabil cu *RESET* prioritar.

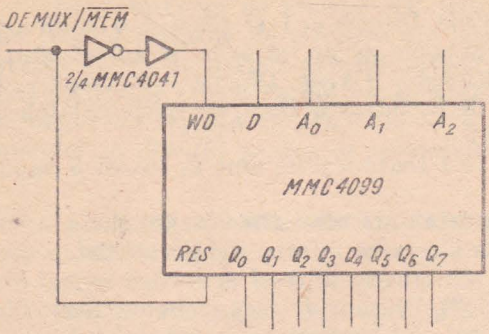


Fig. 9.11. Demultiplexor cu memorare.

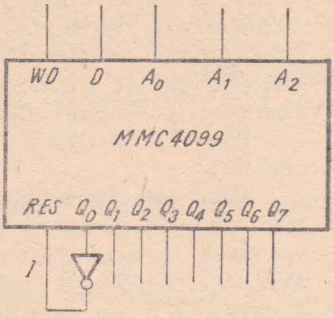


Fig. 9.12. Latch adresabil cu *RESET* adresabil.

9.2.3. **Demultiplexor cu memorare** [2]

Pentru circuitul din figura 9.11, informația prezintă la un moment dat pe ieșiri (rezultat al demultiplexării) este memorată la trecerea intrării de comandă în **0** logic.

Cînd intrarea de comandă este în **1** logic, $RES = 1$, $WD = 0$ și circuitul acționează ca demultiplexor. Comutarea în regimul de memorare trebuie să se facă după o perioadă de trecere prin starea de latch adresabil. Această trecere dirijată (sînt înlăturate tranzițiile parazite) este asigurată prin întîrzierea semnalului care se aplică pe intrarea *WD*, față de semnalul de reset *RES*.

9.2.4. **Latch adresabil cu *RESET* adresabil** [2]

Conectînd printr-un inversor o ieșire la intrarea de aducere la zero se poate realiza un latch adresabil cu *RESET* adresabil (fig. 9.12).

Pentru a se reseta latch-ul, se selectează ieșirea corespunzătoare (în cazul de față Q_0), se aduce intrarea *WD* în **0** logic și apoi se aplică **0** pe intrarea *D*. În felul acesta $WD = 0$ și $RESET = 1$ și toate ieșirile vor fi în **0**. Pentru a se relua funcționarea ca latch adresabil, demultiplexor etc., se schimbă intrarea *D* în **1**, cu *WD* în **0** logic. Ieșirea Q_0 (în cazul de față) va trece în **1** și intrarea *RESET* devine inactivă. După aceea se aduce *WD* în **1**, se poate schimba adresa și se intră în funcția de latch adresabil.

9.2.5. **Latch adresabil extins** [2]

Cu circuitele MMC 4099, MMC 4599 se pot construi latch-uri adresabile pe mai mult de 8 biți (fig. 9.13).

Intrările de date și de adrese ale latch-urilor $L_0 \div L_7$ sînt legate împreună. Selectarea latch-urilor se face cu un decodificator MMC 4028, ale cărui ieșiri

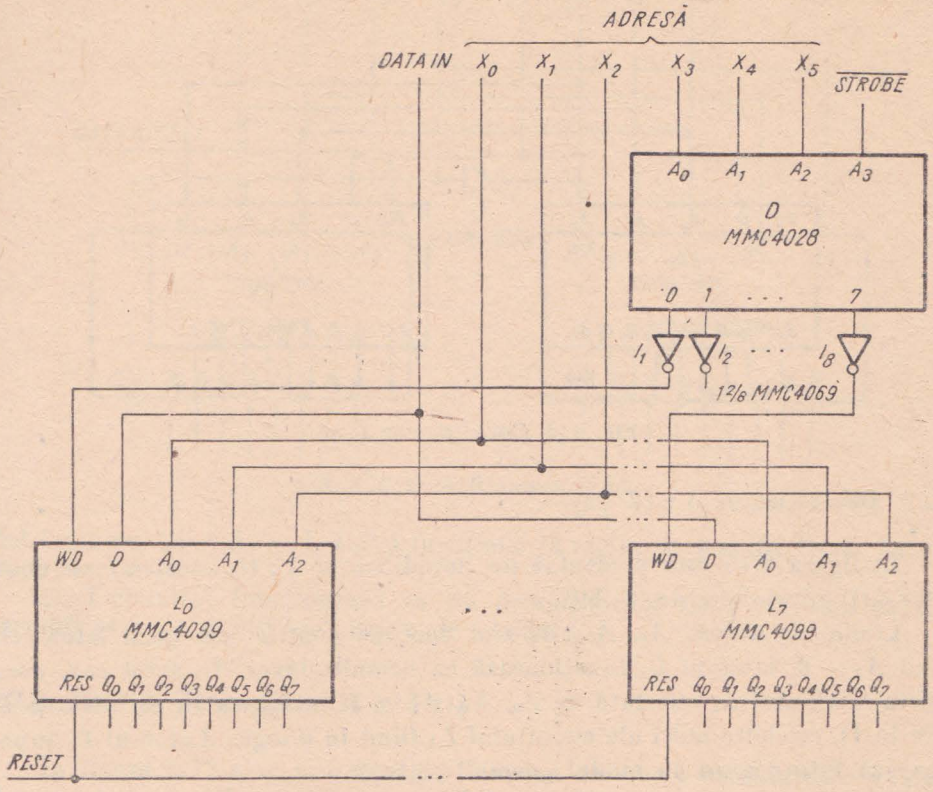


Fig. 9.13. Latch adresabil extins.

inversate se conectează la intrările WD ale latch-urilor. Cei mai semnificativi biți ai adresei sînt decodificați de D, și dacă $\overline{STROBE}$ este în **0** logic latch-ul selectat (care are **0** pe intrarea WD) va funcționa ca latch adresabil sau ca demultiplexor. Latch-ul poate fi extins în continuare folosind scheme de decodificare corespunzătoare.

9.2.6. Demultiplexor 1 : 8 activ în starea SUS [2]

Circuitele MMC 4099, MMC 4599 pot fi folosite ca demultiplexoare 1 : 8 active în starea **SUS**, dacă se menține intrarea $RESET$ în **1** logic și se consideră intrările WD și D ca intrări de validare active în starea **JOS**, respectiv **SUS** (fig. 9.14).

Dacă $WD = \mathbf{0}$ și $D = \mathbf{1}$, numai ieșirea selectată va fi în **1** logic. Dacă $D = \mathbf{0}$, toate ieșirile vor fi în **0**.

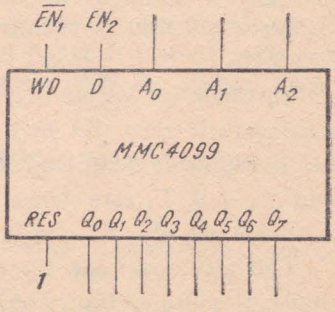


Fig. 9.14. Demultiplexor 1 : 8 activ în starea **SUS**.

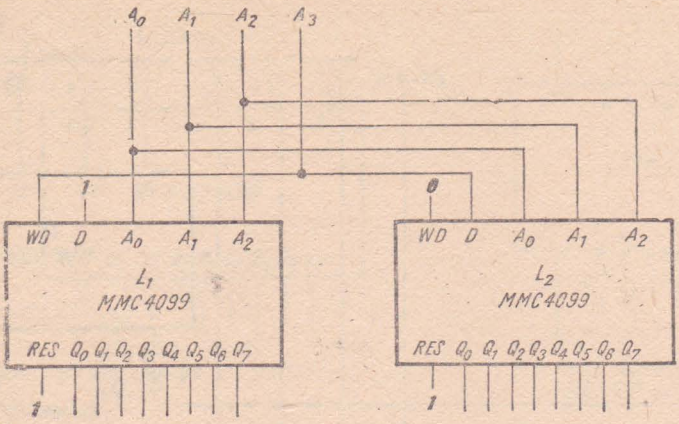


Fig. 9.15. Decodificator 1 : 16.

9.2.7. **Decodificator 1 : 16** [2]

În figura 9.15 este prezentat un decodificator 1 : 16 construit cu două latch-uri adresabile de 8 biți.

Liniile de adresă A_0, A_1, A_2 sînt comune pentru cele două latch-uri. Cînd $A_3 = 0$, latch-ul L_1 funcționează ca demultiplexor. În acest caz, doar ieșirea latch-ului L_1 selectată de A_0, A_1, A_2 va fi în **1** (pentru că intrarea D este în 1), celelalte ieșiri ale circuitului L_1 fiind în **0** logic. Latch-ul L_2 funcționează întotdeauna în modul „demultiplexor".

Pentru $A_3 = 0$ intrarea $D = 0$ și, în felul acesta, toate ieșirile latch-ului L_2 vor fi în **0**.

Dacă $A_3 = 1$, latch-ul L_1 este în modul „reset", iar latch-ul L_2 în modul „demultiplexor" cu intrarea D în **1** logic. În cazul acesta va fi în starea **1** doar ieșirea latch-ului L_2 selectată de liniile A_0, A_1, A_2.

9.2.8. **Demultiplexor 1 : 16** [2]

Cu două latch-uri adresabile se poate construi un demultiplexor 1 : 16 (fig. 9.16).

Intrările de adresă A_0, A_1, A_2 sînt comune ambelor latch-uri. Intrările de aducere la zero sînt în **1** logic, astfel încît L_1 și L_2 funcționează fiecare pe rînd în regim de demultiplexor ($WD = 0$) sau în regim de resetare ($WD = 1$). Cînd $A_3 = 0$, L_1 este demultiplexor. Pe ieșirea determinată de starea liniilor de adresă A_0, A_1, A_2 vom avea **0** dacă $D = 0$, sau **1** dacă $D = 1$.

Celelalte ieșiri ale latch-ului L_1 și toate ieșirile latch-ului L_2 vor fi în **0** logic. Rezultă că linia *DATA IN* funcționează ca o linie de validare : pentru *DATA IN* = **1** avem o ieșire activă, pentru *DATA IN* = **0** toate ieșirile

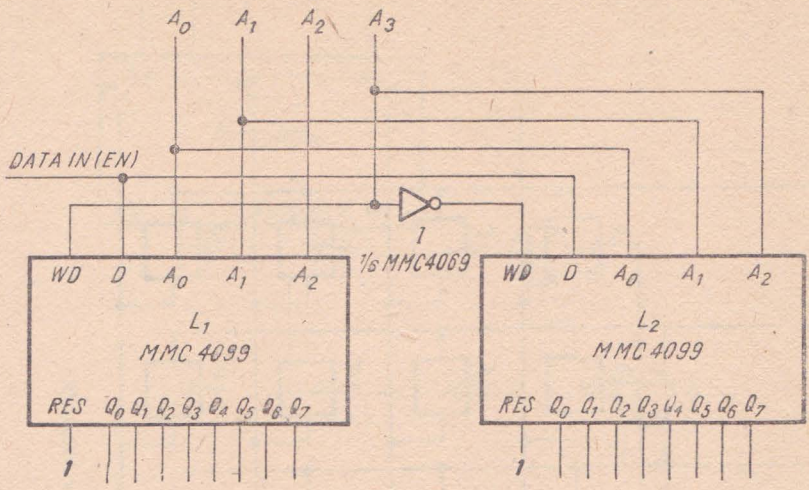


Fig. 9.16. Demultiplexor 1 : 16.

sînt inactive. Cînd $A_3 = 1$, L_2 va funcționa în regim de demultiplexor, iar L_1 va fi resetat.

Deci circuitul funcționează ca un demultiplexor de 1 : 16, sau ca un decodificator de 4 biți cu intrare de validare.

9.2.9. Matrice de comutare 4 × 4 [1]

În figura 9.17 este prezentată o matrice de 4 × 4 comutatoare analogice comandată cu un latch adresabil pe 16 biți.

Un comutator este deschis pentru semnalul de comandă în starea **SUS**. Comutatoarele, așezate în matrice din punctul de vedere al intrărilor și ieșirilor analogice, nu sînt adresate matricial, ci liniar. Starea **0** : *blocat*, **1** : *în conducție*, a fiecărui comutator este memorată în celulele latch-ului adresabil.

Dacă dorim să închidem comutatorul *n*, aplicăm **1** pe intrarea *DATA*, punem adresa potrivită pe liniile $A_0 \div A_3$ și activăm intrarea *WE* (*Write Enable*). În latch-ul adresat se va înscrie **1** și comutatorul corespunzător se va deschide.

Dacă dorim să deschidem comutatorul, procedăm asemănător, dar cu intrarea *DATA* în **0** logic. Latch-urile pot fi setate sau resetate individual.

De asemenea fiecare grup de latch-uri (L_1, L_2) poate fi resetat activînd intrarea corespunzătoare RES_1 (RES_2), cu intrarea *WE* în starea **JOS**.

9.2.10. Circuit cu latch adresabil pentru comandarea unor elemente de execuție [2]

Latch-urile adresabile pot fi folosite în aplicațiile industriale pentru memorarea comenzilor pentru anumite elemente de execuție (fig. 9.18).

Ieșirile latch-urilor sînt folosite, de obicei, pentru a comanda dispozitive care au specificații de curent sau tensiune corespunzătoare sarcinilor

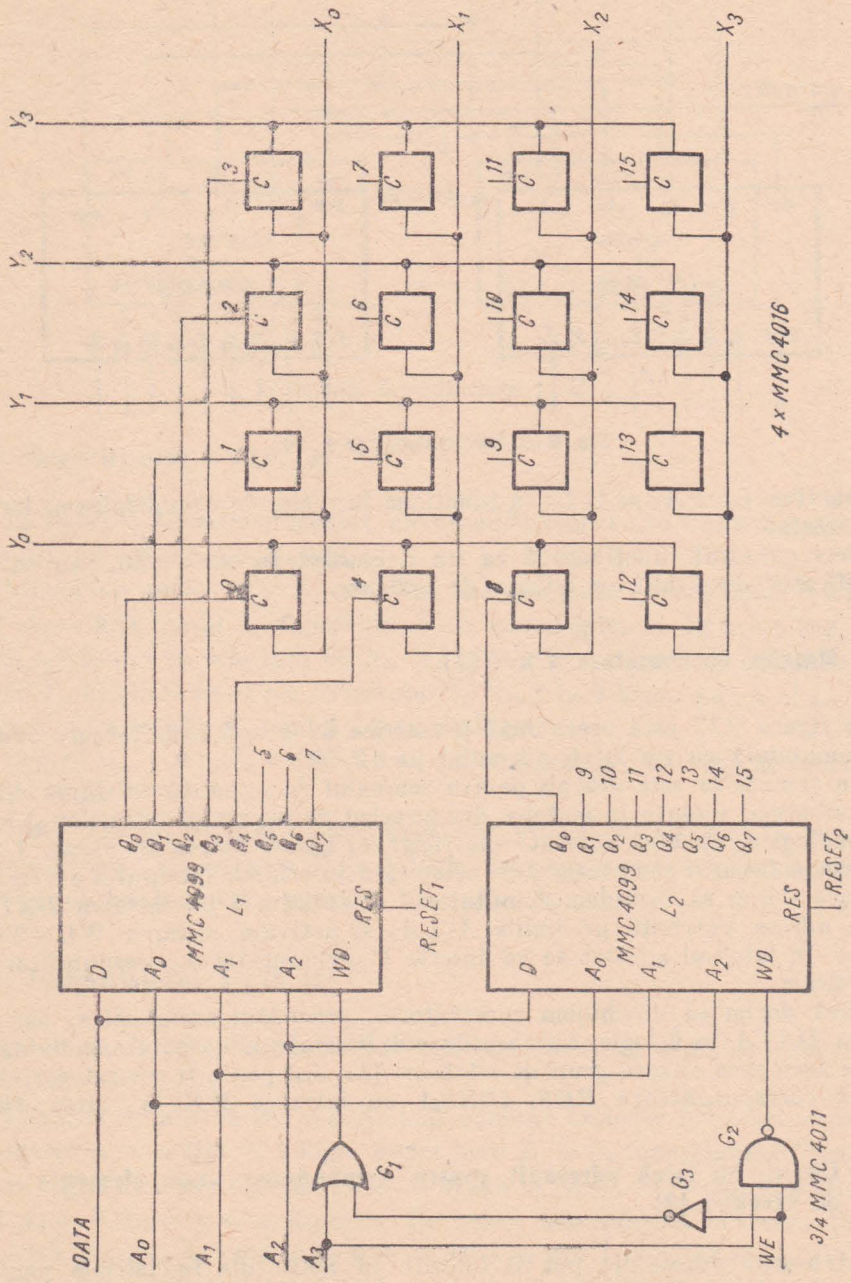


Fig. 9.17. Matrice de comutare 4×4.

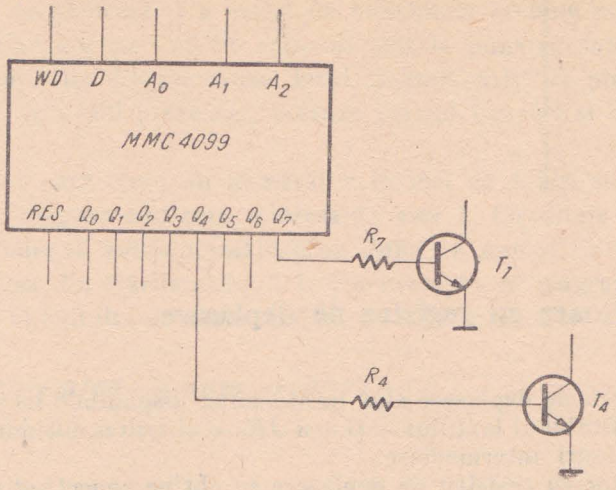


Fig. 9.18. Circuit cu latch adresabil pentru comandarea unor elemente de execuție.

(tranzistoare, triace, etc.). Rezistențele de pe ieșiri se impun după curentul care trebuie furnizat elementului extern de comandă (de putere). Avînd în vedere că $V_{OH} \simeq V_{DD}$ (pentru curenți de ieșire mici), se pot folosi tranzistoare Darlington pentru cazul în care curentul de bază necesitat ar depăși capabilitatea în curent în starea SUS a unei ieșiri a circuitului.

BIBLIOGRAFIE

[1] * * * COS/MOS Integrated Circuits, RCA 1977.
[2] * * * The TTL Applications Handbook, Fairchild, 1973.
[3] * * * Catalog CMOS Motorola, 1981.
[4] * * * McMOS Handbook, Motorola Inc., 1974.

10. Aplicații ale registrelor

10.1. Numărătoare cu registre de deplasare

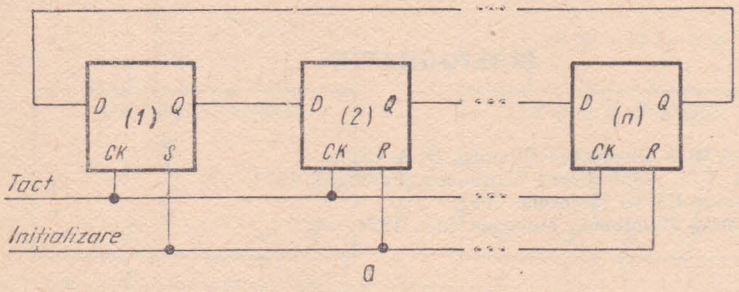
La un registru de deplasare sînt întotdeauna disponibile intrarea (intrările) în primul bistabil al lanțului — D sau JK — și ieșirea ultimului bistabil, eventual unele ieșiri intermediare.

Un numărător cu registru de deplasare se obține conectînd prin reacție o anumită combinație a ieșirilor la intrarea primului bistabil. După funcția rețelei de reacție vom deosebi mai multe tipuri de numărătoare cu registre de deplasare.

10.1.1. Numărătoare în inel [3], [4]

Un numărător în inel se obține conectînd ieșirea registrului la intrarea sa (fig. 10.1 *a*).

Pentru un registru cu n bistabili (de lungime n) numărătorul rezultat are n stări. Se deplasează un **1** (fig. 10.1, *b*) sau un **0**, în felul acesta stările



a

CK	Q_1	Q_2	...	Q_{n-1}	Q_n
0	1	0	...	0	0
1	0	1	...	0	0
⋮	⋮	⋮	⋮	⋮	⋮
n-1	0	0	...	1	0
n	0	0	...	0	1
n+1	1	0	...	0	0
⋮	⋮	⋮	⋮	⋮	⋮

b

Fig. 10.1. „Numărător" în inel :
a) schema bloc ; *b*) tabela de funcționare.

fiind complet decodificate. Un astfel de numărător trebuie prevăzut cu un circuit de inițializare care să fie acționat atît la punerea sub tensiune, cît și ori de cîte ori, din diverse cauze, bitul „semnificativ" se pierde. Impulsul de inițializare, în cazul prezentat, setează primul bistabil și îi resetează pe ceilalți.

Stările prin care trece un numărător în inel de 4 biți se pot vedea în figura 10.2 *a*. Singura secvență interesantă este 1. Circuitele de inițializare și corecție trebuie să aducă numărătorul, după un număr finit de impulsuri de ceas, într-una din stările ciclului 1. Un exemplu de diagramă de stări și de realizare a circuitului este dat în figurile 10.2 *b*, 10.2 *c*.

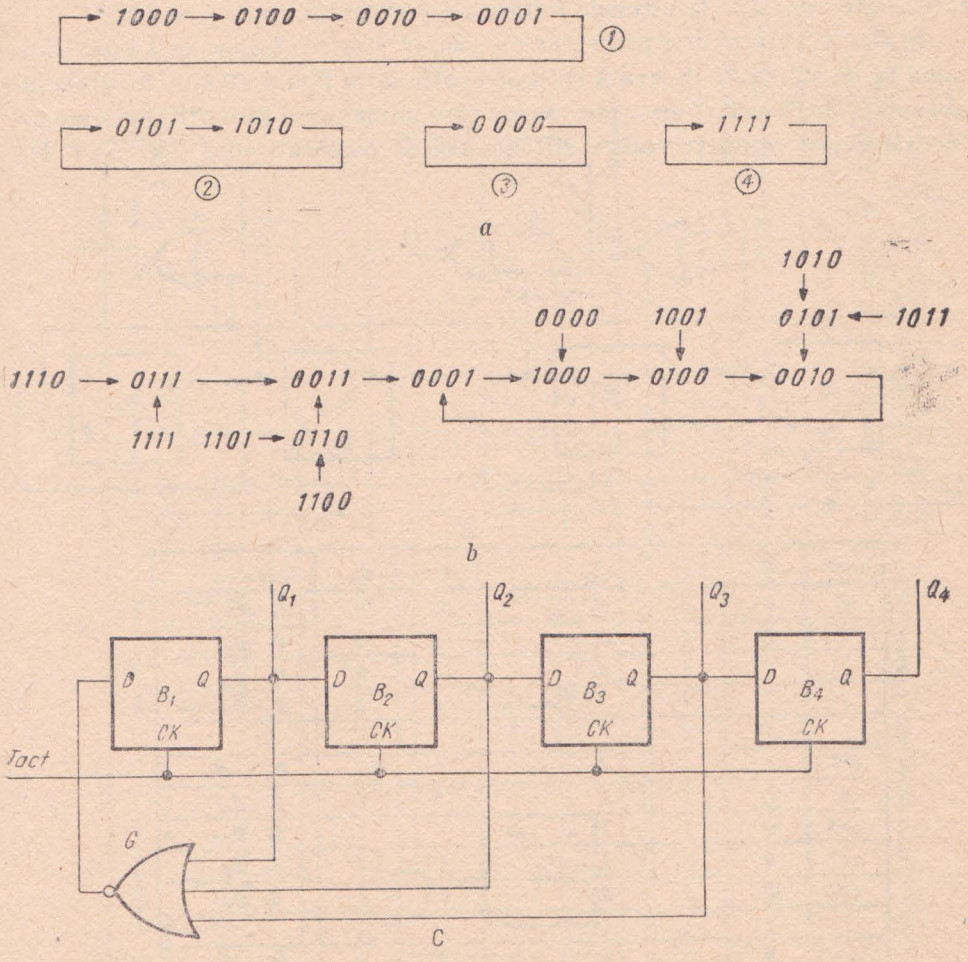


Fig. 10.2. „Numărător" în inel de 4 biți :
a) diagrama stărilor pentru un numărător fără circuite de pornire ; *b*) diagrama stărilor pentru un numărător cu circuite de inițializare și corecție ; *c*) implementarea numărătorului de la pct. *b*.

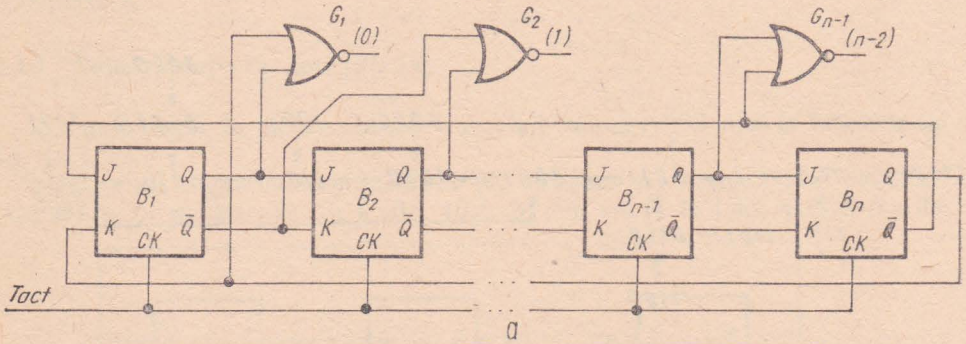
10.1.2. „Numărătoare" Johnson [3], [4]

Un „numărător" Johnson se obține dintr-un registru de deplasare conectînd ieșirea complementară a ultimului etaj la intrarea în primul bistabil. În felul acesta, dintr-un registru cu n celule se obține un numărător cu $2n$ stări, fiind necesară și o rețea de decodificare pentru individualizarea lor.

Schema generală este cea din figura 10.3 *a*, unde se poate vedea și tabela de adevăr corespunzătoare.

Numărul de stări nefolosite fiind $2^n - 2n$, pentru $n > 2$ vor exista stări (secvențe de stări) stabile în afara ciclului de interes. „Numărătorul" Johnson poate funcționa cu autoamorsoare dacă se intercalează porți în lanțul de reacție. Pentru $n \leqslant 25$, „numărătorul" se amorsează întotdeauna dacă reacția este adusă de la ultimele j etaje ale registrului, unde $j > n/3$.

În figura 10.4 *a* este prezentat un „numărător" Johnson de 4 biți. Diagrama sa de stări este desenată cu linie continuă în figura 10.4, *c*. Se observă existența a două cicluri distincte, dintre care numai unul este util. Prin modificarea reacției se poate realiza autoamorsarea numărătorului (fig. 10.4 *b*).



a

Tact	Q_1	Q_2	Q_3		Q_{n-1}	Q_n	Decodific.
0	0	0	0	...	0	0	$\bar{Q}_1 \cdot \bar{Q}_n$
1	1	0	0	...	0	0	$Q_1 \cdot \bar{Q}_2$
2	1	1	0	...	0	0	$Q_2 \cdot \bar{Q}_3$
3	1	1	1	...	0	0	$Q_3 \cdot \bar{Q}_4$
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
n-1	1	1	1	...	1	0	$Q_{n-1} \cdot \bar{Q}_n$
n	1	1	1	...	1	1	$Q_1 \cdot Q_n$
n+1	0	1	1	...	1	1	$\bar{Q}_1 \cdot Q_2$
n+2	0	0	1	...	1	1	$\bar{Q}_2 \cdot Q_3$
n+3	0	0	0	...	1	1	$\bar{Q}_3 \cdot Q_4$
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
2n-1	0	0	0	...	0	1	$\bar{Q}_{n-1} \cdot Q_n$
2n	0	0	0	...	0	0	$\bar{Q}_1 \cdot \bar{Q}_n$

b

Fig. 10.3. „Numărător" Johnson cu n celule.

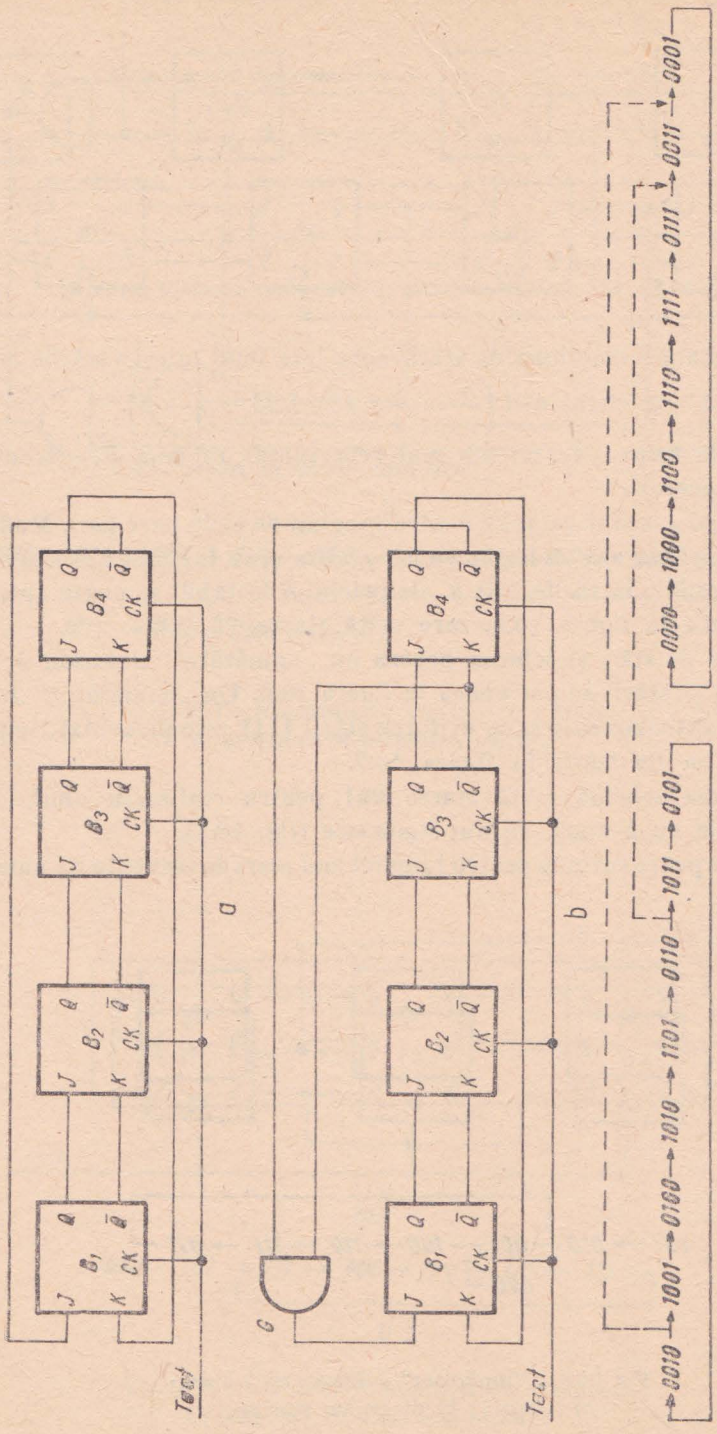


Fig. 10.4. „Numărător" Johnson cu 4 celule:
a) schema „numărătorului" fără circuite de inițializare și corecție; *b*) „Numărător" cu autoamorsare; *c*) diagrama stărilor pentru circuitul de la pct. *b*.

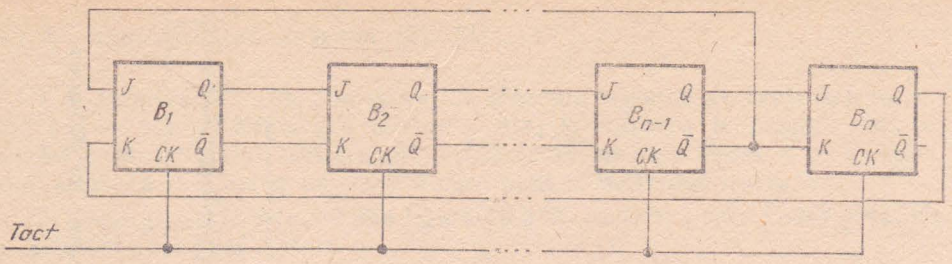


Fig. 10.5. „Numărător" Johnson cu lungime de ciclu impară.

Liniile punctate din diagrama de stări reprezintă felul în care stările nedorite „se conectează" la ciclul util $\left(\frac{n}{3} = \frac{4}{3};\ j > 1{,}33 \rightarrow j = 2\right)$.

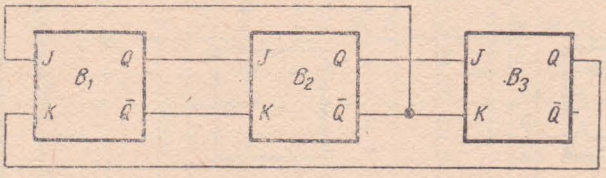
În figurile respective nu s-a mai reprezentat rețeaua de decodificare, care rămîne aceeași.

Cele de mai sus sînt valabile pentru lungimi de ciclu pare ($2n$). Modificînd reacția, „numărătoarele" Johnson se pot realiza și cu lungimi de ciclu impare. Cînd sînt accesibile intrările J și K ale primului bistabil, se poate aplica metoda prezentată în figura 10.5, care evită starea **00...0**.

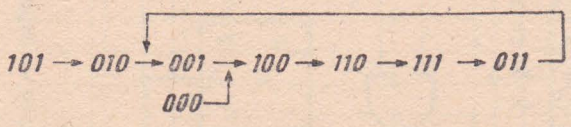
Diagrama de stări și schema pentru un „numărător" Johnson de 3 biți cu ciclu redus (3 stări) se pot vedea în figura 10.6. Un „numărător" Johnson cu 7 stări, cu autoamorsare și cu evitarea stării **1111** este prezentat, împreună cu diagrama sa de stări, în figura 10.7.

Următoarea schemă evită starea **001** pentru realizarea unui „numărător" Johnson cu 5 stări, cu autoamorsare (fig. 10.8).

Metoda se poate extinde pentru lungimi mai mari de secvențe de numărare.



a



b

Fig. 10.6. „Numărător" Johnson cu 5 stări:
a) schema ; *b*) diagrama stărilor.

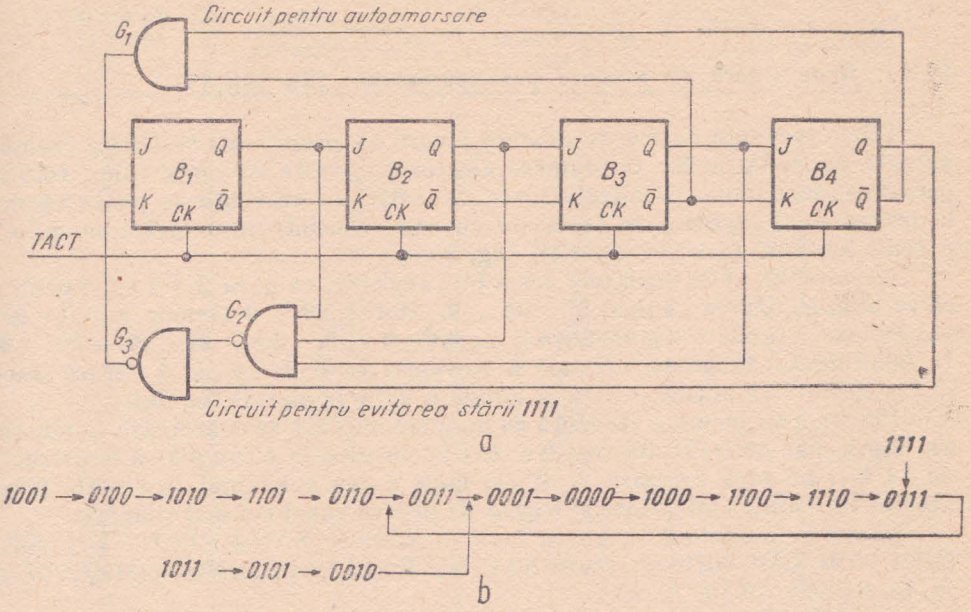


Fig. 10.7. „Numărător" Johnson cu 7 stări :
a) schema ; *b*) diagrama stărilor.

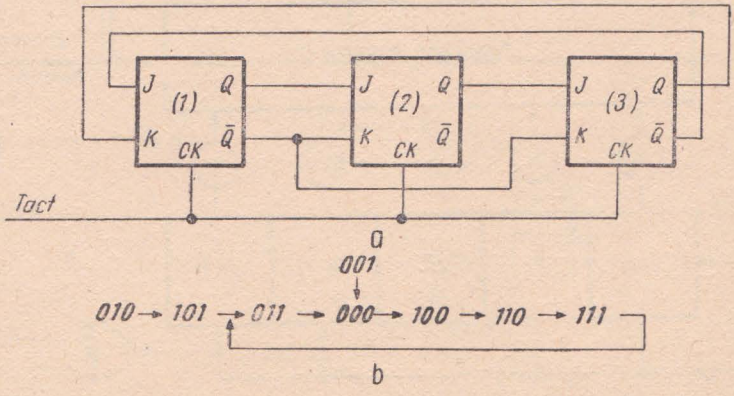


Fig. 10.8. „Numărător" Johnson cu 3 celule :
a) schema ; *b*) diagrama stărilor.

10.2. Generatoare liniare de secvențe (cu registre de deplasare)

10.2.1. Generatoare de numere pseudoaleatoare [2], [3], [4]

Unele secvențe ciclice de numere binare au proprietăți statistice asemănătoare cu ale șirurilor de numere aleatoare. Aceste secvențe fiind, totuși, periodice, se numesc pseudoaleatoare. O astfel de secvență se poate obține la ieșirea unui registru de deplasare cu reacție printr-un sumator modulo-2 (circuit SAU-EXCLUSIV (XOR)) (fig. 10.9).

Dacă registrul de deplasare are n biți, registrul va avea 2^n-1 stări pentru că se elimină starea „numai **0**" : **00...0**. Starea **00...0** trebuie evitată deoarece este stabilă : $\mathbf{0}\oplus\mathbf{0}\oplus\mathbf{0}\oplus\mathbf{0}\oplus\ldots\oplus\mathbf{0}\oplus\mathbf{0}=\mathbf{0}$, deci **00...0** → **00...0**. În felul acesta, lungimea maximă a secvenței va fi 2^n-1, dacă fiecare stare din cele 2^n-1 se obține o dată și numai o dată în cadrul ciclului.

Pentru a se genera o secvență de lungime maximă se conectează în reacție un număr par de ieșiri din registru. Cel puțin pînă la o lungime a registrului de 34 biți nu sînt necesare decît cel mult patru conexiuni în reacție (vezi tabelul 10.1 unde sînt listate și legăturile pentru cazul cel mai simplu).

Sumarea modulo-2 se poate face cu circuite SAU-EXCLUSIV (XOR) (MMC 4030, MMC 4070) și circuite SAU-NU-EXCLUSIV (XNOR) (MMC 4077), ca în figurile 10.10, *a*, *b*, *c*.

O problemă importantă pentru acest tip de generatoare de secvențe este aceea a stării de start, mai ales cînd două secvențe identice trebuie să se succeadă la un interval precis determinat. Dacă registrul de deplasare se constituie din bistabili MMC 4013, avem la dispoziție intrările asincrone R, S și intrarea sincronă D pentru a inițializa registrul în starea dorită. De asemenea, presetarea nu prezintă probleme la un registru la care avem acces la fiecare intrare D.

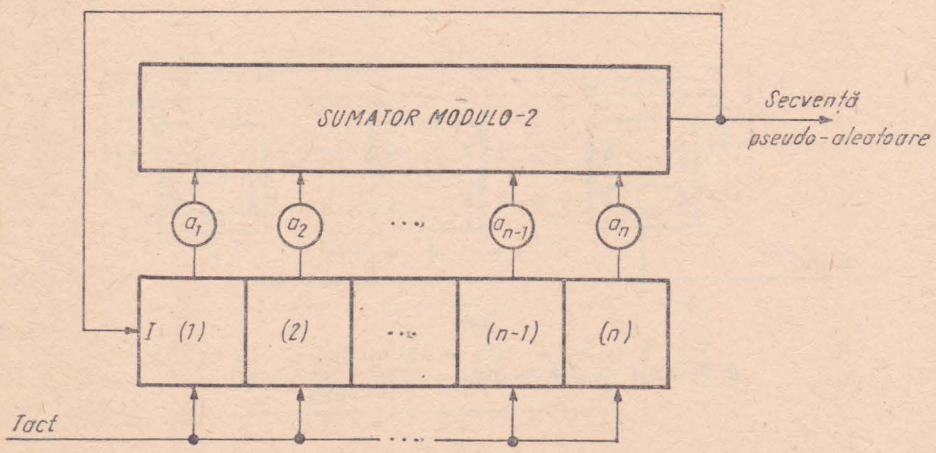


Fig. 10.9. Schema bloc a unui generator de secvențe pseudoaleatoare.

Tabelul 10.1

Lung. reg. de deplasare (n)	Lung. max. a secvenței (2^n-1)	Numărul de posibilități de reacție	Ieșirile care se conectează în reacție
2	3	1	1, 2
3	7	2	1, 3
4	15	2	1, 4
5	31	6	2, 5
6	63	6	1, 6
7	127	18	3, 7
8	255	16	2, 3, 4, 8
9	511	48	4, 9
10	1 023	60	3, 10
11	2 047	176	2, 11
12	4 095	144	1, 4, 6, 12
13	8 191	630	1, 3, 4, 13
14	16 383	756	1, 6, 10, 14
15	32 767	1 800	1, 15
16	65 535	2 047	1, 3, 12, 16
17			3, 17
18			7, 18
19			1, 2, 5, 19
20			3, 20
21			2, 21
22			1, 22
23			5, 23
24			1, 2, 7, 24
25			3, 25
26			1, 2, 6, 26
27			1, 2, 5, 27
28			3, 28
29			2, 29
30			1, 2, 23, 30
31			3, 31
32			1, 2, 22, 32
33			13,33
34			1, 2, 27, 34

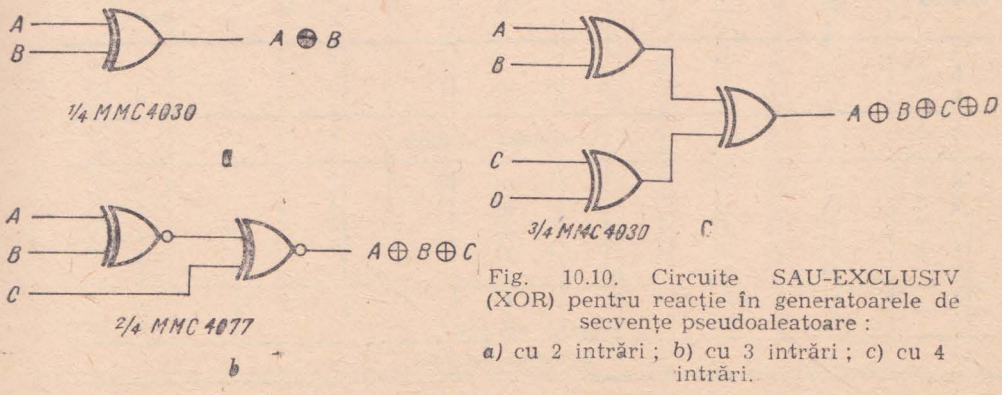


Fig. 10.10. Circuite SAU-EXCLUSIV (XOR) pentru reacție în generatoarele de secvențe pseudoaleatoare :

a) cu 2 intrări ; *b*) cu 3 intrări ; c) cu 4 intrări.

Sînt însă alte registre care nu pot fi decît resetate din exterior, și toate celulele simultan! Se ajunge astfel în starea **00...0**, care nu este permisă din motivele arătate mai înainte. Pentru a evita dificultățile legate de implementarea cu un astfel de registru se poate folosi o reacție de tip SAU-NU EXCLUSIV (XNOR).

Cu aceleași conexiuni ca pentru logica de tip SAU-EXCLUSIV (XOR) se obține o secvență „complementară", care are aceleași proprietăți cu secvența inițială, numai că acum este prohibită starea **11...1**. Prin resetarea registrului se poate obține starea **00...0** ca stare de start.

10.2.2. Numărătoare generatoare liniare cu registre de deplasare [4]

Sînt mai ușor de construit decît numărătoarele binare sincrone și devin economice pentru lungimi de ciclu mari. Se utilizează reacția prin porți SAU-EXCLUSIV (XOR). Sînt numărătoare sincrone și pot fi de lungime maximă 2^n-1 sau de lungime nemaximă, unde n este lungimea registrului de deplasare.

Dacă toate ieșirile Q_i sînt **0**, $\overset{n}{\underset{i=1}{\oplus}} Q_i = 0$, și starea **00...0** este stabilă. Rezultă că trebuie să se adauge porți suplimentare ca să se evite starea **00...0** sau să se inițializeze numărătorul într-o stare valabilă. Se poate face o modificare astfel încît un astfel de circuit cu n bistabili să aibă 2^n stări.

Inhibînd termenul SAU-EXCLUSIV în starea **0...001**, starea următoare este starea **0**, din care se trece apoi în starea 2^{n-1} (**10...0**).

Pentru un numărător cu 5 etaje cu 32 stări funcția reacției va fi $F = Q_3 \oplus Q_5 \cdot \overline{Q_1 \cdot Q_2 \cdot Q_3 \cdot Q_4} \cdot Q_5 + \overline{Q_1 \cdot Q_2 \cdot Q_3 \cdot Q_4 \cdot Q_5}$.

Generatoare liniare cu secvență de lungime „nemaximă" $l < 2^{n-1}$ se pot realiza modificînd reacția astfel încît să nu se treacă printr-un număr de $2^n - l - 1$ stări succesive. Va trebui să existe, deci, o anumită stare („de salt") pentru care reacția se modifică, respectiv funcția rețelei se complementează.

În tabelul 10.2 sînt dați termenii de salt pentru lungimi de secvență de la 4 la 63.

Tabelul 10.2

Perioada	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Intrarea serie
4	0	1	1				1
5	1	0	0				1
6	1	1	0				0
7	Lungimea maximă						
8	0	1	1	0			0
9	0	1	0	0			1
10	1	1	0	0			1
11	0	0	1	1			1
12	1	0	0	0			1
13	1	0	1	1			1
14	1	1	1	0			0
15	Lungime maximă						

Tabelul 10.2 (continuare)

Perioada	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Intrarea serie
16	1	1	0	1	0		1
17	1	0	0	0	1		0
18	0	0	0	1	1		0
19	0	1	1	0	1		1
20	1	1	1	0	0		0
21	1	0	1	0	1		1
22	0	1	1	1	1		1
23	0	1	0	0	1		0
24	0	0	1	1	0		0
25	1	0	0	1	0		1
26	0	0	1	0	1		1
27	1	0	1	1	0		0
28	0	1	0	0	0		1
29	0	1	0	1	1		0
30	1	1	1	1	0		0
31	Lungime maximă						
32	0	0	1	1	1	0	0
33	1	1	0	0	1	0	0
34	0	0	1	0	0	0	1
35	0	1	0	1	1	1	1
36	0	0	1	1	0	1	0
37	1	1	1	1	0	1	0
38	0	1	0	1	0	1	0
39	0	1	1	1	1	1	1
40	0	1	1	0	0	1	0
41	1	0	1	0	0	0	1
42	1	0	1	1	1	1	1
43	0	0	0	1	0	0	1
44	1	1	0	0	0	0	1
45	1	1	0	1	0	0	1
46	1	0	0	1	0	1	0
47	1	0	0	1	1	1	1
48	1	1	1	0	1	1	1
49	1	0	0	0	1	1	1
50	0	1	1	1	0	1	1
51	0	0	0	1	1	1	1
52	1	0	1	1	0	1	0
53	0	1	0	0	0	0	1
54	1	1	1	0	0	1	0
55	0	0	1	0	1	0	0
56	0	1	1	0	1	0	0
57	0	0	0	0	1	1	1
58	1	0	0	0	0	0	1
59	1	1	0	1	1	0	0
60	0	1	0	0	1	1	1
61	1	0	1	0	1	1	1
62	1	1	1	1	1	0	0
63	Lungime maximă						

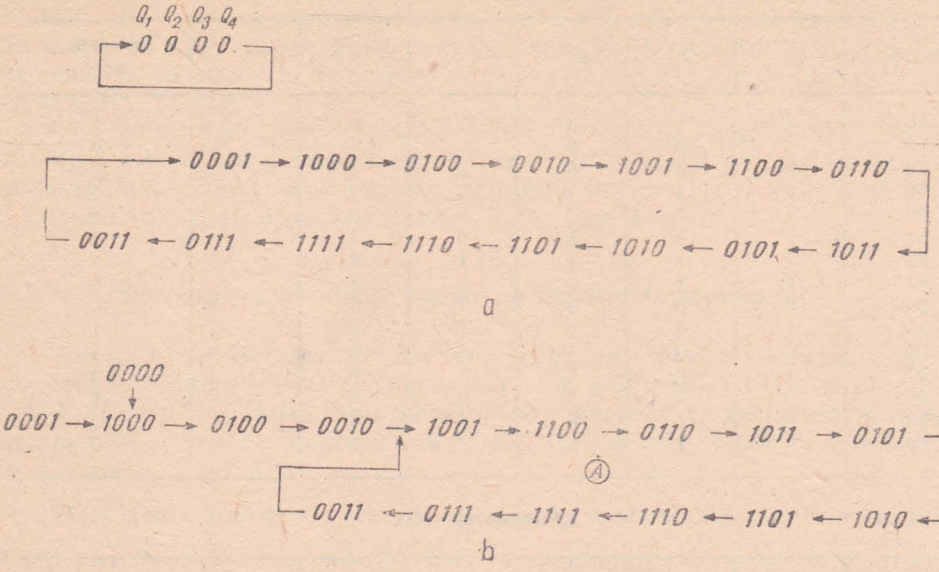


Fig. 10.11. Numărător cu registru de deplasare de lungime nemaximă, cu perioada 11, cu autoamorsare : *a)* secvență normală pentru reacția dată ; *b)* secvență pentru numărătorul cu perioada 11 ; *c)* o implementare cu registrul MMC 4035.

Să luăm, de exemplu, un generator cu 11 stări. Acesta poate fi realizat pornind de la un registru cu 4 etaje, care poate genera o secvență de lungime maximă 15. Reacția este $D_1 = Q_3 \oplus Q_4$ (vezi tabelul 10.2). Succesiunea stărilor se vede în figura 10.11, *a*. Rezultă că trebuie să se facă, la un moment dat, un salt peste $15 - 11 = 4$ stări. Dacă starea de salt este *abcd* și starea următoare din succesiunea normală ar fi *xabc*, atunci, în noua succesiune, din *abcd* se va trece în $\bar{x}abc$. Trebuie găsite două stări în ciclu care să se găsească la o distanță de $4 + 1 = 5$ stări una de alta și care să fie de forma $abcd \rightarrow \bar{x}abc$, cu $\bar{x} = \overline{Q_3 \oplus Q_4}$. Din consultarea succesiunii stărilor se găsește starea de salt $Q_1Q_2Q_3Q_4 = 0011$. În mod normal, din **0011** s-ar trece în **0001**.

Dacă se modifică reacția ($D_1 = Q_3 \oplus Q_4 + \overline{Q}_1 \cdot \overline{Q}_2 \cdot Q_3 \cdot Q_4$), succesiunea devine **0011 → 1001.** Starea **0000** este stabilă. Impunem tranziția **0000 → 1000.** Reacția devine $D_1 = Q_3 \oplus Q_4 + \overline{Q}_1 \cdot \overline{Q}_2 \cdot Q_3 \cdot Q_4 + \overline{Q}_1 \cdot \overline{Q}_2 \cdot \overline{Q}_3 \cdot \overline{Q}_4 = \overline{Q}_1 \cdot \overline{Q}_2 \cdot \overline{Q_3 \oplus Q_4} + Q_3 \oplus Q_4 = (Q_1 + Q_2) \cdot \overline{Q_3 \oplus Q_4} = \overline{\overline{Q}_1 \cdot \overline{Q}_2 \cdot \overline{Q}_3 \oplus \overline{Q}_4}$.

În figura 10.11, *c* se poate vedea o implementare cu registrul de deplasare MMC 4035 și două niveluri de porți.

De remarcat că se folosesc ieșirile negate ale registrului ($T/\overline{C} = 0$).

Dacă numărătorul se găsește accidental într-o stare din afara ciclului, după cel mult patru impulsuri de ceas se ajunge în bucla *A*.

10.2.3. Generator de zgomot alb cu generator de numere pseudoaleatoare [5]

Circuitul (fig. 10.12) constă dintr-un registru de deplasare de 31 etaje (4 circuite MMC 4015 conectate în cascadă) cu reacție printr-o poartă SAU-EXCLUSIV (XOR) cu 2 intrări (I_4).

Secvența generată este de lungime maximă ($2^{31} - 1$). Semnalul de ceas, de aproximativ 250 kHz, este dat de un oscilator cu porțile SAU-EXCLUSIV (XOR) $I_1 \div I_3$ conectate ca inversoare (cu cîte o intrare în 1 logic). Semnalul poate fi preluat de pe oricare din ieșirile registrelor întrucît fiecare bit va fi deplasat prin fiecare celulă. Pentru frecvența dată a ceasului, secvența se repetă după 2,4 ore. În întreg domeniul audio spectrul de putere al semnalului generat este plat cu o deviație de maximum ± 1 dB.

În tabelul 10.3 se dau conexiunile pentru diversele generatoare de secvențe de lungime maximă pentru care se folosește în reacție numai o poartă cu 2 intrări.

Circuitul poate fi folosit ca generator de zgomot în sintetizoarele muzicale, la testarea echipamentului de audiofrecvență sau pentru producerea de stimuli întîmplători în experimente psihologice. Semnalul poate fi preluat de pe oricare din ieșirile registrelor întrucît fiecare bit va fi deplasat prin fiecare celulă.

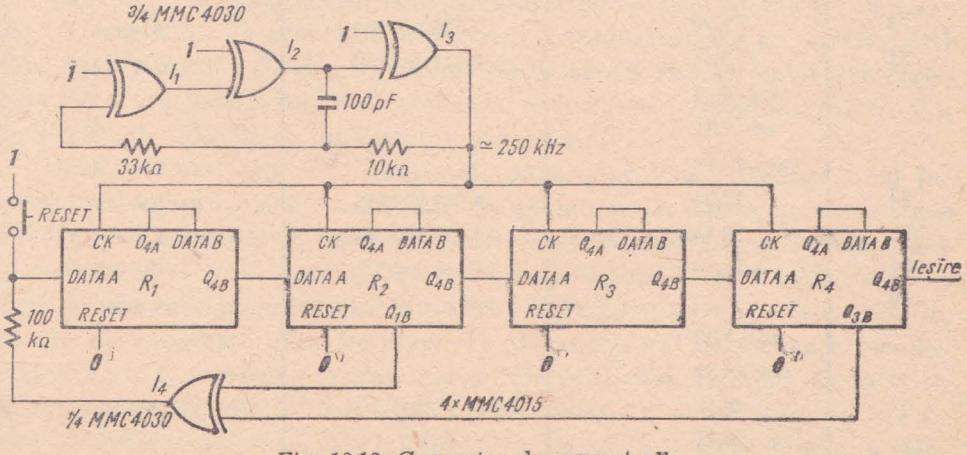


Fig. 10.12. Generator de zgomot alb.

Tabelul 10.3

Nr. etajelor	Ieșiri	Lungimea secvenței	Perioada ($f_{CK} = 250$ kHz)
7	1,7	127	0,51 ms
	sau 3,7		
9	4,9	511	2,0 ms
10	3,10	1 023	4,1 ms
11	2,11	2 047	8,2 ms
15	1,15	32 767	131 ms
	sau 4,15		
	sau 7,15		
17	3,7	131 071	0,52 s
	sau 5,17		
	sau 6,17		
18	7,18	262 143	1,0 s
20	3,20	1 048 575	4,2 s
21	2,21	2 097 151	8,4 s
22	1,22	4 194 303	17 s
23	5,23	8 388 607	34 s
	sau 9,23		
25	3,25	33 554 431	2,2 min
	sau 7,25		
28	3,28	268 435 455	18 min
	sau 9,28		
	sau 13,28		
29	2,29	536 870 911	36 min
31	3,31	2 147 483 647	2,4 ore
	sau 6,31		
	sau 7,31		
	sau 13,31		
33	13,33	8 589 934 591	9,5 ore
35	2,35	34 359 738 367	1,6 zile
36	11,36	68 719 476 735	3,2 zile
39	4,39	$5{,}5 \times 10^{11}$	25 zile
	sau 8,39		
	sau 14,39		
41	3,41	$2{,}2 \times 10^{12}$	102 zile
	sau 20,41		

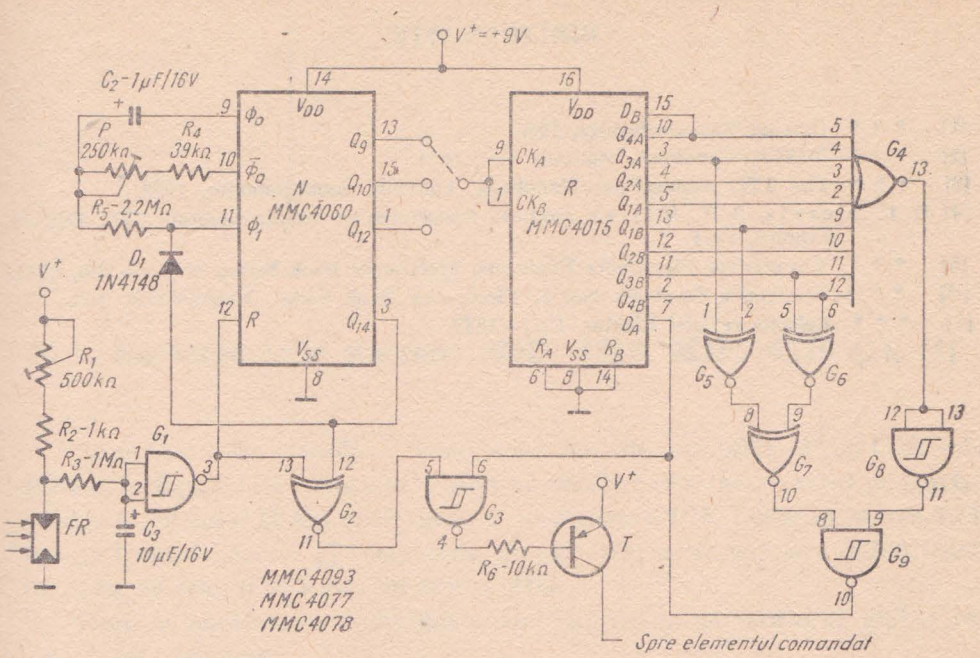


Fig. 10.13. Simulator de prezență.

10.2.4. **Simulator de prezență** [7]

Circuitul din figura 10.13 comandă aprinderea întîmplătoare a luminilor dintr-o locuință, în absența locatarilor, spre descurajarea unor eventuali infractori.

Circuitul este compus dintr-un numărător MMC 4060 (notat *N*) cu oscilatorul încorporat, un generator de secvențe pseudoaleatoare cu registrul (*R*) MMC 4015 și porțile $G_4 \div G_9$, un circuit de sesizare a întunericului (fotorezistența *FR* și triggerul Schmitt G_1) și partea de comandă a acționării (G_2, G_3, *T*). Porțile G_4, G_8 folosesc la inițializarea generatorului.

Dacă fotorezistența este iluminată, numărătorul este resetat. Cînd intensitatea luminii incidente scade sub un anumit prag, ieșirea porții G_1 trece în **0** logic, și numărătorul începe să funcționeze. Numărarea va fi întreruptă fie de iluminarea fotorezistenței, fie de trecerea ieșirii Q_{14} în **1** logic. Generatorul de secvențe pseudoaleatoare va fi comandat dintr-una din ieșirile Q_9, Q_{10}, Q_{12} ale numărătorului. De remarcat că generatorul de secvențe pseudoaleatoare nu se resetează la iluminarea fotorezistenței. Lumina din casă se va aprinde „întîmplător" atît timp cît ieșirea Q_{14} a numărătorului este în **0** logic și fotorezistența nu este luminată, în așa fel încît nota de plată a electricității să nu se încarce excesiv.

BIBLIOGRAFIE

[1] * * * Catalog Microelectronica, 1985.
[2] * * * McMOS Handbook, Motorola Inc., 1974.
[3] * * * The TTL Applications Handbook, Fairchild Semiconductor, 1973.
[4] R. L. Morris, J. R. Miller (editori). Proiectarea cu circuite integrate TTL, Editura Tehnică, 1974.
[5] * * * Circuits for Electronics Engineers, Electronics Book Series, McGraw-Hill, 1977.
[6] * * * Designer's Casebook No. 5, Electronics Book Series, McGraw-Hill, 1982.
[7] * * * Colecția revistei Elektor, 1977—1982.

11. Circuite cu numărătoare

11.1. Numărătoarele sincrone MMC 4518, MMC 4520 [1], [4]

Conectarea în cascadă a numărătoarelor de tip MMC 4518/4520 este arătată în figura 11.1. Conținutul unui numărător este incrementat pe frontul pozitiv al ceasului (CK_0) dacă intrarea de validare (CK_1) este în starea **SUS** sau pe frontul negativ al semnalului de pe intrarea de validare (CK_1), dacă intrarea de ceas (CK_0) este în starea **JOS.**

Deși numărătoarele individuale sînt sincrone, numărătorul global rezultat este asincron.

Intrările de aducere la zero (MR) se leagă în paralel, resetarea avînd loc în același timp pentru toate numărătoarele.

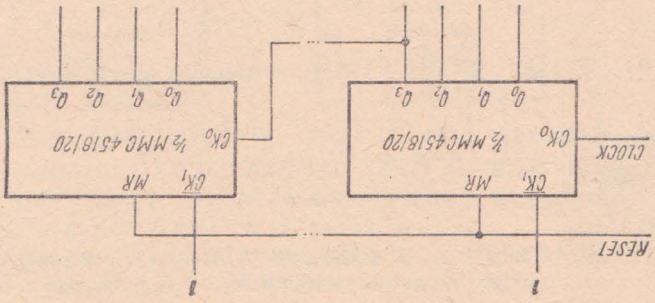


Fig. 11.1. Cascadarea numărătoarelor MMC 4518 și MMC 4520.

11.2. Numărătoarele sincrone MMC 4510, MMC 4516, MMC 4029 [1], [4]

Pentru aceste circuite, legarea în cascadă necesită conectarea ieșirii de transport ($\overline{TC}$) a fiecărui numărător la intrarea de validare a numărării ($\overline{CE}$) a circuitului următor.

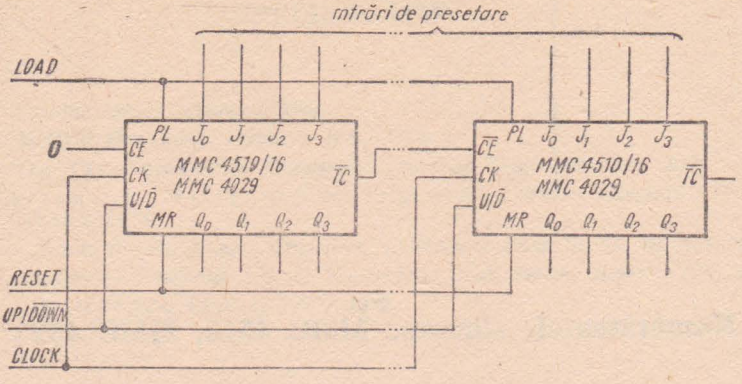
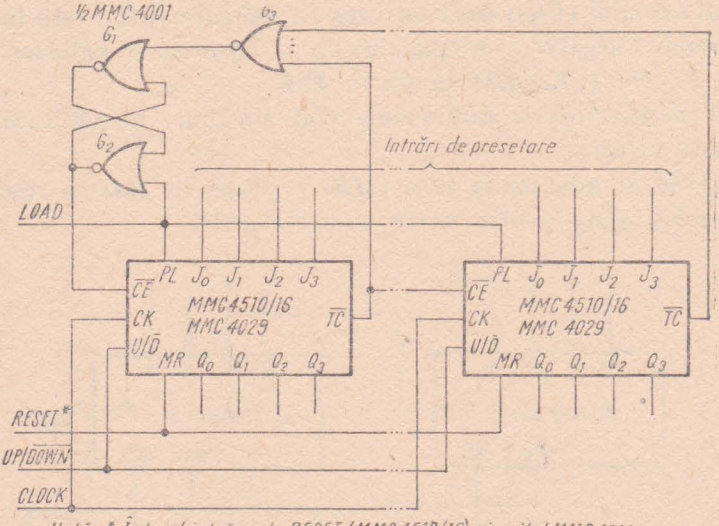
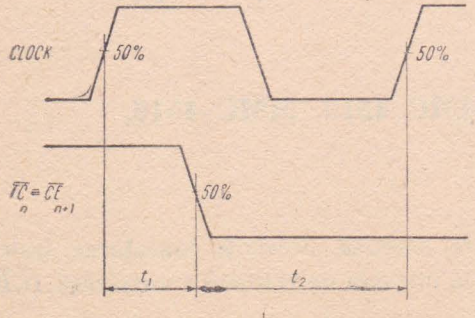


Fig. 11.2. Cascadarea numărătoarelor MMC 4510, MMC 4516, MMC 4029, cu aplicarea în paralel a semnalului de ceas.



Notă: * În locul intrării de RESET (MMC 4510/16), circuitul MMC 4029 prezintă o intrare de selecție a modului de lucru binar/zecimal.

a



b

Fig. 11.3. Cascadarea numărătoarelor MMC 4510, MMC 4516, MMC 4029, cu aplicarea în paralel a semnalului de ceas, cu circuit pentru presetare sigură : *a*) schema ; *b*) forme de undă.

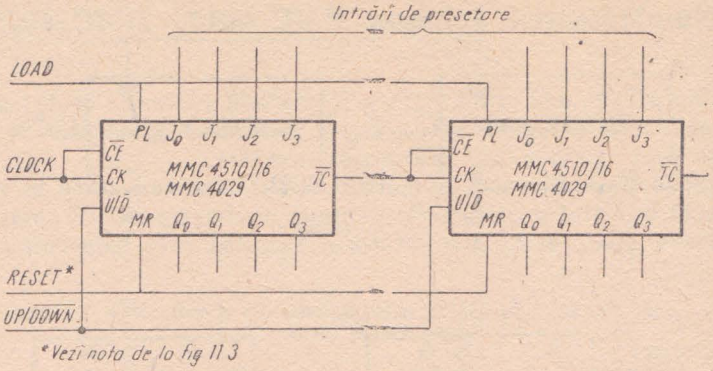


Fig. 11.4. Cascadarea numărătoarelor MMC 4510, MMC 4516, MMC 4029, cu transport succesiv.

În figurile 11.2, 11.3, *a* sînt prezentate, respectiv un numărător „compus" reversibil și presetabil și un circuit presetabil care numără înapoi o singură dată.

În fiecare caz, numărătorul rezultat este sincron. Frecvența maximă de lucru este limitată de : 1) frecvența maximă de lucru a numărătoarelor individuale ; 2) suma dintre timpii de propagare, respectiv de stabilire t_1 și t_2 (fig. 11.3, *b*).

Aceste numărătoare pot fi conectate și într-o schemă cu transport succesiv (fig. 11.4), în acest caz, intrările de transport ($\overline{CE}$) și ceas (CK) ale unui etaj legîndu-se la ieșirea de transport ($\overline{TC}$) a etajului anterior.

11.3. Numărătoarele sincrone MMC 40192, MMC 40193 [1]

Cascadarea numărătoarelor de acest tip este prezentată în figura 11.5. Ieșirile de transport ($\overline{CY}$) și împrumut ($\overline{BR}$) ale unui numărător se leagă respectiv la intrările de numărare înainte (CU) și numărare înapoi (CD) ale circuitului următor („mai semnificativ").

Și în acest caz, numărătorul global este asincron datorită existenței transportului succesiv între numărătoarele individuale.

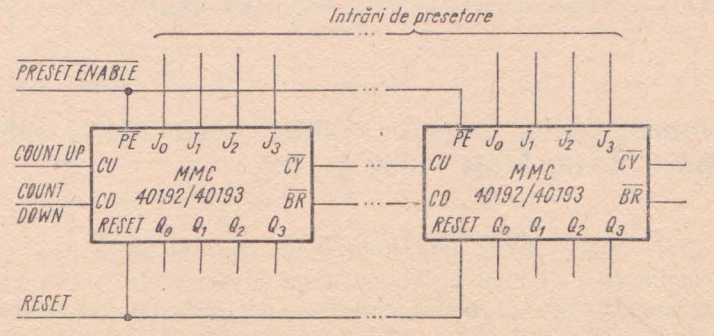
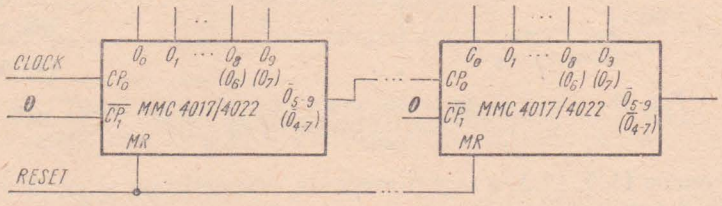


Fig. 11.5. Cascadarea numărătoarelor MMC 40192, MMC 40193.

11.4. Numărătoarele Johnson MMC 4017, MMC 4022 [1], [4]

În figura 11.6, *a* se arată legarea în cascadă a circuitelor de tip MMC 4017/4022. Ieșirea de transport ($\bar{O}_{5\div9}/\bar{O}_{4\div7}$) a fiecărui numărător se leagă la intrarea de ceas (CP_0) a numărătorului următor.

Intrările de validare a numărării (CP_1) sînt conectate la nivelul **JOS.** În figura 11.6, *b* sînt date formele de undă pentru un circuit compus din două numărătoare MMC 4022. Numărătorul rezultat este asincron.



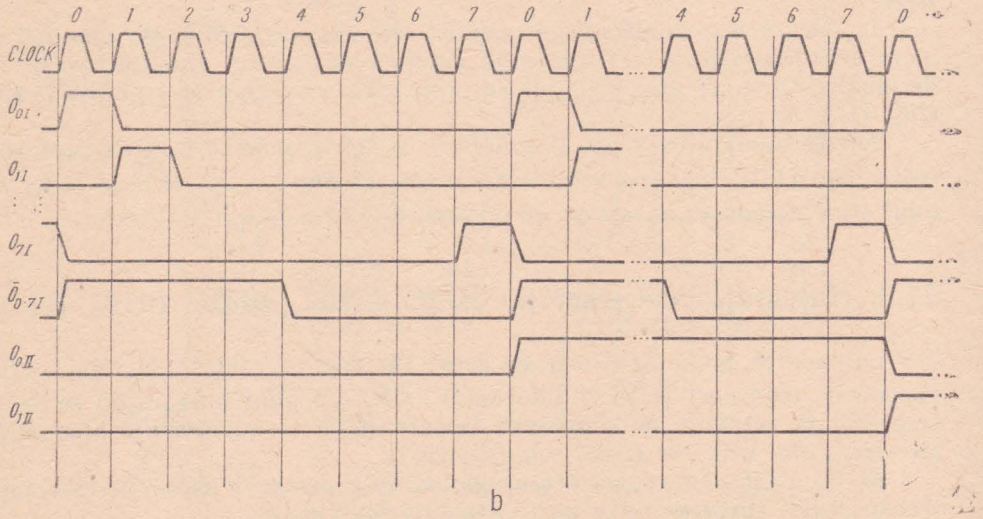


Fig. 11.6. Cascadarea circuitelor MMC 4017, MMC 4022 : *a*) schema ; *b*) forme de undă.

11.5. Numărătoarele asincrone MMC 4020, MMC 4024, MMC 4040, MMC 4060 [1]

Circuitele MMC 4020/4024/4040/4060 sînt numărătoare cu transport succesiv utilizate mai ales în aplicații de divizare de frecvență. Comutînd pe frontul negativ al impulsului de ceas, cascadarea lor se face fără circuite externe (fig. 11.7).

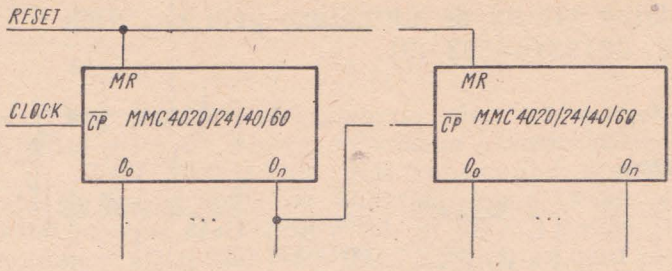


Fig. 11.7. Cascadarea numărătoarelor MMC 4020, MMC 4024, MMC 4040, MMC 4060.

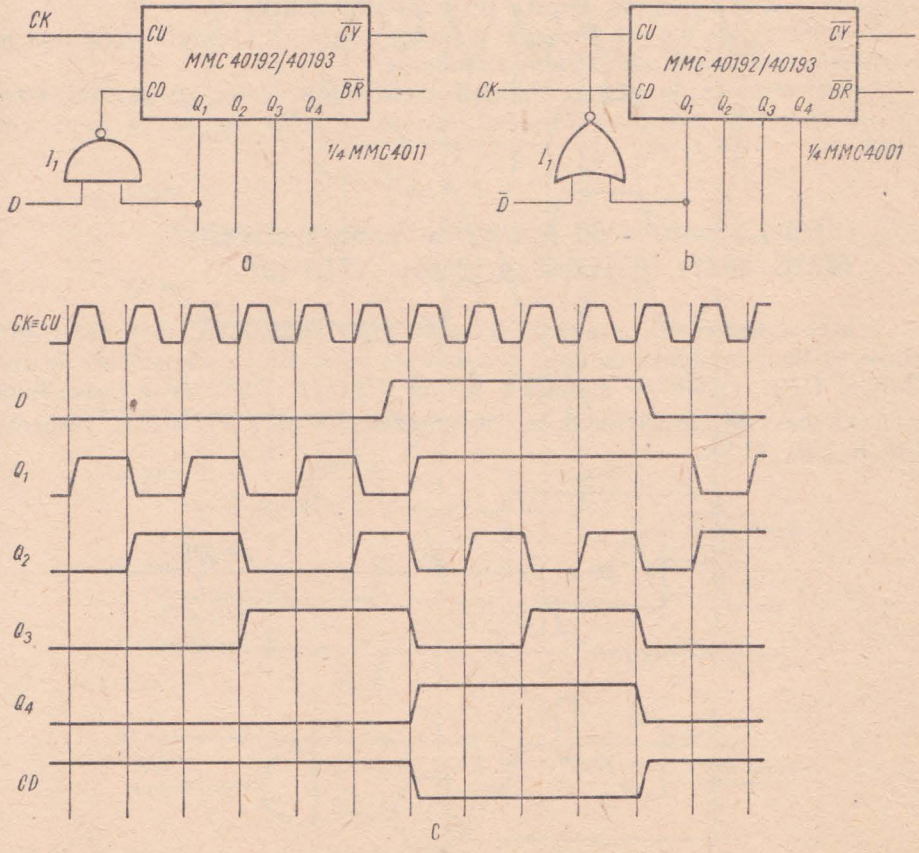


Fig. 11.8. Dublarea vitezei de numărare pentru circuitele MMC 40192, MMC 40193 : *a)* schema pentru numărare înainte ; *b)* schema pentru numărare înapoi ; *c)* forme de undă.

11.6. Dublarea vitezei de numărare prin circuitele MMC 40192/40193 [3]

În figurile 11.8, *a* și *b* sînt prezentate două scheme care permit dublarea vitezei de numărare pentru numărarea înainte, respectiv înapoi la circuitele cu intrări separate de numărare MMC 40192, MMC 40193.

Pentru *numărare înainte* obișnuită, semnalul de ceas se aplică pe intrarea *CU*, iar intrarea *CD* stă în starea **SUS**. Dacă se trece intrarea *CD* în starea **JOS** în timp ce ieșirea Q_1 (bitul cel mai puțin semnificativ) este în starea **SUS**, primul bistabil din numărător rămîne blocat cu $Q_1 = 1$, determinînd comutarea celui de-al doilea bistabil pe fiecare front pozitiv al impulsului de ceas. Deci, frecvența cu care comută ieșirea Q_2 (și, de asemenea, Q_3 și Q_4) s-a dublat. Comanda dublării frecvenței se poate da trecînd semnalul *D* (fig. 11.8, *a*) în starea **SUS**. La readucerea sa la zero, circuitul își reia funcționarea normală. În figura 11.8, *c* sînt prezentate formele de undă pentru dublarea frecvenței în cazul numărării directe.

Pentru *numărarea inversă* se poate folosi schema din figura 11.8, *b*, în care semnalul de comandă *D* este activ în starea **JOS**.

Numărătoarele se pot cascada în modul obișnuit, funcționarea ieșirilor de transport și împrumut nemodificîndu-se.

Aceste circuite își găsesc aplicații acolo unde viteza de numărare trebuie să se poată modifica temporar, de exemplu la potrivirea unui ceas digital.

11.7. Intrări separate de numărare pentru circuitele MMC 4029, MMC 4510, MMC 4516 [2]

Pentru aplicațiile în care numărătoarele MMC 4029, MMC 4510, MMC 4516 trebuie să fie comandate de două semnale de ceas, unul de numărare înainte (*CLOCK UP*), celălalt de numărare înapoi (*CLOCK DOWN*) se poate folosi un circuit care formează intrările corespunzătoare de *UP*/$\overline{DOWN}$, respectiv *CLOCK* (fig. 11.9).

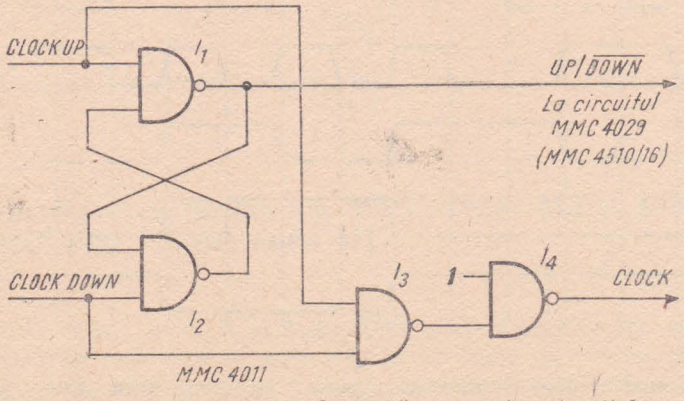


Fig. 11.9. Intrări separate de numărare pentru circuitele MMC 4029, MMC 4510, MMC 4516.

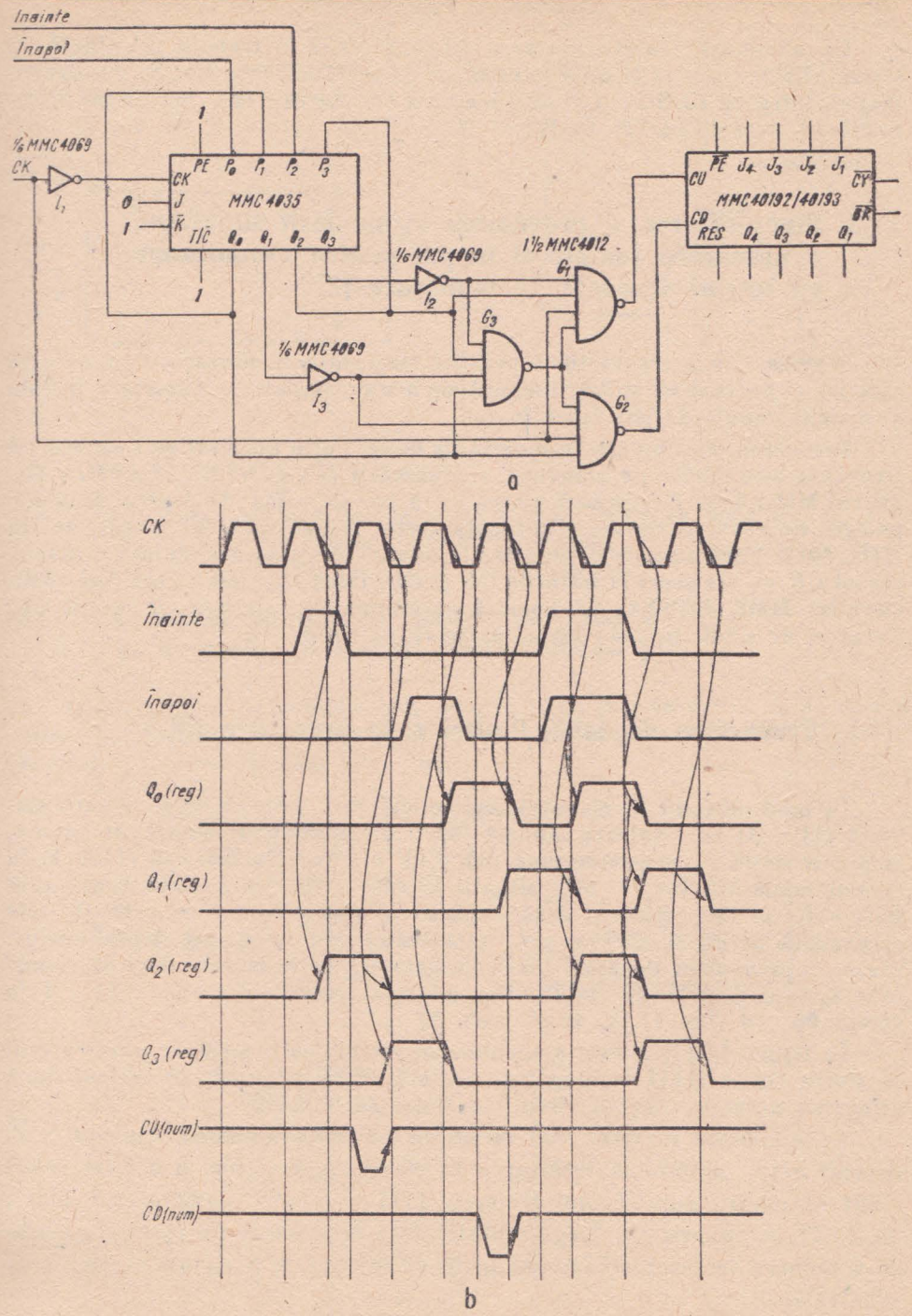


Fig. 11.10. Circuit pentru sincronizarea numărării înainte/înapoi și pentru prevenirea comandării simultane a numărătoarelor cu intrări separate de numărare : *a*) schema ; *b*) forme de undă.

La numărare înainte, intrarea *CLOCK DOWN* trebuie menținută în starea **SUS** în timp ce se aplică ceasul pe *CLOCK UP*; invers, la numărarea înapoi, intrarea *CLOCK UP* este inactivă (în starea **SUS**), iar ceasul acționează în starea *CLOCK DOWN*.

11.8. Sincronizarea și prevenirea comandării simultane a numărării înainte și înapoi pentru numărătoarele cu intrări separate de numărare [2]

Schema din figura 11.10, *a* permite sincronizarea numărării cu un ceas exterior și prevenirea aplicării simultane a unui impuls de numărare înainte și a unui impuls de numărare înapoi.

Frecvența ceasului *CK* trebuie să fie de cel puțin două ori mai mare decît frecvența semnalelor de comandă a numărării (*ÎNAINTE*, *ÎNAPOI*). Registrul MMC 4035 memorează starea intrărilor de comandă pentru două impulsuri de ceas succesive. Informația este decodificată de porțile de tip MMC 4012. Dacă au apărut simultan impulsuri de numărare înainte și înapoi, ceasul *CK* nu are acces la intrările *CU* și *CD*. Dacă s-au dat corect comenzile, circuitul MMC 40192/40193 numără corespunzător, sincron cu ceasul *CK*. Formele de undă se pot vedea în figura 11.10, *b*.

11.9. Prevenirea depășirii limitelor de numărare [2]

În mod obișnuit, conținutul unui numărător trece de la o valoare maximă (**11...1**) la o valoare minimă (**00...0**) în decursul numărării înainte, respectiv de la o valoare minimă (**00...0**) la o valoare maximă (**11...1**) în timpul numărării înapoi. Sînt situații în care asemenea variații bruște trebuie evitate. De exemplu, dacă deplasarea unui element de execuție este comandată de un numărător prin intermediul unui convertor digital-analog, atunci neprevenirea depășirii limitei superioare de numărare duce la o mișcare în sens contrar de amplitudine mare la trecerea din starea **11...1** în starea **00...0** (fig. 11.11, *b*, situația A).

În figura 11.11, *a* este prezentat un circuit care menține numărătorul în starea finală (**1111** la numărare înainte, **0000** la numărare înapoi) după atingerea acesteia, pentru circuitele MMC 40192/40193.

La numărare înainte, cînd se atinge valoarea maximă, semnalul $\overline{CY}$, devenit activ, determină încărcarea în permanență tocmai a acestei valori (**1001** — pentru numărătorul zecimal, **1111** — pentru numărătorul binar, fig. 11.11, *b*, situația B). Singura posibilitate de a ieși din această stare este de a număra înapoi realizîndu-se astfel o descreștere a valorii conținute în numărător.

Asemănător, dacă se numără înapoi, circuitul se „agață" în starea **0000**, prevenind trecerea bruscă la valoarea maximă.

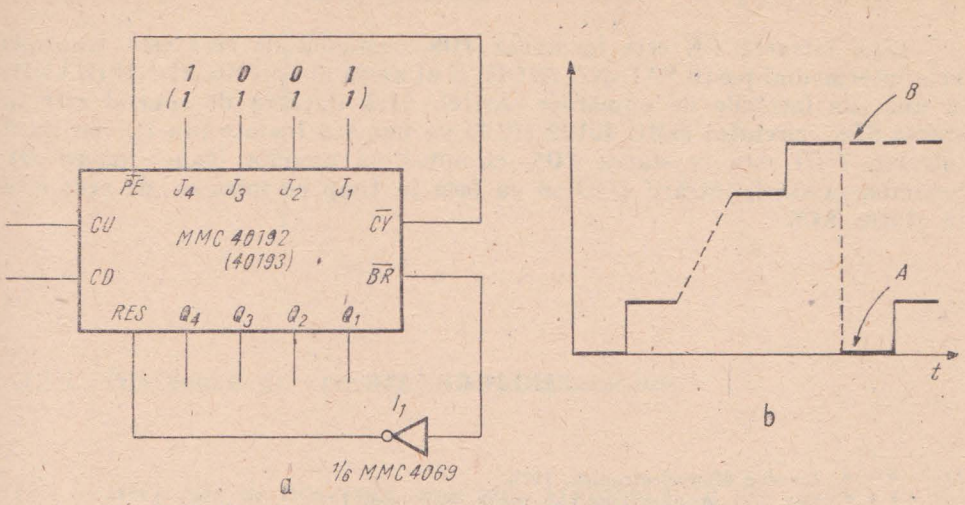
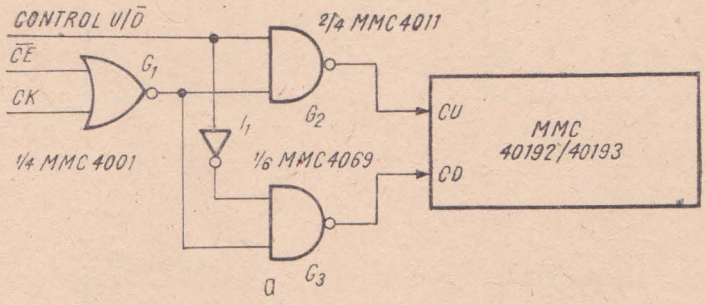


Fig. 11.11. Circuit pentru prevenirea depășirii limitei de numărare :
a) schema ; *b*) forme de undă.

11.10. Comanda numărării înainte sau înapoi la numărătoarele MMC 40192/40193 [2]

Dacă intrarea de validare a numărării ($\overline{CE}$) este în starea **SUS**, ieșirea circuitului SAU-NU (NOR) este în starea **JOS**, indiferent de starea intrării de ceas *CK*, deci circuitul nu numără.



$\overline{CE}$	U/D̄	Numărătorul
0	0	Numără înapoi
0	1	Numără înainte
1	0	Nu numără
1	1	Nu numără

b

Fig. 11.12. Intrare de comandă a numărării (înainte/înapoi) pentru circuite cu intrări separate de numărare :
a) schema ; *b*) tabela de funcționare.

Cînd intrarea $\overline{CE}$ este în starea **JOS**, semnalul de ceas este transmis prin intermediul porții SAU-NU (NOR) și al uneia din porțile SI-NU (NAND) la una din intrările de numărare. Astfel, dacă intrarea de control este în starea **SUS**, circuitul MMC 40192/40193 va număra înainte (*up-U*), iar dacă intrarea $U/\bar{D}$ este în starea **JOS**, circuitul va număra înapoi (*down -$\bar{D}$*). Schimbarea stării intrării $U/\bar{D}$ se va face în timp ce intrarea de ceas este în starea **SUS**.

BIBLIOGRAFIE

[1] * * * Catalog Microelectronica, 1985.
[2] * * * The TTL Applications Handbook, Fairchild, 1973.
[3] * * * Circuits for Electronics Engineers, Electronics Magazine Book Series, McGraw Hill, 1977.
[4] * * * McMOS Handbook, Motorola, 1974.

12. Divizoare de frecvență

12.1. Divizoare de frecvență neprogramabile

12.1.1. Divizoare de frecvență realizate cu bistabili [2]

În cele ce urmează vom descrie divizoare de frecvență realizate cu bistabili D sau JK și porți. În figura 12.1 sînt date reprezentările simplificate pe care le vom folosi în continuare. Acolo unde nu sînt desenate, intrările asincrone de setare, respectiv resetare, sînt inactive (conectate la V_{SS}).

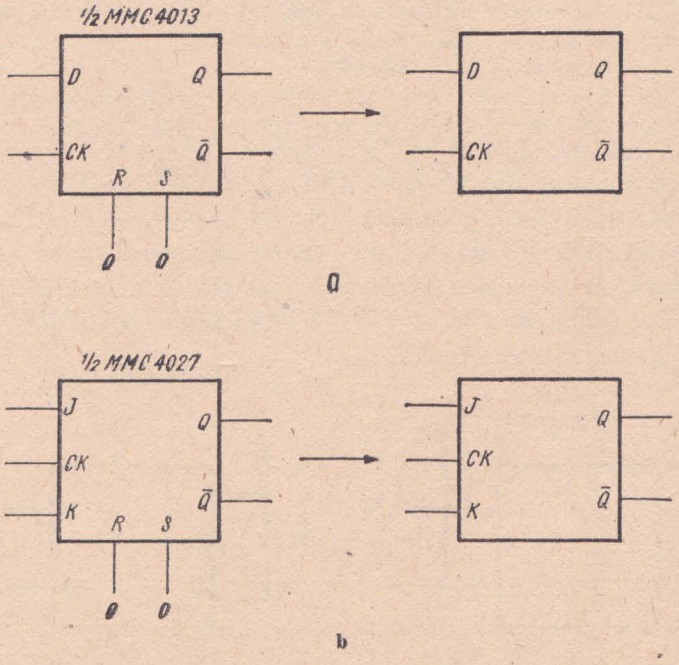


Fig. 12.1. Reprezentări simplificate pentru bistabili cu intrările *SET* și *RESET* inactive :
a) MMC 4013 ; b) MMC 4027.

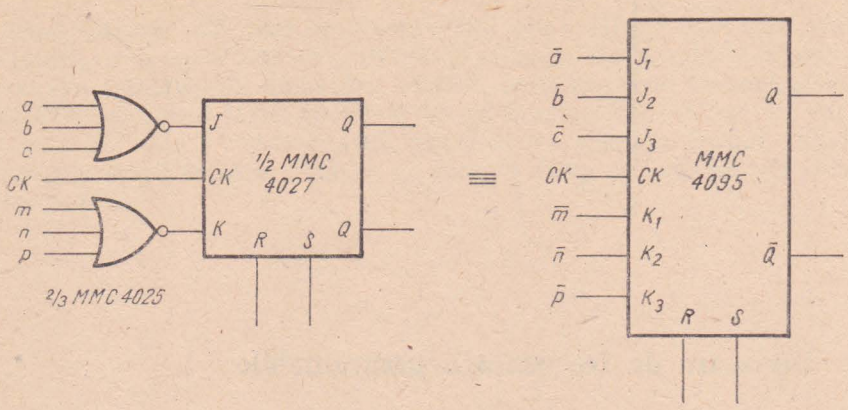


Fig. 12.2. Înlocuirea unui circuit format dintr-un bistabil *JK* și două porți SAU-NU (NOR) cu un bistabil *JK* MMC 4095, acolo unde sînt disponibile semnalele de intrare negate.

În figurile 12.4 ÷ 12.8 sînt prezentate divizoare sincrone cu numere de la 3 la 16, realizate cu bistabili *JK*. Acolo unde pe intrările *J* sau *K* se găsesc porți SAU-NU (NOR) s-a preferat folosirea circuitelor MMC 4095, pentru care $J = J_1 \cdot J_2 \cdot J_3$ și $K = K_1 \cdot K_2 \cdot K_3$ sau MMC 4096, cu $J = J_1 \cdot J_2 \cdot \bar{J}_3$ și $K = K_1 \cdot K_2 \cdot \bar{K}_3$. În figura 12.2 este arătată echivalența între varianta în care se folosesc un bistabil *JK* din capsulaMMC 4027 plus una sau două porți SAU-NU (NOR), respectiv un bistabil MMC 4095. Se constată că, de obicei, numărul de capsule folosite este același. Divizarea cu 2 se face cu un bistabil *JK* după cum se arată în figura 12.3.

În figurile 12.6, 12.7 sînt desenate ambele variante pentru divizorul cu 5.

Un divizor-sincron cu n din figurile de mai jos este un circuit sincron care numără înainte, normal, de la 0 la $n - 1$.

Deși există numărătoare sincrone integrate care pot fi întrebuințate în diverse scheme de divizare, schemele prezentate acum pot fi utile fie în cazul în care este necesară o frecvență de operare mai mare (a se compara, de exemplu, timpul de propagare și frecvența maximă de lucru pentru MMC 4027 și MMC 40192), fie în cazul în care mai există circuite neutilizate în capsulele folosite în montajul respectiv.

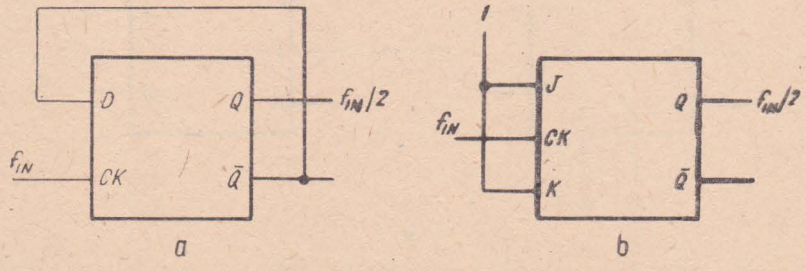
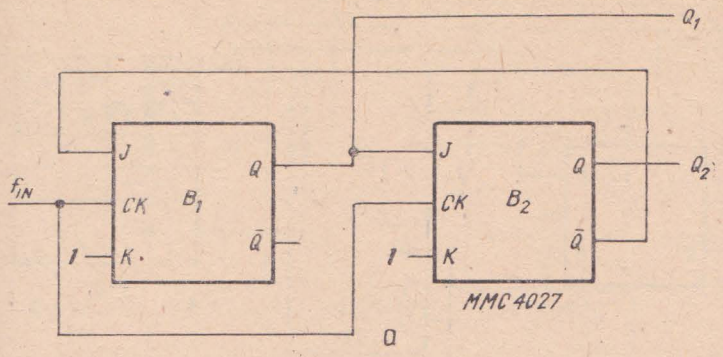


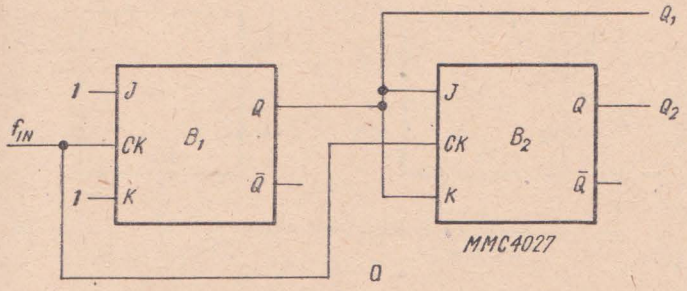
Fig. 12.3. Divizare cu 2 :
a) cu bistabil *D*, conectat ca bistabil *T* ; *b*) cu bistabil *JK*.



Stare	Q_1	Q_2
1	0	0
2	1	0
3	0	1

b

Fig. 12.4. Divizor sincron cu 3 :
a) schema ; *b*) tabela de funcționare.



Stare	Q_2	Q_1
1	0	0
2	0	1
3	1	0
4	1	1

b

Fig. 12.5. Divizor sincron cu 4 :
a) schema ; *b*) tabela de funcționare.

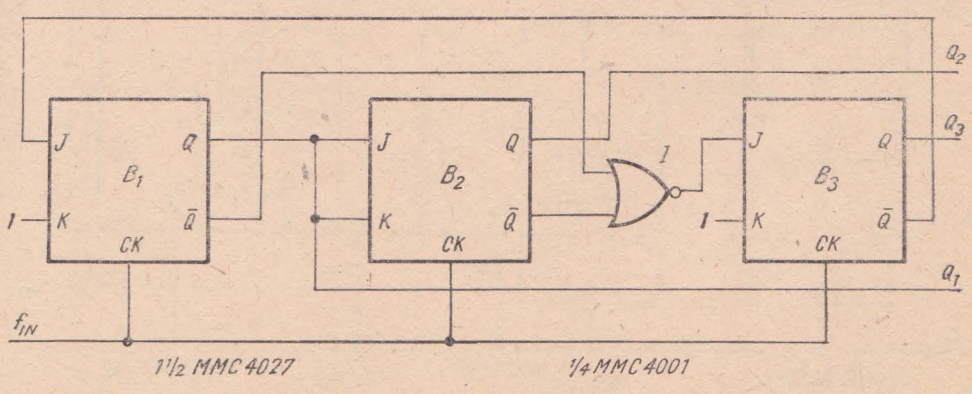
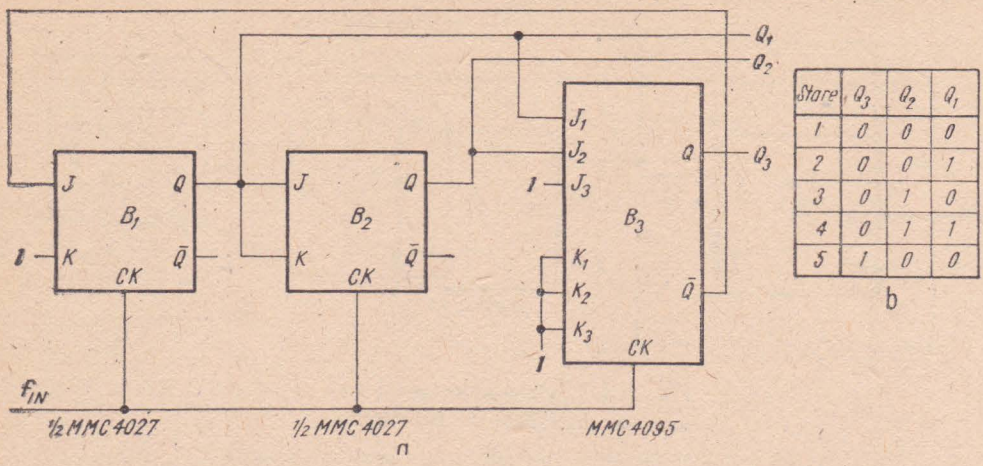


Fig. 12.6. Divizor sincron cu 5, cu MMC 4027 și poartă SAU-NU (NOR).



Stare	Q_3	Q_2	Q_1
1	0	0	0
2	0	0	1
3	0	1	0
4	0	1	1
5	1	0	0

b

Fig. 12.7. Divizor sincron cu 5, cu MMC 4095 și MMC 4027 ;
a) schema ; b) tabela de funcționare.

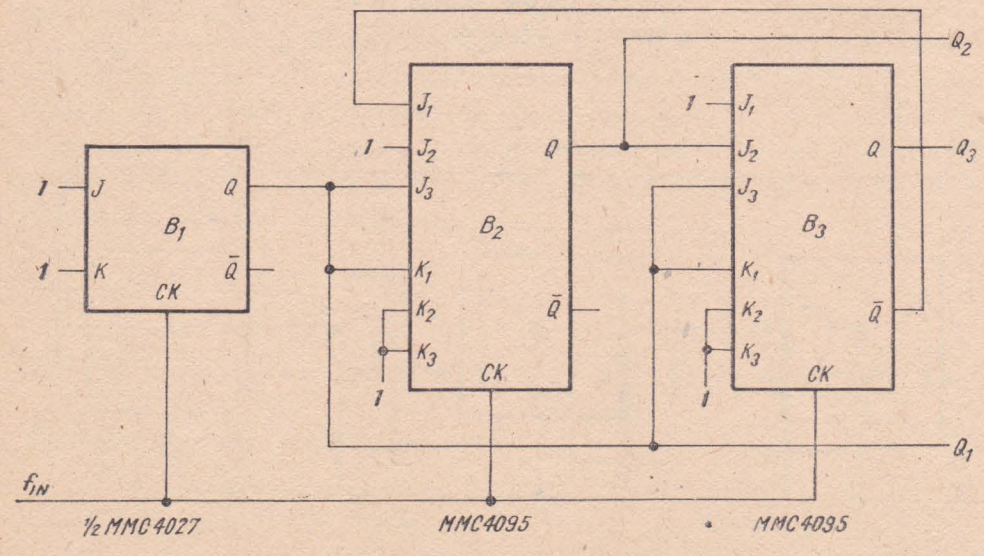


Fig. 12.8. Divizor sincron cu 6.

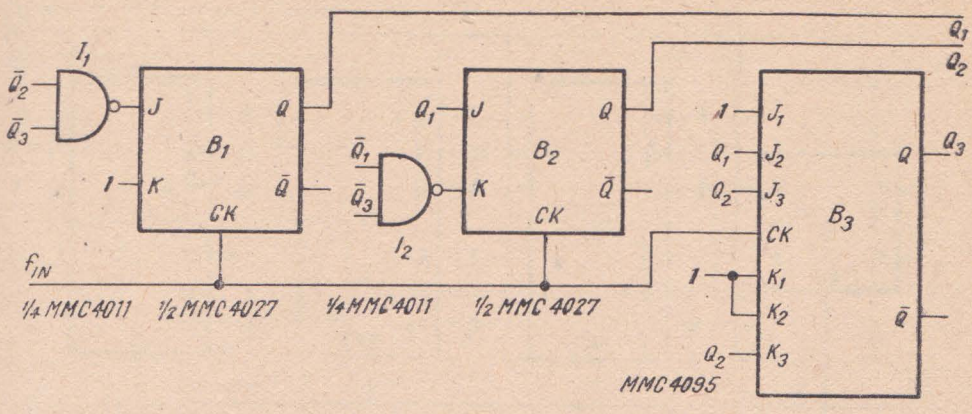


Fig. 12.9. Divizor sincron cu 7.

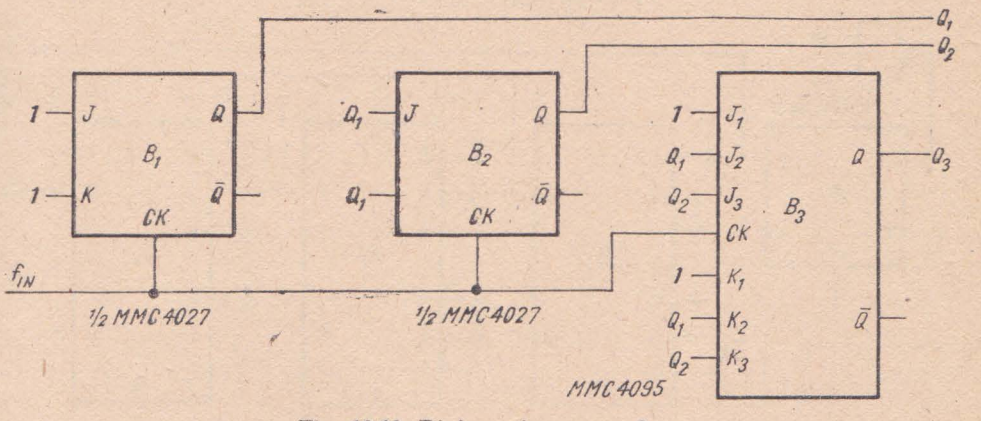


Fig. 12.10. Divizor sincron cu 8.

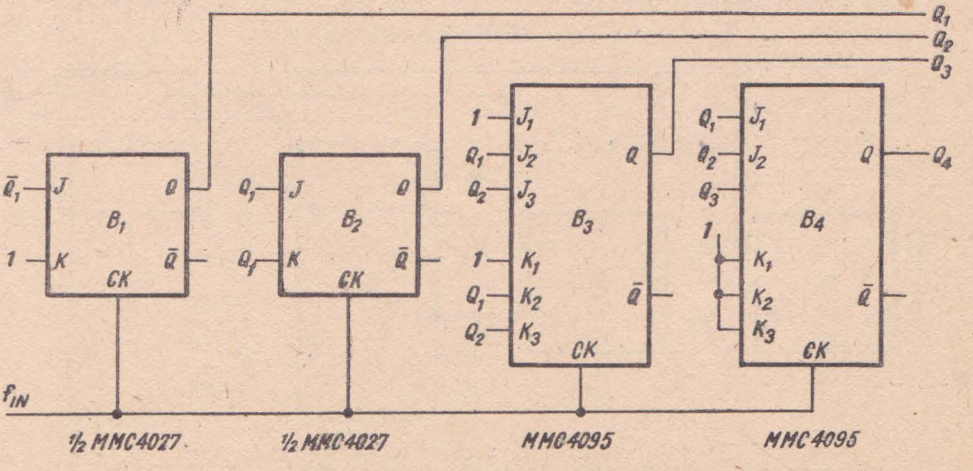


Fig. 12.11. Divizor sincron cu 9.

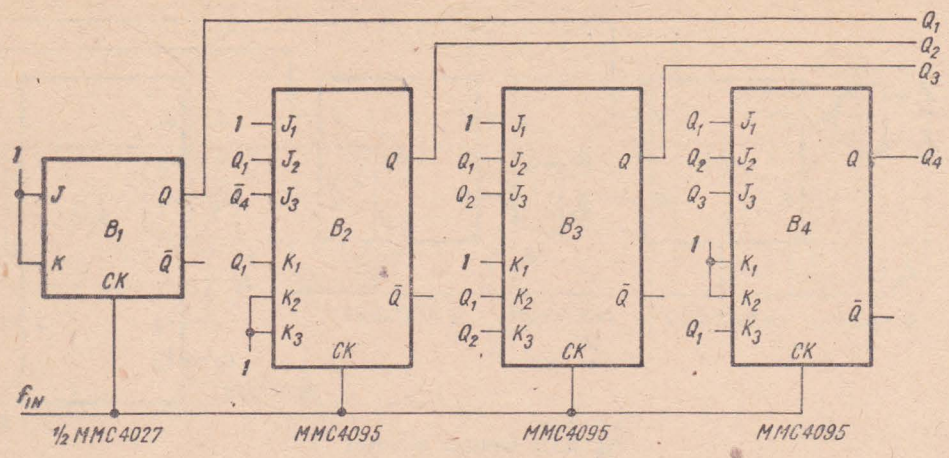


Fig. 12.12. Divizor sincron cu 10.

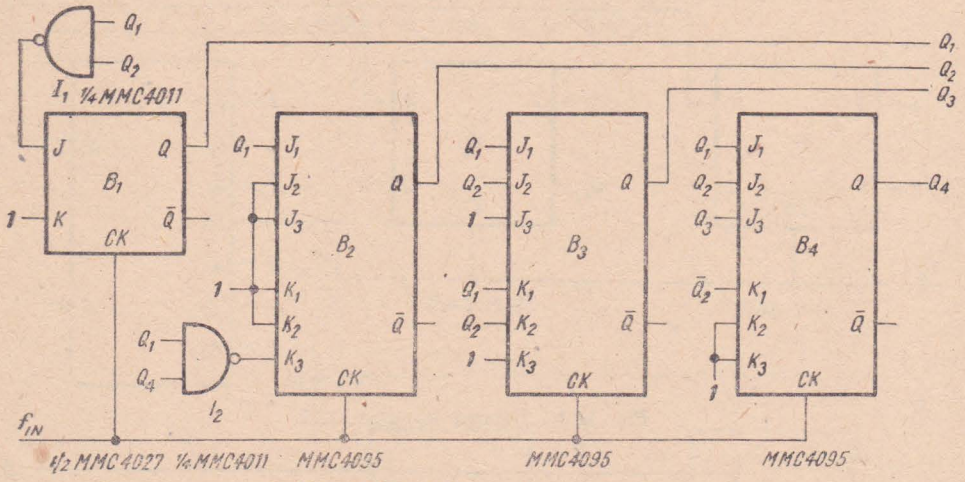


Fig. 12.13. Divizor sincron cu 11.

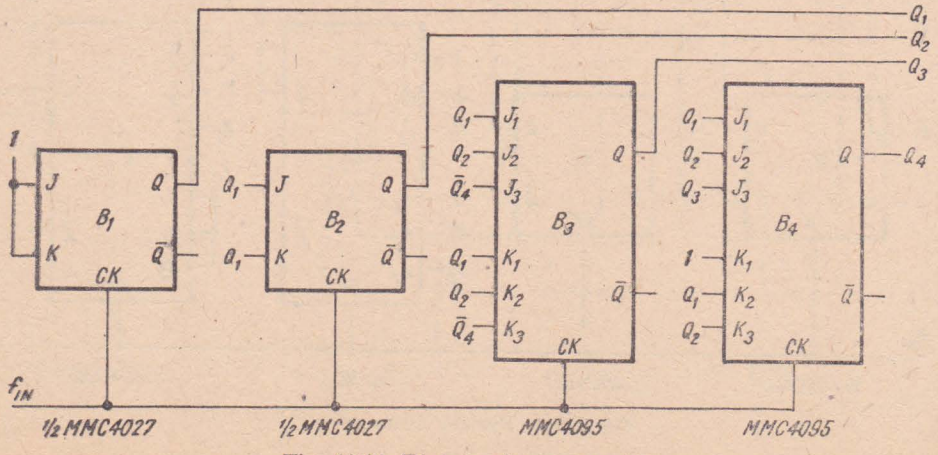


Fig. 12.14. Divizor sincron cu 12.

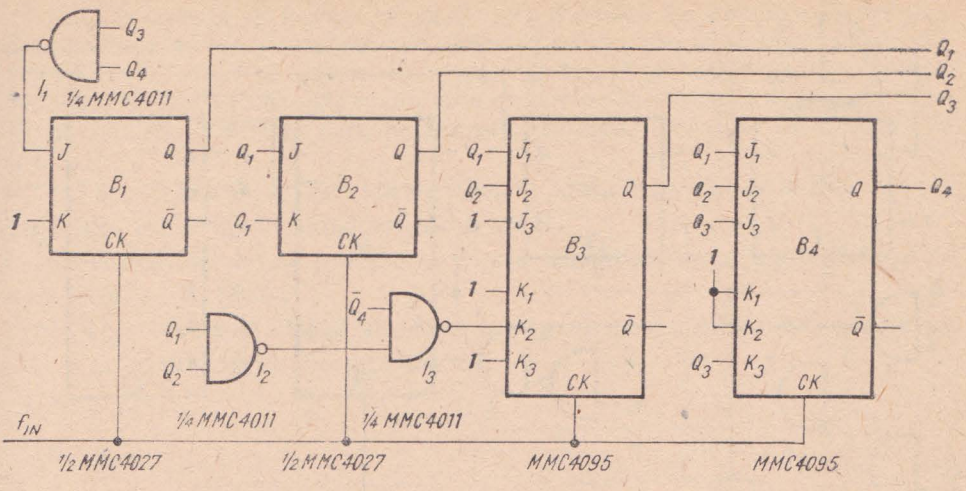


Fig. 12.15. Divizor sincron cu 13.

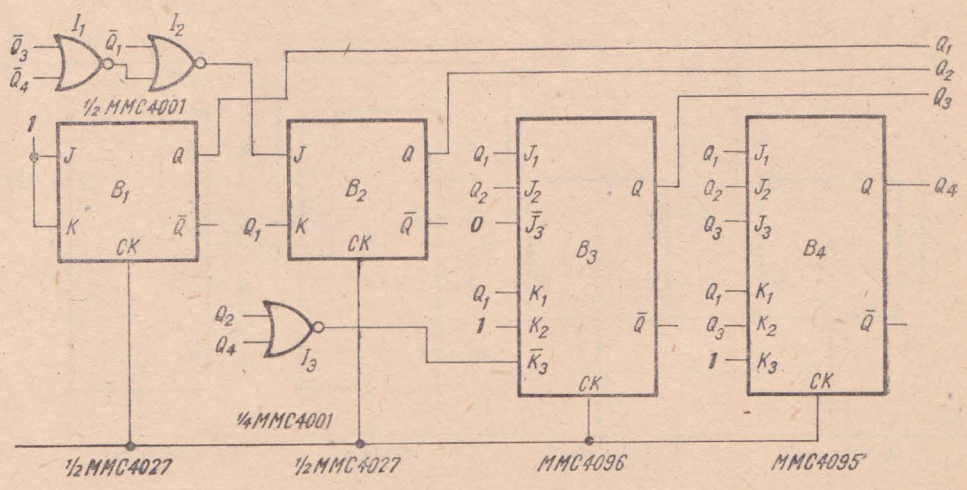


Fig. 12.16. Divizor sincron cu 14.

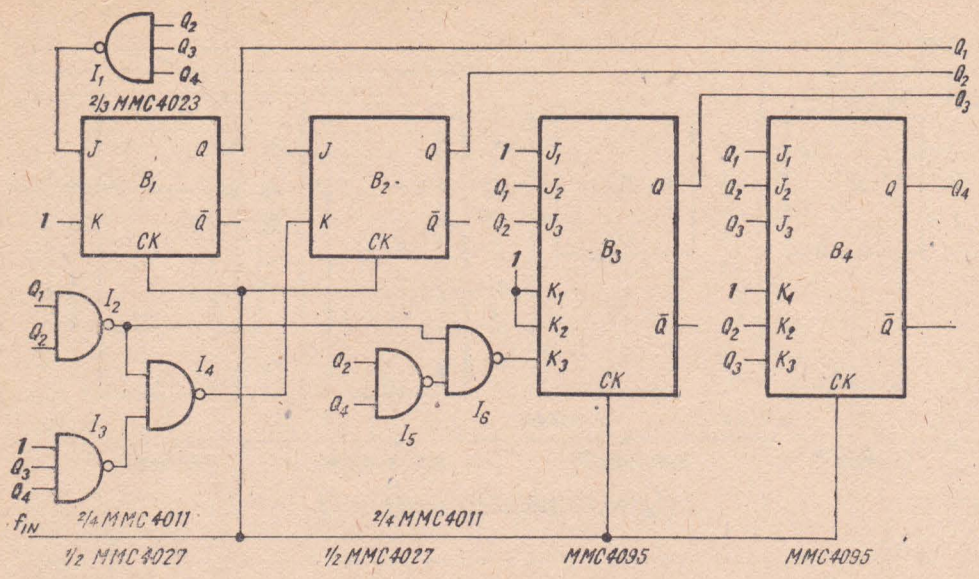


Fig. 12.17. Divizor sincron cu 15.

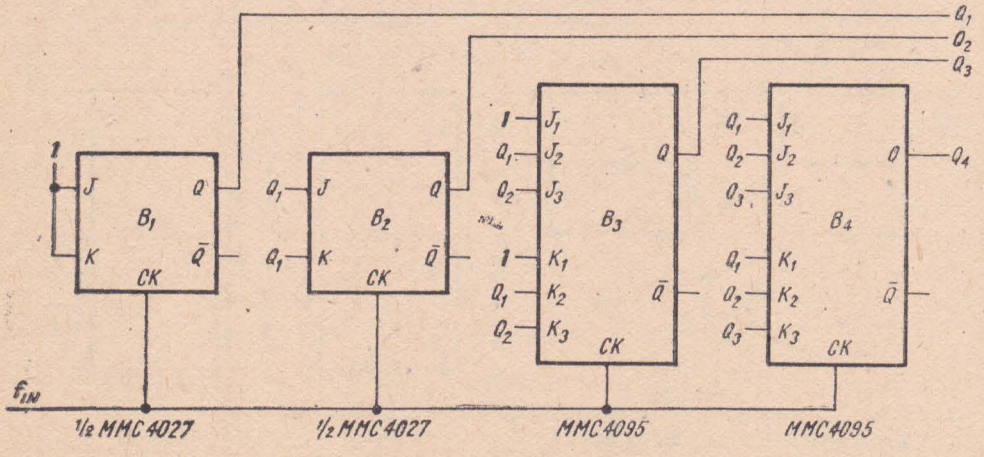


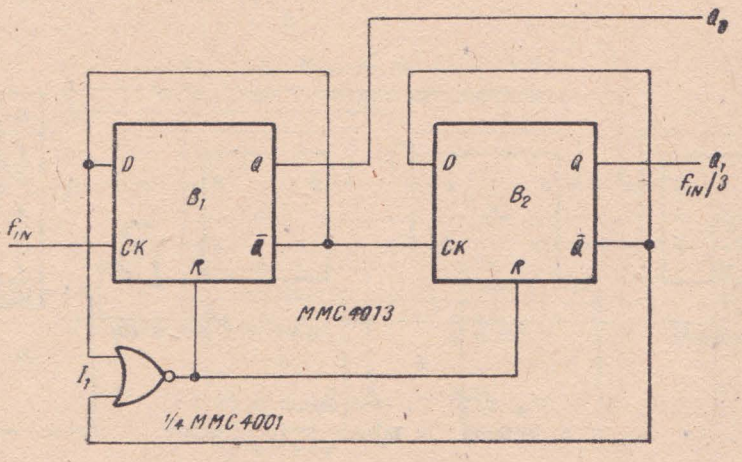
Fig. 12.18. Divizor sincron cu 16.

Dacă frecvența de lucru o permite, se pot utiliza în schemele de divizare și numărătoare înainte asincrone. Acestea sînt compuse, în general, din bistabili T („D-uri" cu ieșirea inversoare $\bar{Q}$ legată la intrarea D) conectați în cascadă și, acolo unde este cazul, cu o reacție printr-o poartă (în cazul nostru de tip SAU-NU (NOR)), care acționează intrarea asincronă de aducere la zero.

Un numărător cu m bistabili va număra în mod normal de la 0 la $m - 1$, avînd deci un ciclu de numărare de m stări.

Scurtarea ciclului se poate obține prin decodificarea lungimii ciclului cu poarta SAU-NU (NOR).

În figurile 12.19÷12.26 sînt prezentate divizoare asincrone cu numere de la 3 la 9, precum și divizorul cu 16.



a

Starea	Q_1	Q_0
1	0	0
2	0	1
3	1	0
4	1	1

b

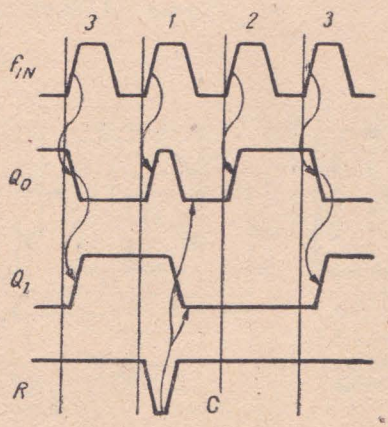
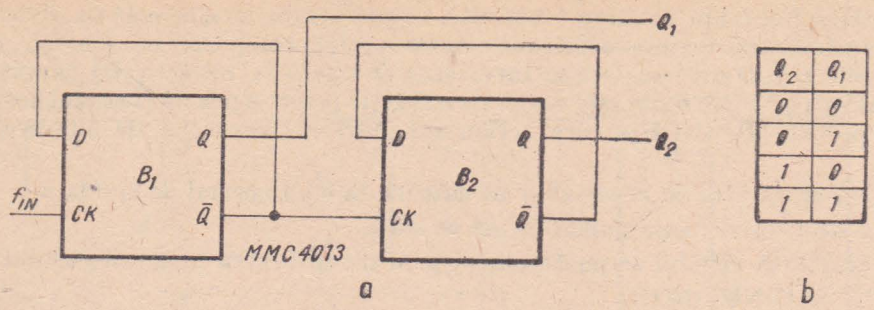
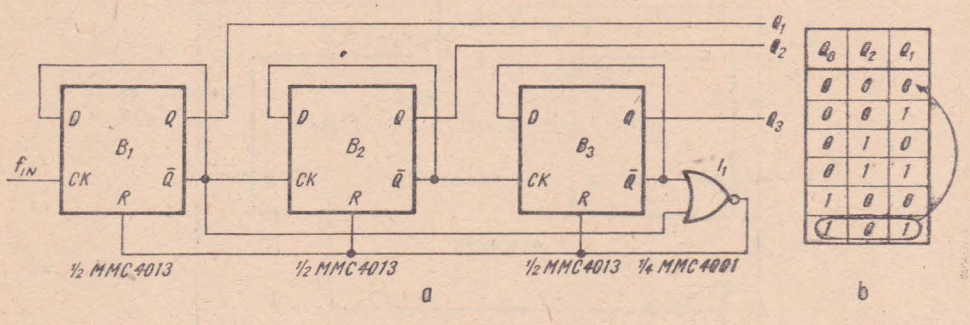


Fig. 12.19. Divizor asincron cu 3 :
a) schema ; b) tabela de funcționare ; c) forme de undă.



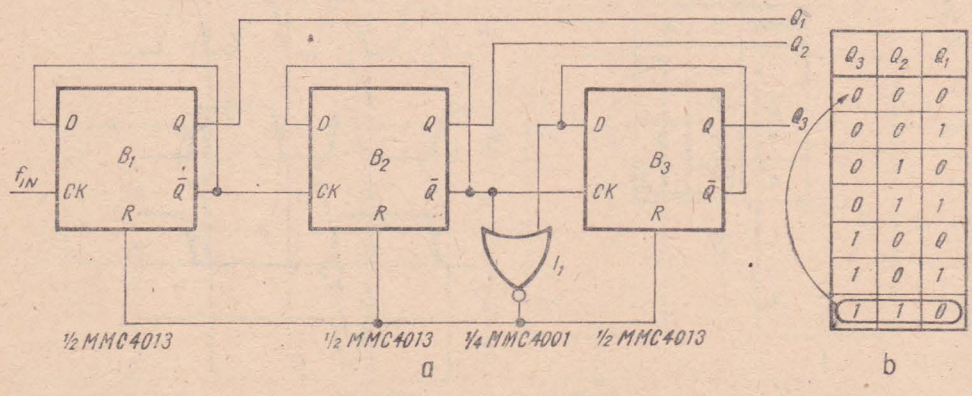
Q_2	Q_1
0	0
0	1
1	0
1	1

Fig. 12.20. Divizor asincron cu 4 :
a) schema ; *b*) tabela de funcționare.



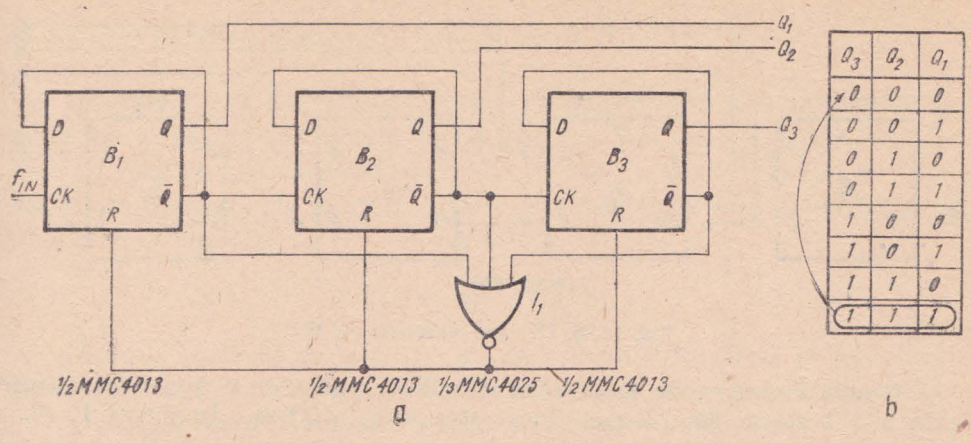
Q_3	Q_2	Q_1
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1

Fig. 12.21. Divizor asincron cu 5 :
a) schema ; *b*) tabela de funcționare.



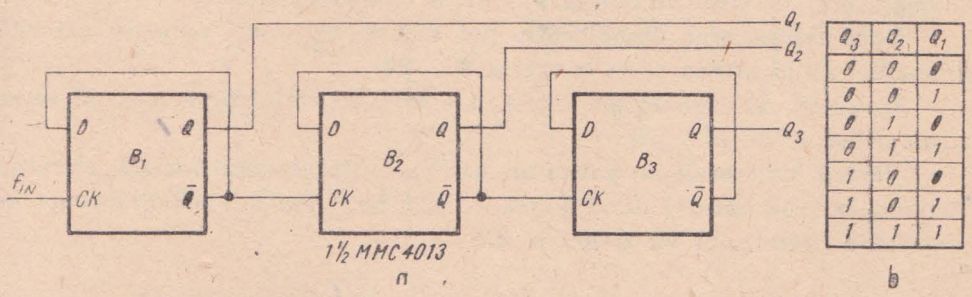
Q_3	Q_2	Q_1
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0

Fig. 12.22. Divizor asincron cu 6 :
a) schema ; *b*) tabela de funcționare.



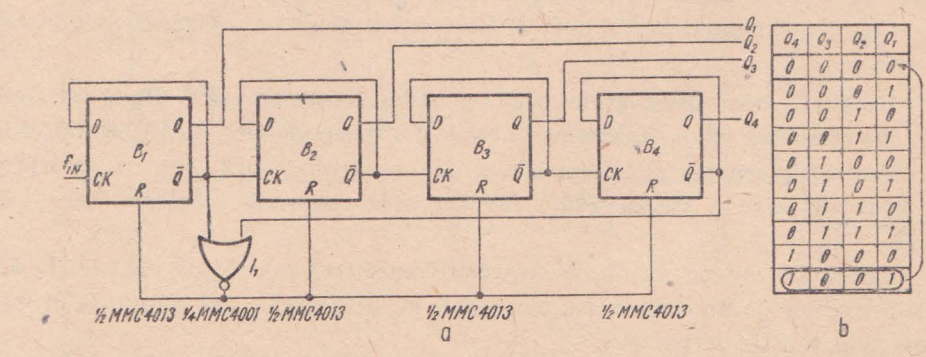
Q_3	Q_2	Q_1
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

Fig. 12.23. Divizor asincron cu 7 :
a) schema ; b) tabela de funcționare.



Q_3	Q_2	Q_1
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	1

Fig. 12.24. Divizor asincron cu 8 :
a) schema ; b) tabela de funcționare.



Q_4	Q_3	Q_2	Q_1
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1

Fig. 12.25. Divizor asincron cu 9 :
a) schema ; b) tabela de funcționare.

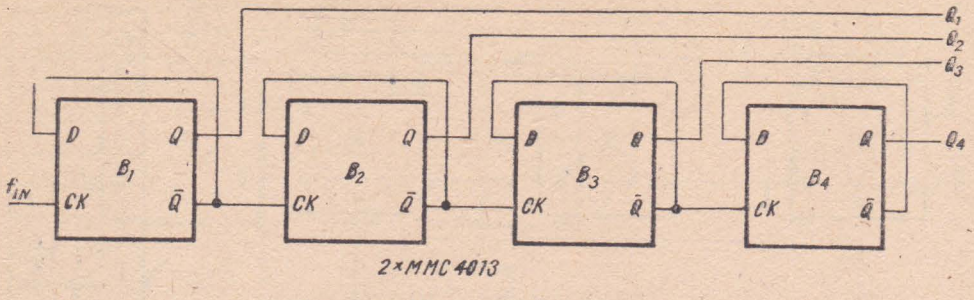


Fig. 12.26. Divizor asincron cu 16 :

Pentru divizarea cu numărul n, circuitul numără de la 0 la n, deci trece prin $n + 1$ stări, dar ultima din acestea este instabilă. În figura 12.19, *c* se pot vedea formele de undă pentru un divizor asincron cu 3. În momentul în care circuitul trece în starea n, ieșirea porții SAU-NU (NOR) devine activă, determinînd resetarea bistabililor. Pe intrările porții avînd numai **0**, ieșirea trece în **1**, dezactivînd aducerea la zero. La următorul impuls de ceas, numărătorul va trece în starea **0...01**, și așa mai departe.

Dacă ieșirile sînt decodificate, pot apărea impulsuri parazite datorită tranziției de la ultima stare la starea **0...00**.

În acest caz trebuie prevăzută o poartă de validare pentru blocarea tranzițiilor false pe ieșiri.

Pentru divizoarele cu puteri ale lui 2 nu este necesară reacția, circuitul trecînd în mod natural de la starea **1...11** în starea **0...00**. Frecvența de intrare a divizorului va trebui să fie

$$f < 1/[nt_{pE} + (t_{pp} + t_H)]$$

unde t_{pE} este timpul de propagare de la intrarea de ceas la ieșirea $\bar{Q}$ a bistabilului,

t_{pp} — timpul de propagare prin poartă,

t_H — timpul cît trebuie să fie activ semnalul pe intrarea de aducere la zero.

Evident pentru divizoarele cu 2^m termenul din paranteza rotundă este nul.

De remarcat că în reacție se pot folosi și porți de tip SI (AND), folosind corespunzător ieșirile complementare. De exemplu, dacă pentru divizorul cu 9 se detectează starea **1001**, funcția care comandă resetarea este $f = \overline{\bar{Q}_1 + \bar{Q}_4} = Q_1 \cdot Q_4$.

Adoptarea uneia sau alteia dintre variante trebuie să țină cont de încărcările ieșirilor de pe care se iau semnalele și, bineînțeles, de timpii de propagare prin porțile respective.

Atragem încă odată atenția că oricare intrare de *SET* sau *RESET* nefolosită se conectează la V_{SS}!

12.1.2. **Divizoare cu semnal de ieșire cu factor de umplere 1/2.**

În general, semnalul divizat obținut la ieșirile circuitelor prezentate anterior are un factor de umplere diferit de 50%. Sînt unele aplicații care pretind o formă de undă simetrică la ieșire. O soluție neeconomică și nu întotdeauna posibil de aplicat ar fi dublarea frecvenței de intrare, divizarea sa cu n și apoi divizarea sa cu 2 cu un bistabil T, deci

$$f_{OUT} = [(2 \times f_{IN})/n]/2$$

În unele cazuri se poate obține o formă de undă simetrică în mod direct. În figurile 12.27 și 12.28 sînt prezentate un divizor asincron cu 3 și, respectiv unul cu 5, care oferă un semnal de ieșire cu factor de umplere de 50%.

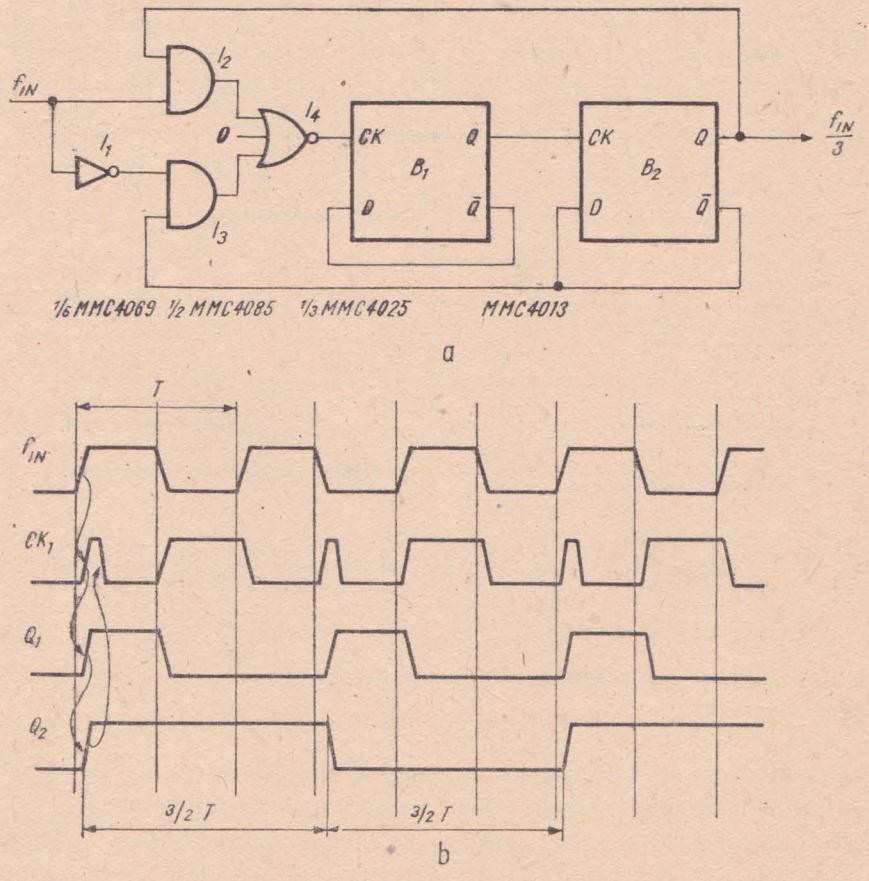


Fig. 12.27. Divizor asincron cu 3, cu semnal de ieșire cu factor de umplere 1/2 :
a) schema ; *b*) forme de undă.

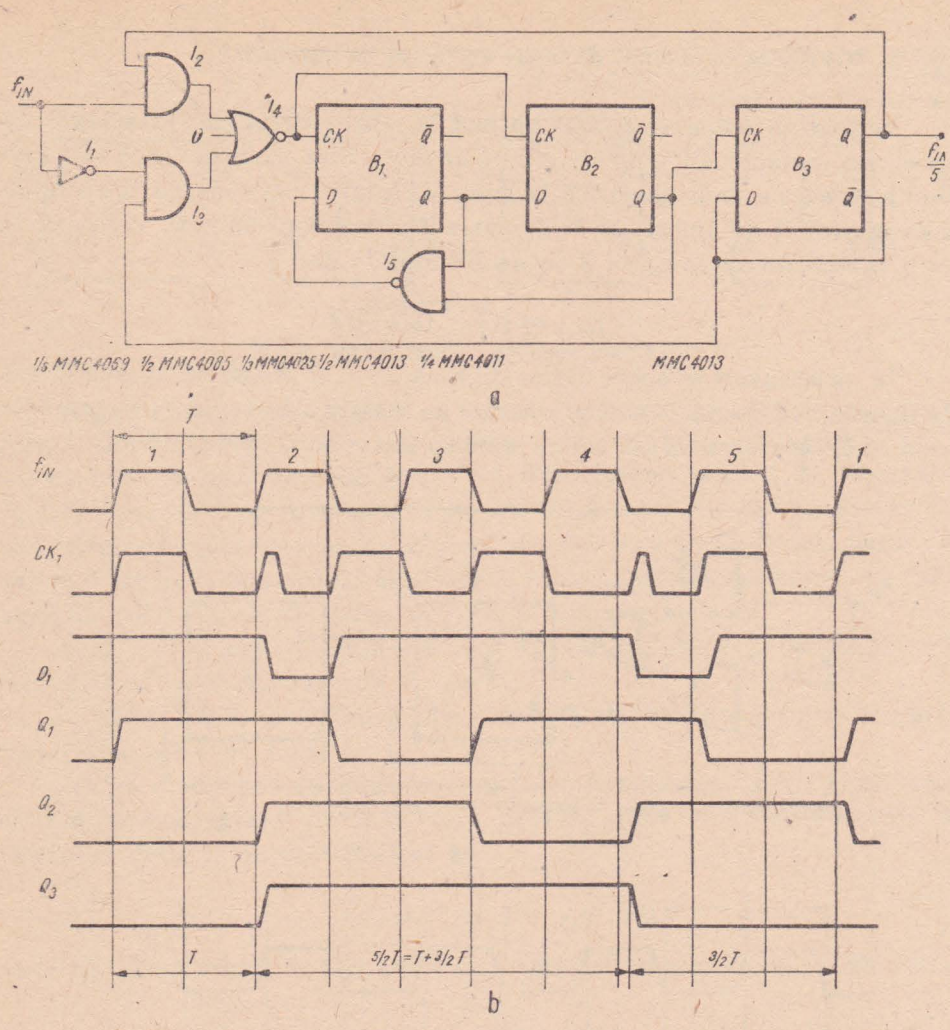


Fig. 12.28. Divizor asincron cu 5, cu semnal de ieșire cu factor de umplere 1/2.

12.1.3. **Divizoare cu semnale de ieșire defazate [4]**

Un alt gen de circuite care funcționează ca divizoare sînt cele care furnizează semnale dreptunghiulare cu un anumit defazaj între ele.

În figura 12.29 se poate vedea un circuit ale cărui semnale de ieșire sînt în cuadratură, cu o frecvență de 4 ori mai mică decît a semnalului de intrare. În figura 12.30 este prezentat un circuit care dă 4 semnale defazate cu cîte 45° și de frecvență de 8 ori mai mică decît frecvența de intrare.

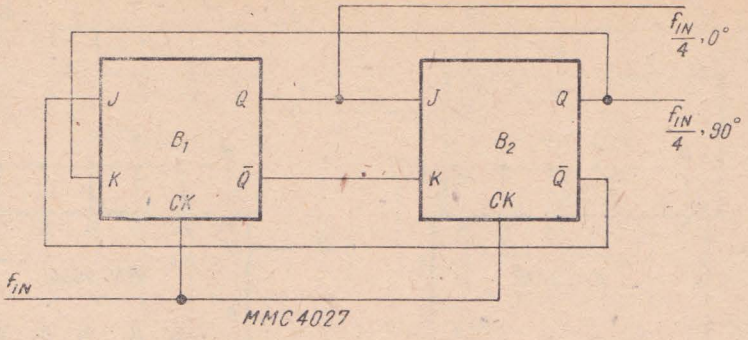


Fig. 12.29. Divizor sincron cu 4, cu ieșiri în cuadratură.

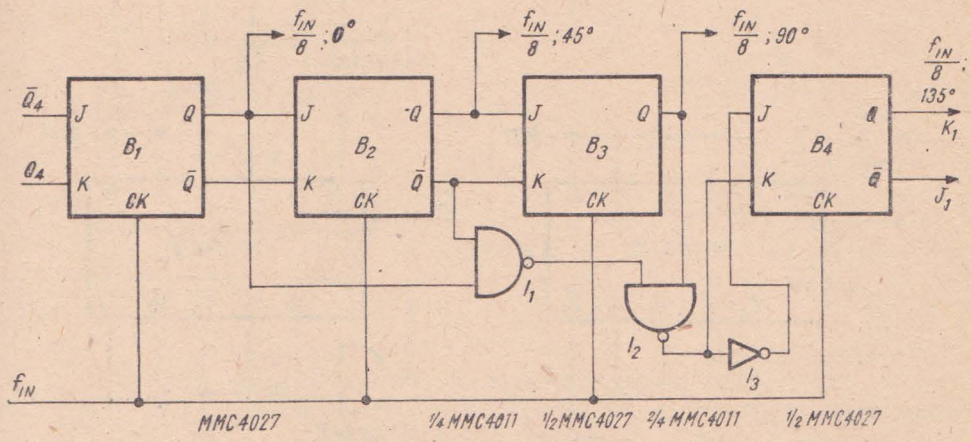


Fig. 12.30. Divizor sincron cu 8, cu ieșiri defazate cu 45°.

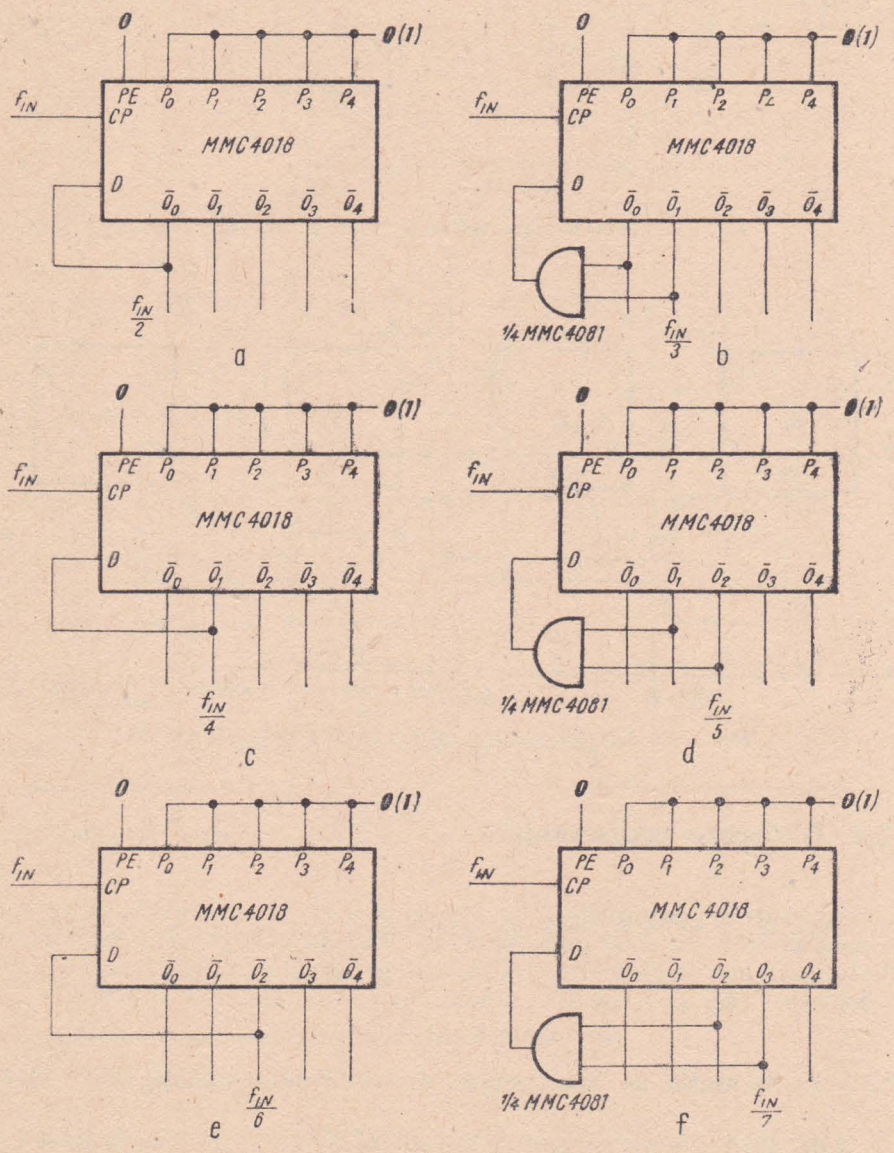
12.2. Divizoare programabile

Divizoarele programabile de frecvență sînt circuite utilizate în special în sintetizoarele de frecvență (vezi cap. 14). În cele ce urmează se descriu diferite variante de divizoare, realizate în principal cu numărătoare și registre de deplasare (dar și — pentru numere mici — cu bistabile și porți).

12.2.1. Configurația de bază pentru divizorul programabil MMC 4018 [1]

MMC 4018 este un numărător presetabil divizor prin numere între 2 și 10. Pentru numere pare nu sînt necesare circuite externe.

Pentru divizarea cu numere impare se mai folosește o poartă SI (AND) cu 2 intrări (1/4 MMC 4081). În figurile 12.31, $a \div 12.31$, j sînt prezentate configurațiile respective.


0
0(1)
f_{IN}
PE
CP
P_0 P_1 P_2 P_3 P_4
MMC4018
D
$\bar{O}_0$ $\bar{O}_1$ $\bar{O}_2$ $\bar{O}_3$ $\bar{O}_4$
$\frac{f_{IN}}{2}$
a
1/4 MMC4081
$\frac{f_{IN}}{3}$
b
$\frac{f_{IN}}{4}$
c
$\frac{f_{IN}}{5}$
d
$\frac{f_{IN}}{6}$
e
O_3 O_4
$\frac{f_{IN}}{7}$
f

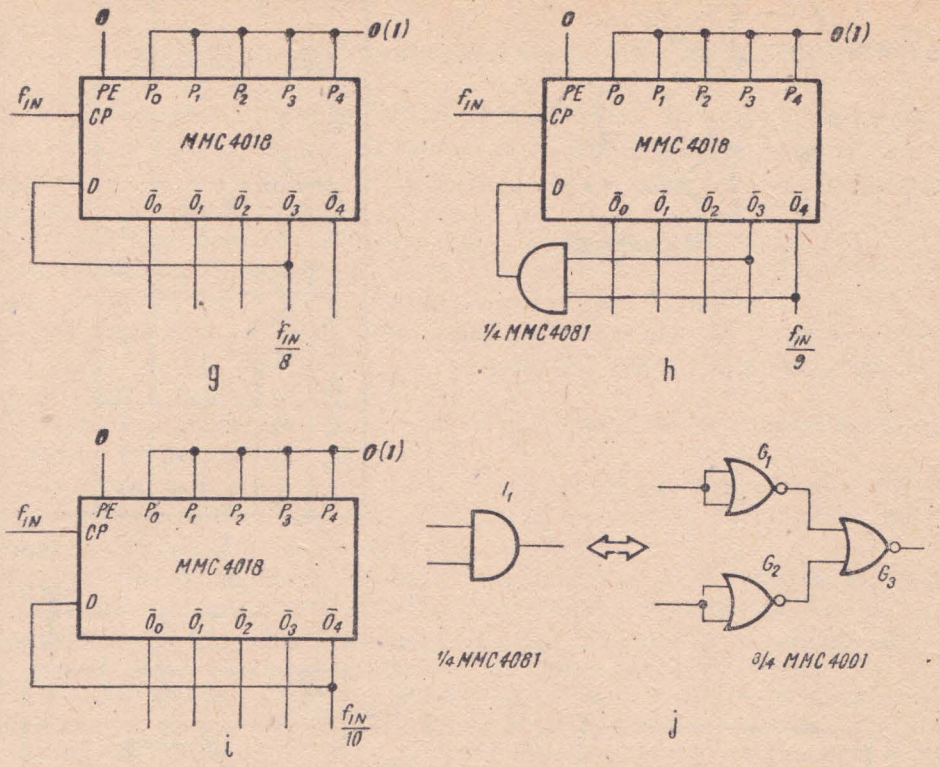


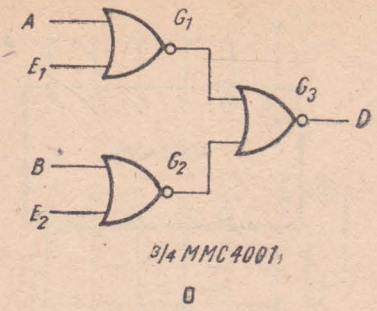
Fig. 12.31. Conectarea circuitului MMC 4018 pentru divizarea cu : *a*) 2 ; *b*) 3 ; *c*) 4 ; *d*) 5 ; *e*) 6 ; *f*) 7 ; *g*) 8 ; *h*) 9 ; *i*) 10 ; *j*) circuit echivalent pentru poarta SI (AND) din reacție.

12.2.2. **Divizarea printr-unul din doi factori**

În figura 12.32, *a* este prezentat un circuit care permite alegerea, cu un singur semnal, a unuia din doi factori de divizare. Ieșirea circuitului se leagă la intrarea *D* a numărătorului MMC 4018, intrările *A* și *B* se leagă la două din ieșirile numărătorului, iar intrările E_1 și E_2 comandă numărul prin care se face divizarea (vezi tabelul din fig. 12.32, *b*). Posibilități de conectare sînt următoarele : *a*) o intrare *E* se leagă la **0**, cealaltă fiind fie în **0**, fie în **1** (se face alegerea între doi factori consecutivi) ; *b*) la o intrare se conectează semnalul de comandă neinversat, iar la cealaltă inversat (se alege între doi divizori pari consecutivi).

Pentru cazul *b*), în figura 12.32, *c* se prezintă un circuit care divizează prin 4 sau 6, după cum intrarea *E* este **1** sau **0**.

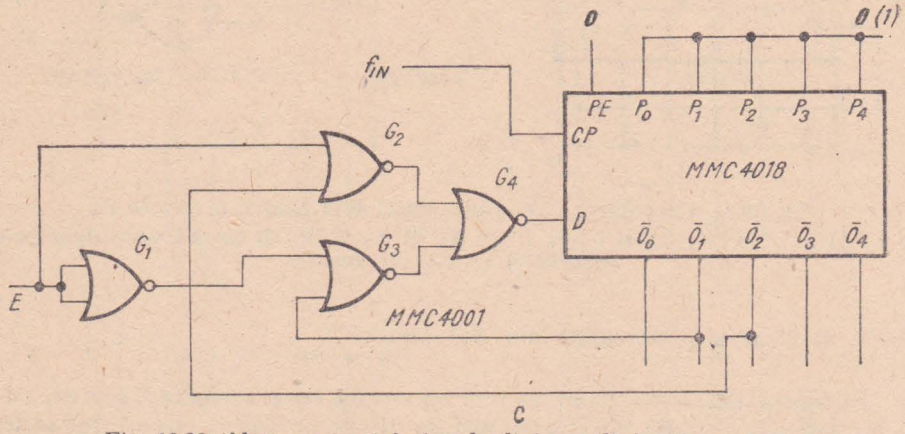
Amîndouă semnalele E_1 și E_2 în starea **1** împiedică funcționarea corectă ca divizor a circuitului. În figura 12.33, *a* este prezentată o altă schemă, care permite alegerea între doi divizori impari consecutivi, conform tabelei din figura 12.33, *b*.



a

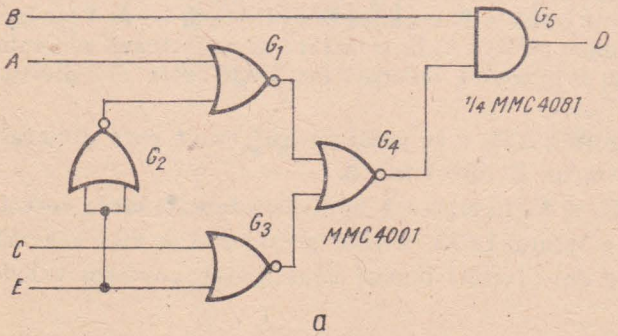
A	B	E_1	E_2	n
$\bar{O}_0$	$\bar{O}_1$	0	0	3
$\bar{O}_0$	$\bar{O}_1$	0	1	2
$\bar{O}_0$	$\bar{O}_1$	1	0	4
$\bar{O}_1$	$\bar{O}_2$	0	0	5
$\bar{O}_1$	$\bar{O}_2$	0	1	4
$\bar{O}_1$	$\bar{O}_2$	1	0	6
$\bar{O}_2$	$\bar{O}_3$	0	0	7
$\bar{O}_2$	$\bar{O}_3$	0	1	6
$\bar{O}_2$	$\bar{O}_3$	1	0	8
$\bar{O}_3$	$\bar{O}_4$	0	0	9
$\bar{O}_3$	$\bar{O}_4$	0	1	8
$\bar{O}_3$	$\bar{O}_4$	1	0	10

b



c

Fig. 12.32. Alegerea unui factor de divizare dintre 3 numere :
a) schema circuitului din reacție ; b) tabela de conectare ; c) divizor cu 4 (E=**1**) sau cu 6 (E= **0**).



a

A	B	C	E	n
$\bar{O}_0$	$\bar{O}_1$	$\bar{O}_2$	0	5
$\bar{O}_0$	$\bar{O}_1$	$\bar{O}_2$	1	3
$\bar{O}_1$	$\bar{O}_2$	$\bar{O}_3$	0	7
$\bar{O}_1$	$\bar{O}_2$	$\bar{O}_3$	1	5
$\bar{O}_2$	$\bar{O}_3$	$\bar{O}_4$	0	9
$\bar{O}_2$	$\bar{O}_3$	$\bar{O}_4$	1	7

b

Fig. 12.33. Alegerea între doi factori de divizare impari consecutivi :
a) schema circuitului din reacție ; b) tabela de conectare.

12.2.3. **Divizoare programabile cu numărătoarele MMC 40192/MMC 40193 [2]**

Cu circuitele MMC 40192/40193 se pot realiza divizoare programabile fără circuite externe, conectînd ieșirea de împrumut $\overline{BR}$ la intrarea de comandă a încărcării paralele $\overline{PE}$ și introducînd semnalul de dvizat pe intrarea de numărare inversă CD (fig. 12.34).

Numărul n cu care se divizează ($n_{max} = 9$ pentru MMC 40192, $n_{max} = 15$ pentru MMC 40193) se aplică pe intrările de presetare. Pentru divizarea cu 10, respectiv cu 16 nu se mai conectează ieșirea $\overline{BR}$ la intrarea $\overline{PE}$.

Circuitul numără înapoi pînă ajunge în starea zero. Pe palierul inferior al ceasului, ieșirea $\overline{BR}$ trece în starea **JOS**, comandînd încărcarea paralelă cu numărul n prezent la intrările $J_1 \div J_4$.

Odată cu următorul front pozitiv al ceasului se reia operațiunea de numărare înapoi.

Numărul n este diferit de zero — care determină trecerea ieșirii $\overline{BR}$ în starea **JOS** —, astfel încît după schimbarea a cel puțin unei linii de ieșire, semnalul $\overline{BR}$ trece în starea **SUS** (fig. 12.34, *b*).

Se poate întîmpla ca bistabilii numărătorului să se încarce în timpi diferiți și comutarea foarte rapidă a unuia dintre ei să determine ridicarea semnalului $\overline{BR}$ (respectiv $\overline{PE}$) înainte ca toți bistabilii să își schimbe starea în conformitate cu nivelul intrărilor de programare respective [5], [6]. Pentru a se înlătura acest posibil neajuns se poate prevedea schema cu un latch care să mențină activ semnalul de încărcare pînă la apariția viitorului front pozitiv al ceasului. În figura 12.35 este prezentată o extensie la 8 biți (sau 2 cifre zecimale — pentru MMC 40192), la care s-a introdus circuitul anterior menționat.

12.2.4. **Divizoare de frecvență cu un număr compus [1], [3]**

Pentru a diviza frecvența semnalului de intrare cu un număr neprim $n = k \times l$ se pot cascada două divizoare, unul cu numărul k și altul cu numărul l (fig. 12.36, *a*).

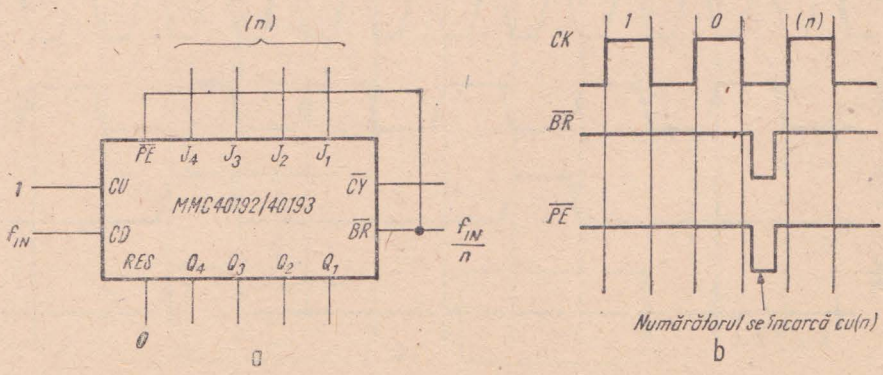


Fig. 12.34. Divizor programabil cu MMC 40192/MMC 40193.

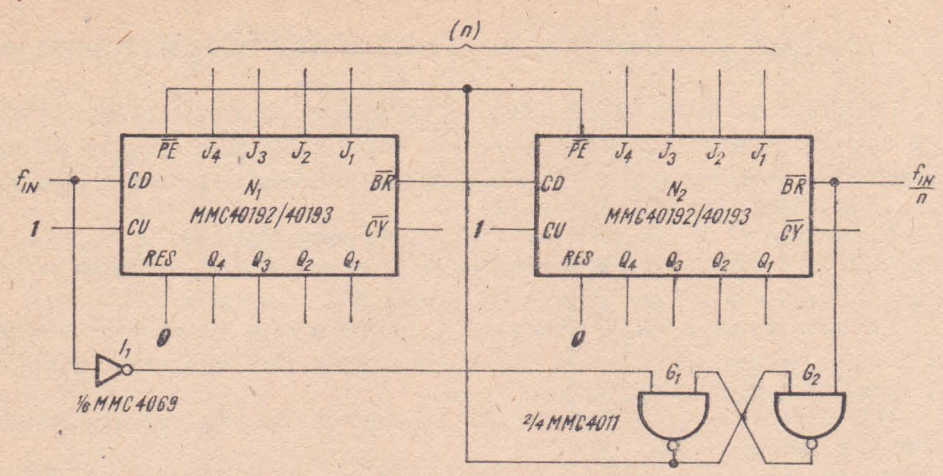


Fig. 12.35. Divizor programabil cu MMC 40192/MMC 40193 cu circuit special de încărcare.

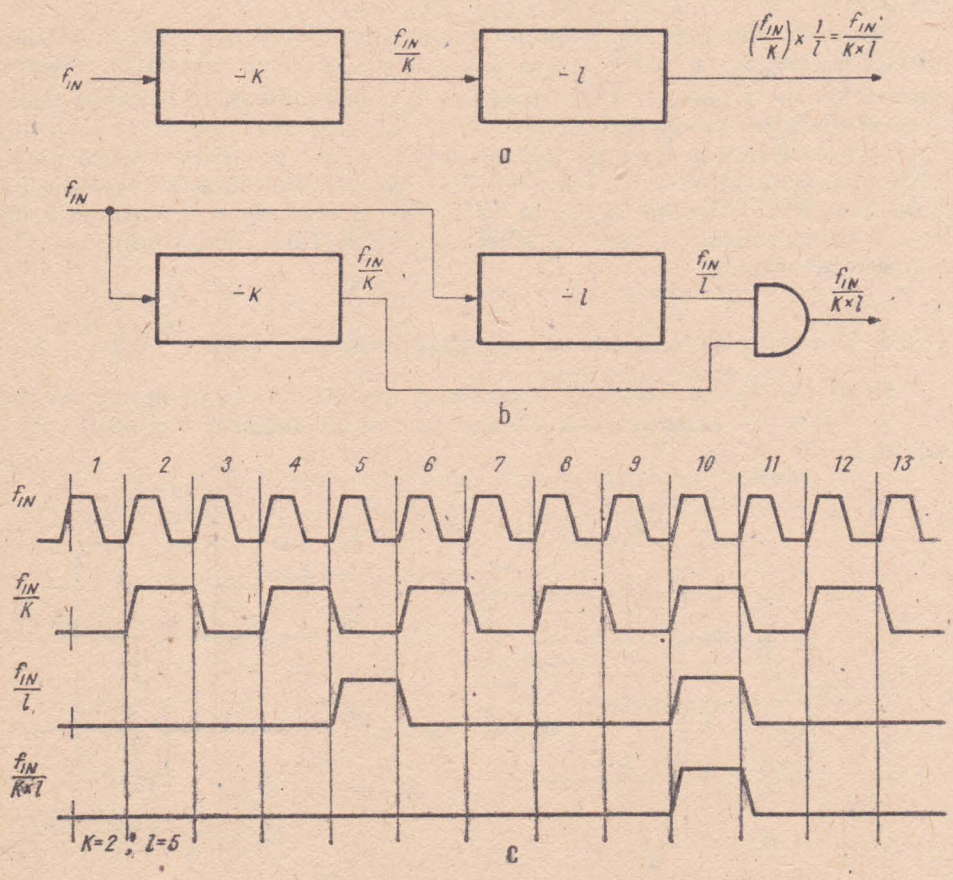


Fig. 12.36. Divizoare cu un produs de 2 numere :
a) cu divizoare în cascadă ; b) cu divizoare în paralel ; c) forme de undă pentru divizarea cu 10=2·5.

Dacă nu ne interesează frecvența de numărare, pentru factori mari de divizare se mai poate folosi și numărarea în sistemul numerelor prime relative. Dacă factorii k și l sînt primi între ei, la ieșirea porții SI (AND) (fig.12.36,*b*) se obține un semnal divizat cu $n = k \times l$. (Am presupus evident, că ieșirile sînt active în starea SUS — figura 12.36, *c*). Formele de undă ilustrează cazul $k = 2$, $l = 5$, deci divizorul cu 10.

12.2.5. **Divizoare de frecvență cu o sumă de două numere**

Pentru a diviza frecvența semnalelor de intrare cu numărul $n = k + l$ se folosesc un divizor programabil și un circuit care să comute succesiv la intrările de programare numerele k și l. În figura 12.37 se poate vedea schema bloc a divizorului cu o sumă de două numere.

Presupunem că la început prin multiplexorul M se aplică la intrările de programare ale divizorului programabil DP numărul k. Circuitul DP divizează cu k, după care comandă, prin intermediul circuitului de comutare CC și al multiplexorului M, aplicarea numărului l la intrările de programare. Se încarcă acest nou număr și circuitul divizează cu l. Se obține astfel la ieșirea circuitului de comandă un semnal cu frecvența $f_{IN}/(k + l)$ și factorul de umplere $k/(k + l)$ sau $l/(k + l)$.

O aplicație directă este prezentată în figura 12.38. Circuitul reprezintă un divizor cu numere între 17 și 32.

Este compus dintr-un număr reversibil MMC 40193 și un circuit basculant bistabil din capsula MMC 4013 conectat ca un bistabil T. Numărătorul este în configurație tipică de divizor programabil. Pentru a diviza cu un anumit număr, se fixează intrările $J_4 \div J_1$ conform tabelei din figura 12.38. Principalele

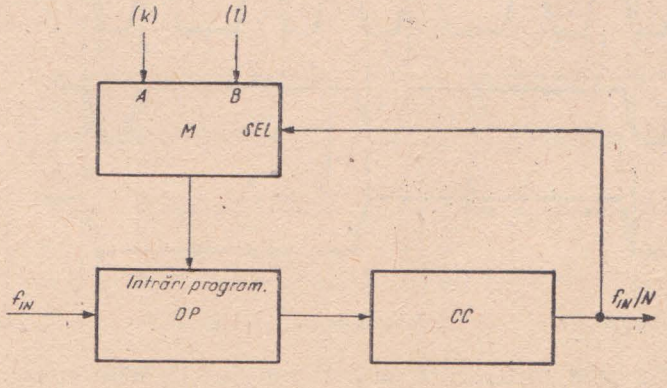
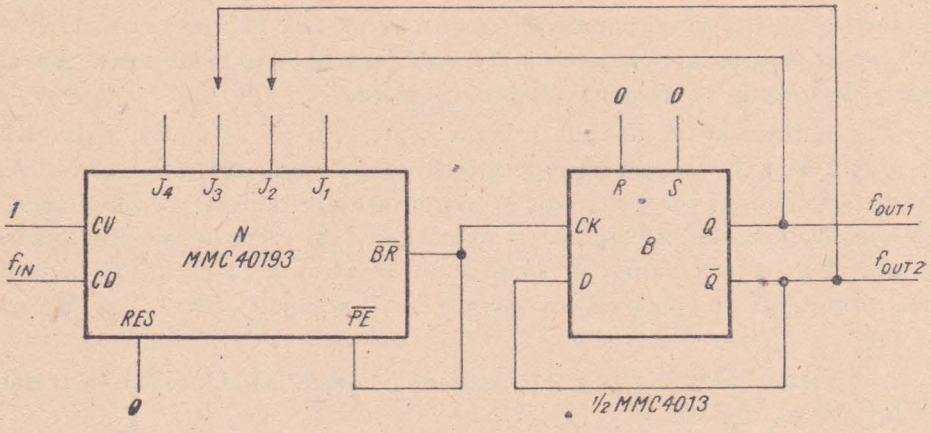


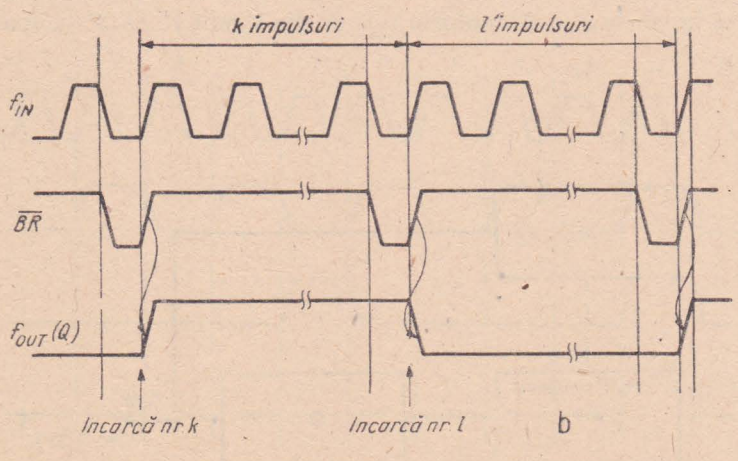
Fig. 12.37. Divizarea cu o sumă de numere.

forme de undă sînt indicate în figura 12.38, *b*. Presupunem că bistabilul este inițial în starea $Q = 1$. Circuitul MMC 40193 numără k impulsuri. La trecerea în starea JOS a ieșirii $\overline{BR}$, numărătorul se încarcă paralel cu numărul l, corespunzător stării $Q = 1$. La următorul impuls de ceas la intrarea CD, ieșirea $\overline{BR}$ trece în starea SUS, determinînd schimbarea stării bistabilului B ($Q \rightarrow 0$); se aduce astfel, din nou numărul k la intrările de presetare ale circuitului MMC 40193.

La ieșirile bistabilului se obțin semnale în antifază de frecvență f_{IN}/n. De remarcat că anumiți factori de divizare se pot obține și din alte combinații de intrări.



a



b

Fig. 12.38. Divizor cu o sumă de 2 numere cu MMC 40193 : *a*) schema ; *b*) forme de undă ;

Raport de divizare	Desc.	J4	J3	J2	J1
17	8+ 9	1	0	0	Q
18	5+13	Q	1	0	1
19	4+15	Q	1	Q	Q
20	6+14	Q	1	1	0
21	10+11	1	0	1	Q
22	7+15	Q	1	1	1
23	8+15	1	Q	Q	Q
24	10+14	1	Q	1	0
25	12+13	1	1	0	Q
26	11+15	1	Q	1	1
27	12+15	1	1	Q	Q
28	13+15	1	1	Q	1
29	14+15	1	1	1	Q
30	15+15	1	1	1	1
31	16+15	Q	Q	Q	Q
32	16+16	0	0	0	0

Q — ieșirea Q a circuitului MMC 4013.

c) tabelă de conectare pentru factori de divizare între 17 și 32.

12.2.6. **Divizoare programabile cu numărătoarele MMC 4510, 4516, 4029** [1]

În figura 12.39 se arată un divizor programabil alcătuit din numărătoare de tip MMC 4510, 4516, 4029 conectate în cascadă (fig. 12.39). Circuitul SAU-NU (NOR) care comandă reîncărcarea factorilor de divizare are atîtea intrări cîte numărătoare se cascadează.

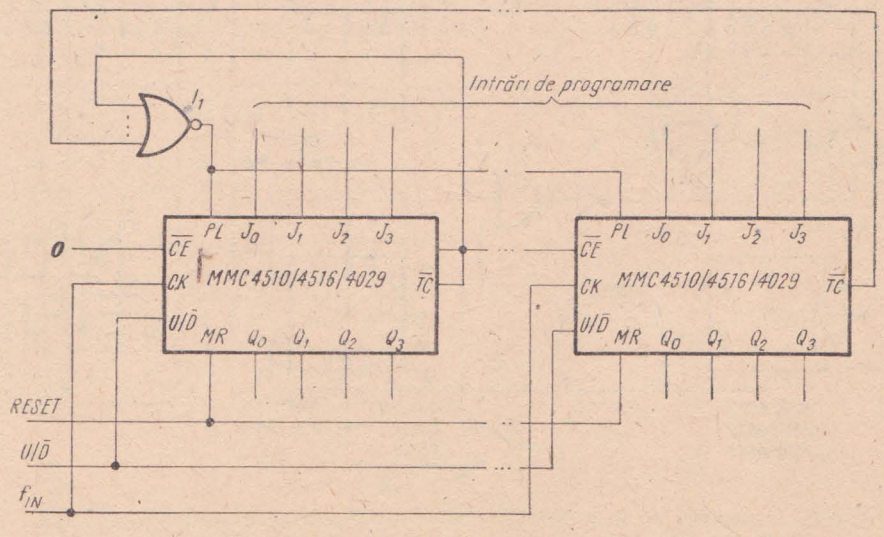


Fig. 12.39. Divizor programabil cu MMC 4510, MMC 4516, MMC 4029.

12.2.7. Circuit pentru generarea unui număr (2 ÷ 999) de impulsuri cu MMC 4017 [7]

Circuitul (fig. 12.40, *a*) nu reprezintă un divizor de frecvență propriu-zis, dar ilustrează modul de conectare a „numărătoarelor" MMC 4017 pentru acest gen de aplicații.

De altfel circuitul poate fi transformat într-un divizor programabil printr-o aducere la zero adecvată.

Bistabilul B_2 funcționează ca un bistabil *SET-RESET*.

Comutatorul K în poziția *RESET* aduce în starea zero bistabilii B_1 și B_2 și numărătoarele $N_1 \div N_3$ (atenție la resetarea circuitelor MMC 4017). Bistabilul B_1 servește la sincronizarea pornirii circuitului (vezi fig. 12.40, *b*).

Din comutatoarele decadice $S_1 \div S_3$ se selectează numărul de impulsuri care trebuie generate. Cînd toate intrările porților G_2 ajung în 1 logic accesul ceasului la „numărătoare" este blocat. Circuitul poate părăsi această stare prin acționarea comutatorului K (în poziția *RESET*).

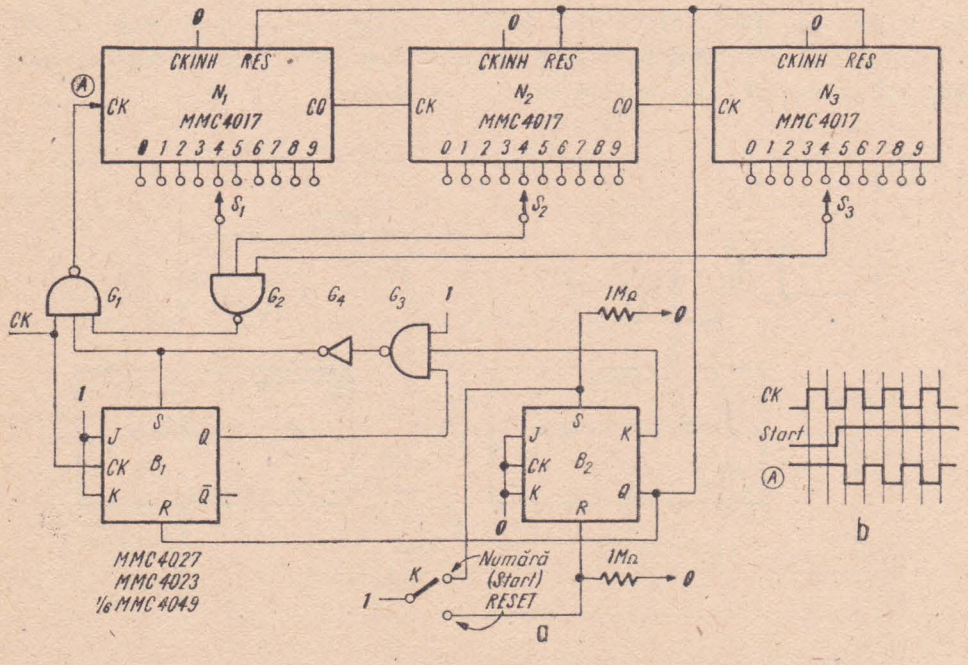
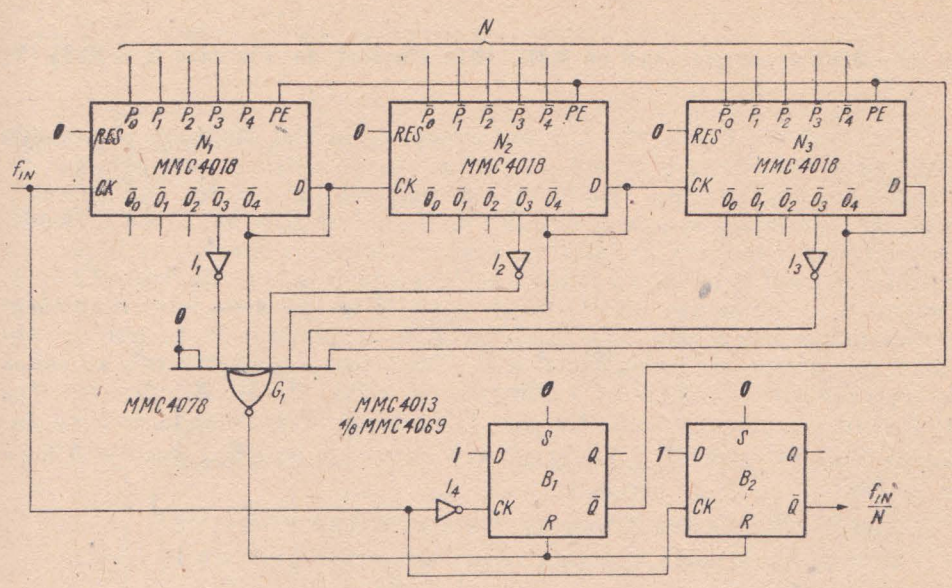


Fig. 12.40. Circuit pentru generarea unui număr (2 ... 999) de impulsuri : *a*) schema ; *b*) forme de undă.



M	NR	$\bar{O}_0$	$\bar{O}_1$	$\bar{O}_2$	$\bar{O}_3$	$\bar{O}_4$	
9	0	1	1	1	1	1	
8	1	0	1	1	1	1	
7	2	0	0	1	1	1	
6	3	0	0	0	1	1	
5	4	0	0	0	0	1	
4	5	0	0	0	0	0	
3	6	1	0	0	0	0	
2	7	1	1	0	0	0	(b)
1	8	1	1	1	0	0	
0	9	1	1	1	1	0	(a)

b

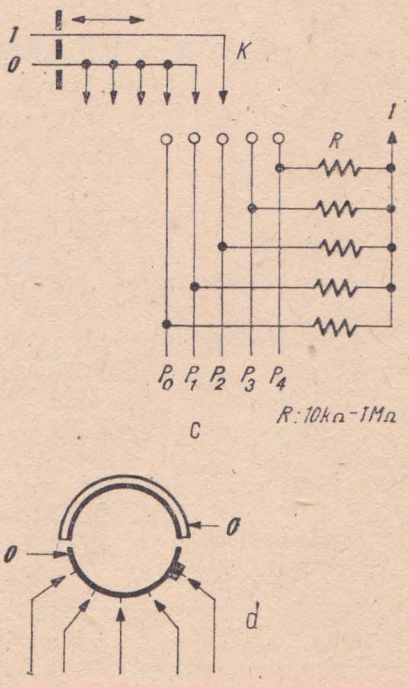


Fig. 12.41. Divizor programabil cu MMC 4018 (factori de divizare 2...999) :
a) schema ; *b*) tabela de funcționare a unui etaj divizor ; c) schema de conectare a comutatorului ; *d)* exemplu de comutator rotativ utilizabil.

12.2.8. **Divizor programabil cu MMC 4018 (factori de divizare 2 ÷ 999) [7]**

Circuitul din figura 12.41, *a* este compus din trei divizoare presetabile MMC 4018 cascadate, o poartă G_1 care sesizează sfîrșitul unei perioade de divizare și doi bistabii: B_1, care sincronizează presetarea divizoarelor, și B_2 care furnizează semnalul de ieșire (un impuls pozitiv de durata perioadei ceasului la n impulsuri de intrare). Pentru a diviza semnalul de intrare cu numărul n se aplică pe intrări configurațiile cerute de tabelul din figura 12.41, *b*. Pentru ca un numărător dat să divizeze cu M se aplică pe intrare numărul corespunzător din coloana NR. La presetarea cu numărul M, pe ieșire se obține configurația din coloanele $\bar{O}_1 \div \bar{O}_5$. Cînd toate numărătoarele au ajuns în starea *a* (vezi tabela), se resetează bistabilii B_1 și B_2. Ieșirea $\bar{Q}_{B2}$, pînă atunci în starea **0** logic, trece în **1**, iar numărătoarele se încarcă cu numărul N de pe intrările J. La următorul impuls de ceas $\bar{Q}_{B2}$ trece în **0** logic și se reia procesul de numărare.

Schema comutatorului este prezentată în figura 12.41, *c*.

O variantă de comutator rotativ se poate vedea în figura 12.41, *d*.

12.2.9. **Divizor programabil cu MMC 4018 (factori de divizare 3 ÷ 999) [7]**

O altă variantă de divizor programabil se poate realiza ca în figura 12.42. Presetarea se face tot după tabelul din figura 13.42, *b*. Un ciclu de divizare se sfîrșește cînd numărătorul N_1 ajunge în starea *b*, iar N_2 și N_3 în starea *a*.

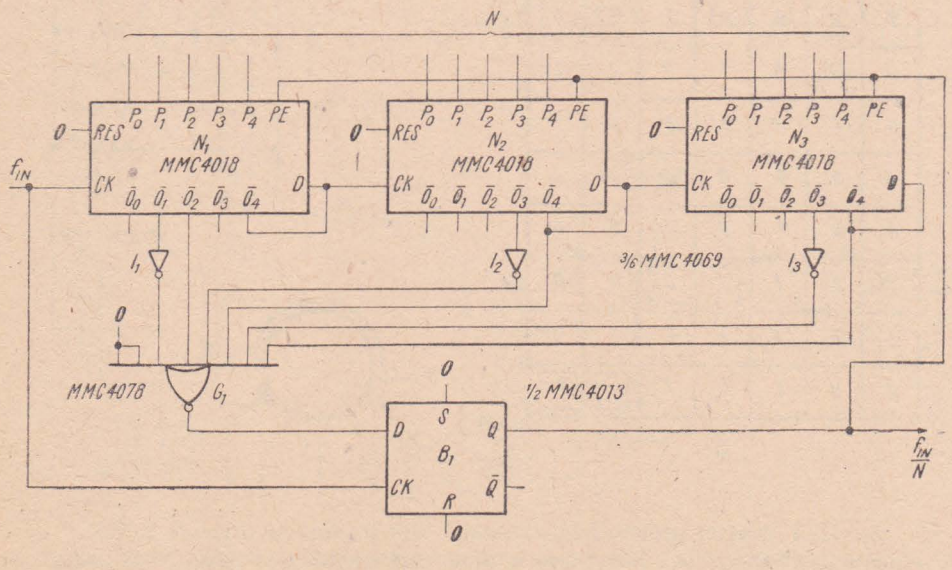


Fig. 12.42. Divizor programabil cu MMC 4018 (factori de divizare 3...999).

12.2.10. **Divizoare pentru aplicații de temporizare** [7]

În figurile 12.43, *a* și 12.43, *b* sînt prezentate două divizoare cu 60 realizate cu „numărătoare" MMC 4017.

În figurile 12.44, *a* și 12.44, *c* se pot vedea divizoare cu 60 realizate în principal cu circuitul MMC 4024.

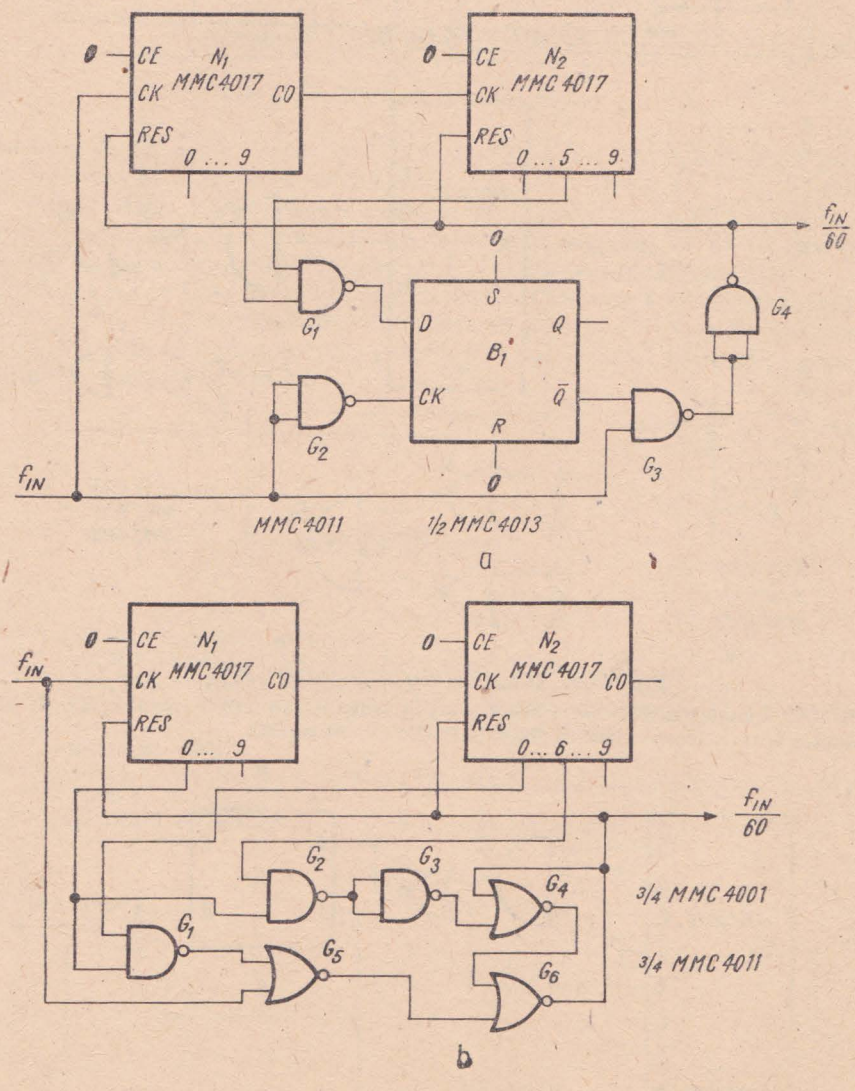


Fig. 12.43. Două divizoare cu 60 cu MMC 4017 (*a* și *b*).

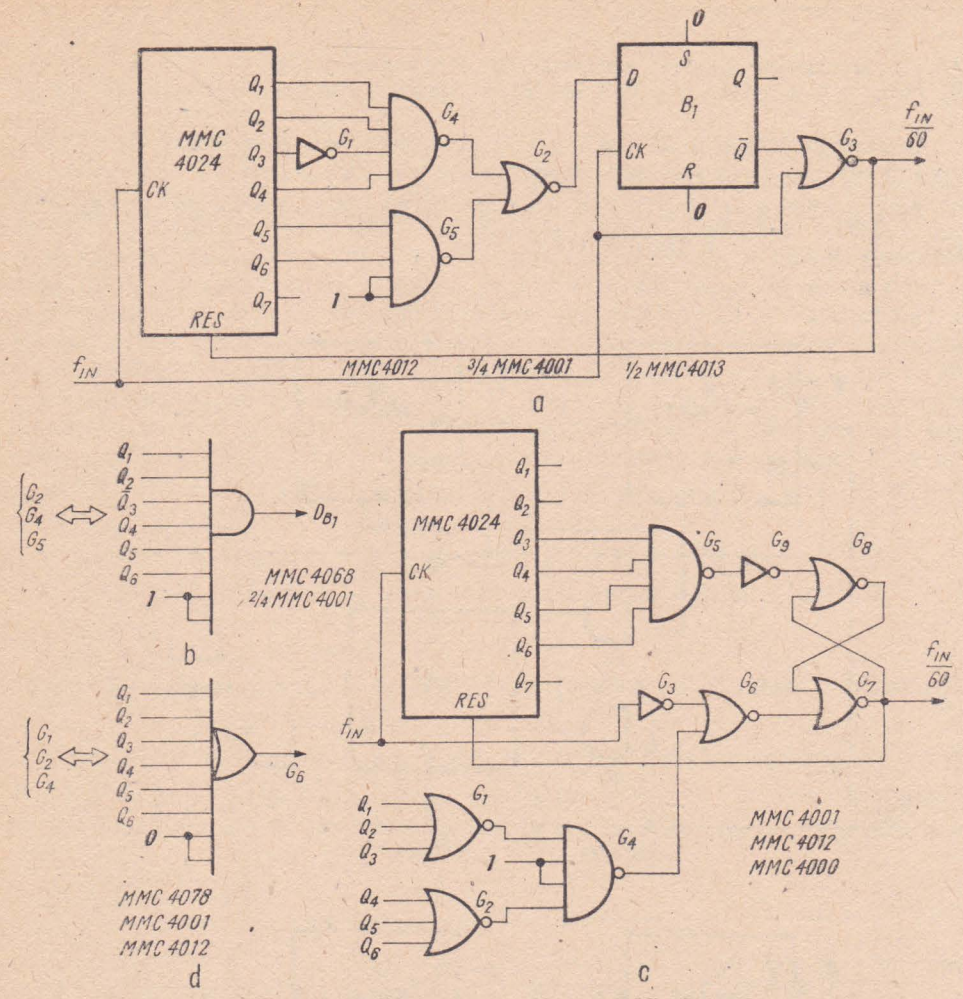


Fig. 12.44. Divizoare cu 60 cu MMC 4024.
a) variantă I ; *b*) alternativă pentru porțile folosite (I) ; *c*) variantă II ; *d*) alternativă pentru porțile folosite (II).

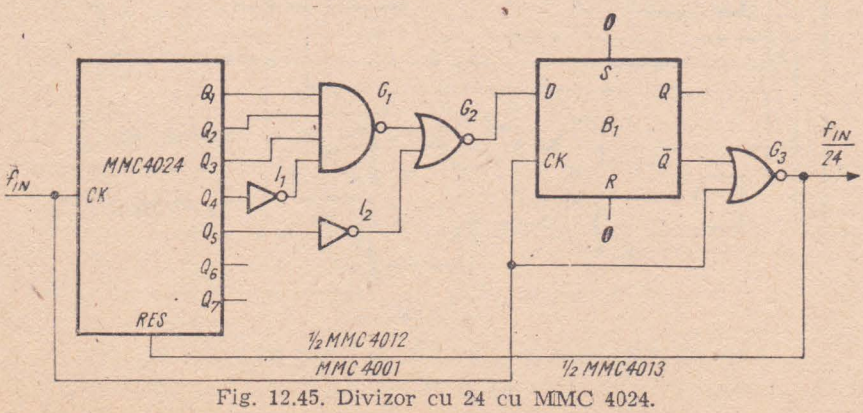


Fig. 12.45. Divizor cu 24 cu MMC 4024.

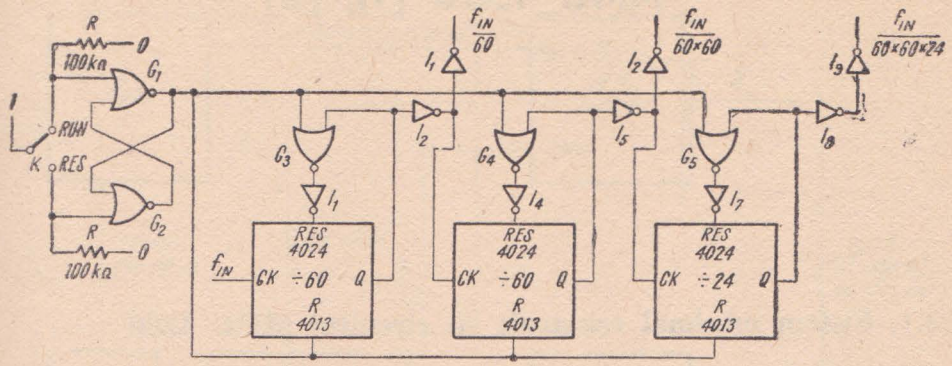


Fig. 12.46. Temporizator de 24 ore.

În figurile 12.44, *b*, respectiv 12.44, *d* se dau circuite echivalente pentru porțile folosite în cele două divizoare.

Circuitul MMC 4024 se poate folosi și într-un divizor cu 24 (figura 12.45).

Un circuit care dă semnale la un minut, la o oră și la 24 de ore dacă este atacat cu un semnal cu frecvența de 1 Hz este cel din figura 12.46.

Circuitul poate fi adus la zero prin trecerea temporară a comutatorului *K* în poziția *RES*. Cînd comutatorul *K* revine în poziția *RUN*, circuitul începe să divizeze. Latch-ul constituit din porțile G_1 și G_2 elimină tranzițiile parazite care apar la comutare.

BIBLIOGRAFIE

[1] * * * Catalog Microelectronica, 1985.
[2] * * * McMOS Handbook, Motorola Inc., second edition, 1974.
[3] * * * The TTL Applications Handbook, Fairchild Semiconductor, 1973.
[4] * * * Circuits for Electronics Engineers, Electronics Book Series, McGraw-Hill, 1977.
[5] Gh. M. Ștefan, ș.a. Circuite integrate digitale, Editura Didactică și Pedagogică, București, 1983.
[6] R. L. Morris, J. R. Miller (editori). Proiectarea cu circuite integrate TTL, Editura Tehnică, București, 1974.
[7] * * * COS/MOS Integrated Circuits, RCA Solid State, 1972.

13. Unitatea de control industrial MMC 4500 [1], [2]

13.1. Sistem minimal construit cu circuitul MMC 4500

Circuitul MMC 4500 este destinat să rezolve în primul rînd probleme legate de decizii de genul : „Contactele *A*, *B*, *C* sînt închise ? Dacă da, numără 100 de impulsuri și pornește motorul *M*", întîlnite mai ales în schemele de automatizare, în care s-au folosit succesiv logica cu relee, cu tranzistoare și, în sfîrșit, cu circuite integrate. Dezavantajul principal s-a dovedit lipsa de flexibilitate a implementărilor. S-au folosit, mai apoi, microcalculatoare.

Unitatea de control industrial MMC 4500 reprezintă de multe ori o soluție mai ieftină și la fel de flexibilă.

Din punct de vedere electric, circuitul MMC 4500 are caracteristicile familiei *MMC 4XXX* și poate lucra, pentru $V_{DD} = 5$ V, la o frecvență de tact de 1 MHz. Circuitul este static și execută o instrucțiune într-o perioadă a ceasului.

Sistemele cu MMC 4500 pot rezolva probleme de la modelarea logicii cu relee și prelucrări de informație sub formă serială pînă la degrevarea sistemelor cu microprocesor de anumite sarcini.

În figura 13.1 este prezentată schema unui sistem minimal cu unitatea de control MMC 4500.

Sistemul conține un circuit MMC 4500, un contor de program (poate fi, în cele mai multe cazuri, un numărător), o memorie ROM (PROM, EPROM) adresată de contorul de program, un latch adresabil MMC 4599 pentru demultiplexarea pe ieșiri a semnalului de pe linia bidirecțională de date și un multiplexor analogic plus o poartă neinversoare cu ieșire *3-state* (MMC 4503) pentru selectarea canalului de intrare.

Ieșirile memoriei ROM pe de o parte furnizează unității de control codul instrucțiunii, pe de altă parte dau adresele pentru dispozitivele de intrare și de ieșire.

Cu o adresare convenabilă se pot folosi oricîte latch-uri de ieșire și oricîte selectoare de intrare.

În cazul unei operații de intrare, selectorul de intrare aduce data corespunzătoare pe linia bidirecțională de un bit.

Cînd se efectuează o operație de ieșire, data de pe linia bidirecțională se înscrie, la comanda semnalului *WRITE*, în latch-ul selectat.

Dacă se realizează contorul de program cu un numărător, conținutul său crește de la zero la valoarea maximă, trece în zero și numărarea se reia. În felul acesta, secvența de comenzi din memorie se repetă.

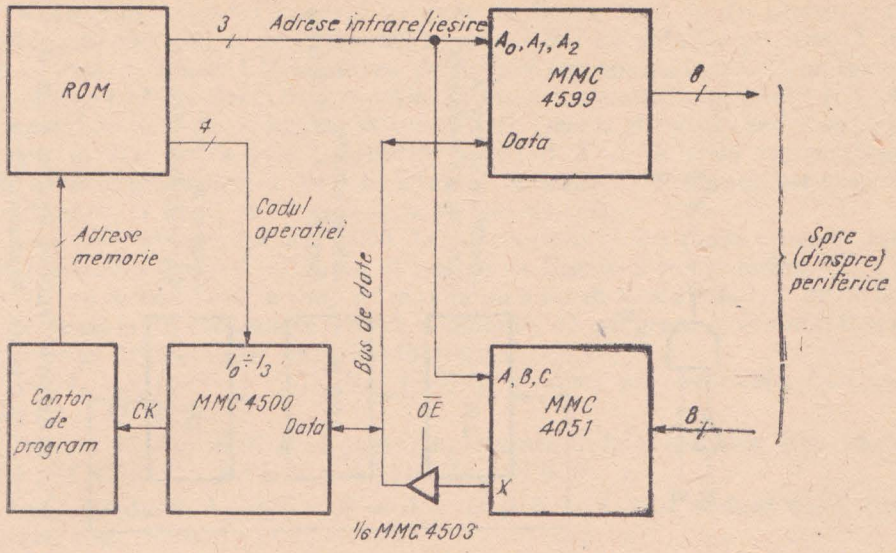


Fig. 13.1. Schema bloc a unui sistem minimal cu unitatea de control industrial MMC 4500.

13.2. Probleme de programare pentru MMC 4500

În continuare vom prezenta pe scurt felul în care unitatea de control execută cîteva instrucțiuni.

Comanda *LOAD* (*LD*, vezi fig. 3.315) determină încărcarea registrului de rezultate *RR* cu data (**0** sau **1**) prezentă pe intrare. În memoria ROM trebuie să existe codul operației *LD* și adresa dispozitivului de intrare care va furniza data. Registrul de instrucțiuni se încarcă cu codul operației pe frontul negativ al semnalului de ceas X_1. Instrucțiunea este decodificată și se permite accesul datei de pe intrarea selectată în registrul de rezultate *RR*.

Comanda *STORE* (*STO*) transferă data din registrul de rezultate într-un anumit latch de ieșire.

În memorie sînt înscrise codul operației și adresa latch-ului de ieșire în care se va face înscrierea prin intermediul busului bidirecțional de un bit. Codul este înscris în registrul de instrucțiuni pe frontul negativ al ceasului X_1. Instrucțiunea este decodificată și se activează semnalul de scriere (*WRITE*) în dispozitivul de ieșire selectat.

Pentru a executa o operație logică, de exemplu *AND* (*SI*), memoria furnizează unității de control codul instrucțiunii și selectorului de intrare adresa sursei de semnal. Informația de pe linia de intrare este transmisă pe busul de 1 bit. Unitatea logică efectuează funcția *SI* (*AND*) între data de pe busul de intrare și conținutul registrului de rezultate și înscrie rezultatul tot în registrul *RR*.

În continuare vom arăta cum execută unitatea de control industrial funcția *SI* (*AND*) între semnalele de pe liniile *A* și *B*. Rezultatul funcției trebuie să apară pe linia *C* (fig. 13.2, *a*).

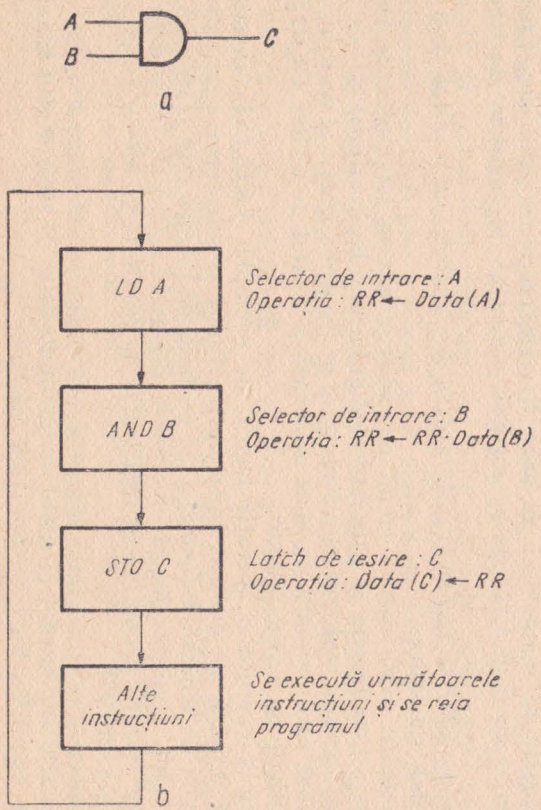


Fig. 13.2. Simularea unui circuit *SI(AND)* : *a*) schema ; *b*) organigrama.

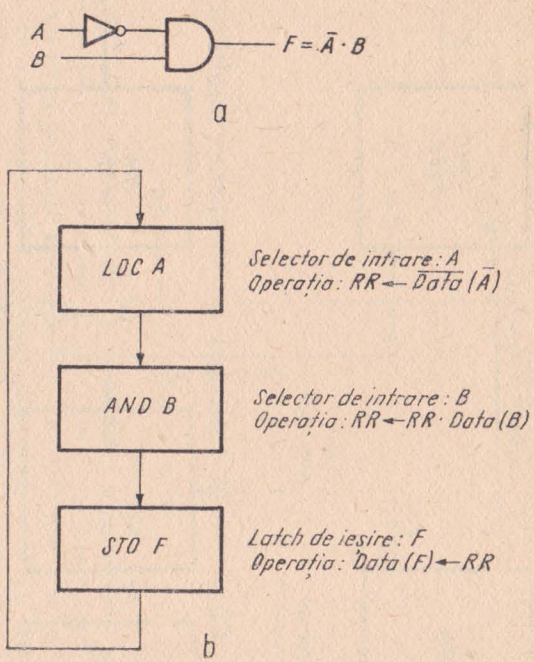


Fig. 13.3. Implementarea funcției $F = \bar{A} \cdot B$: *a*) schema ; *b*) organigrama.

Organigrama acestei operații se vede în figura 13.2, *b*. În primul rînd se selectează intrarea *A* și se încarcă registrul *RR* cu data de pe această intrare cu instrucțiunea *LD* și adresa de intrare corespunzătoare. Următoarea instrucțiune (*AND*) efectuează funcția *SI* între conținutul registrului *RR* (*A*) și semnalul de pe linia de intrare selectată (*B*). Deci la sfîrșitul acestei operații în registrul *RR* se va găsi rezultatul operației $A \cdot B$. A treia instrucțiune, *STO*, va înscrie rezultatul $A \cdot B$ în latch-ul de ieșire *C*. Programul se execută în continuare și după ce se ajunge la sfîrșit, se reia.

Deci dacă programul are 1 000 de instrucțiuni și frecvența ceasului este de 500 kHz, intrările *A* și *B* vor fi testate la fiecare 2 ms și ieșirea *C* va fi activată sau dezactivată în timp de maximum 2 ms de la schimbarea intrărilor

Prezentăm în continuare cîteva segmente de program corespunzătoare unor funcții logice între intrările în sistem.

Astfel, funcția $F = \bar{A} \cdot B$ (fig. 13.3) se traduce prin secvența *LDC A*; *AND B*; *STO F*.

Funcția $F = A \cdot \bar{B} \cdot C \cdot \bar{D}$ se poate implementa în felul următor (fig. 13.4): *LD A*; *ANDC B*; *AND C*; *ANDC D*; *STO F*.

Implementarea funcțiilor $F = A + B$ și $G = A + \bar{B}$ se face după cum urmează (fig. 13.5):

$F = A + B$ — *LD A*; *OR B*; *STO F*.

$G = A + \bar{B}$ — *LD A*; *ORC B*; *STO G*.

O funcție de genul $F = A \cdot B + C \cdot D$, pentru a fi implementată corect necesită o memorare temporară (în locația *T*) a unui rezultat parțial. O evaluare directă ar duce la calcularea unor expresii $A \cdot B + C$ sau $B + C \cdot D$.

Operațiile următoare n-ar putea fi decît $(A \cdot B + C) \cdot D$ sau $A \cdot (B + C \cdot D)$, care duc la rezultate incorecte.

Soluția este următoarea (fig. 13.6):

LD A; *AND B*; *STO T*; *LD C*; *AND D*; *OR T*; *STO F*.

Funcția *SAU-EXCLUSIV* se poate implementa după cum urmează (fig. 13.7):

LD A; *XNOR B*; *STO F*.

În continuare se arată modul în care se folosește funcția *STOC* la implementarea funcției $F = \overline{A \cdot B + C \cdot D}$:

LD A; *AND B*; *STO T*; *LD C*; *AND D*; *OR T*; *STOC F*.

O funcție complexă $L = (A \cdot B \cdot C + D \cdot \bar{E} \cdot F) \cdot G \cdot \bar{H} + I \cdot \bar{J}$ se exprimă prin secvența de program:

LD	*A*	$RR \leftarrow Data\ (A)$
AND	*B*	$RR \leftarrow RR \cdot Data\ (B)$
AND	*C*	$RR \leftarrow RR \cdot Data\ (C)$
STO	*T*	$Data\ (T) \leftarrow RR(A \cdot B \cdot C)$
LD	*D*	$RR \leftarrow Data\ (D)$

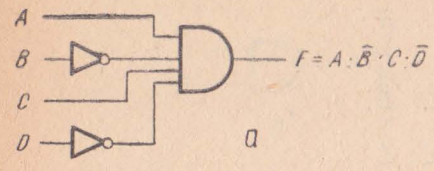


Fig. 13.4. Implementarea funcției $F=A\cdot\bar{B}\cdot C\cdot\bar{D}$:
a) schema ; *b*) organigrama.

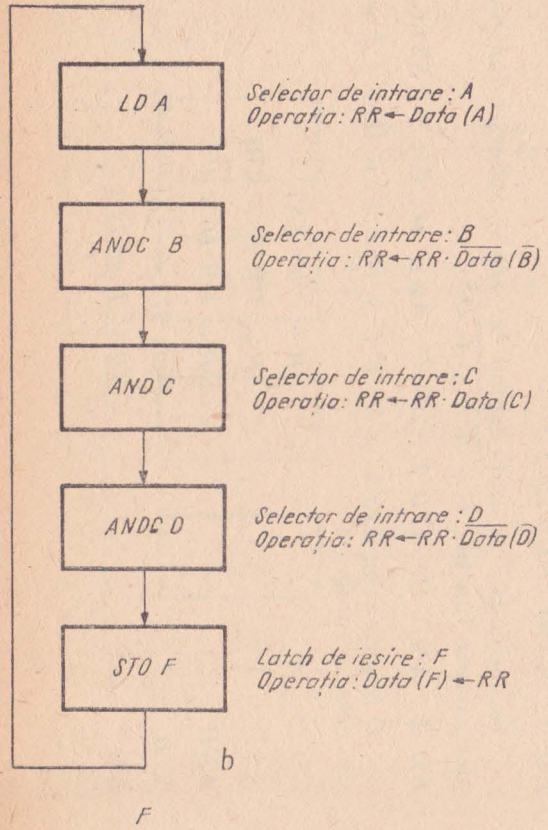
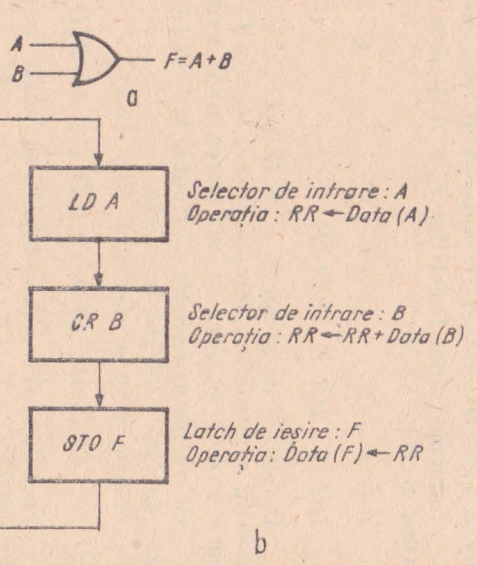
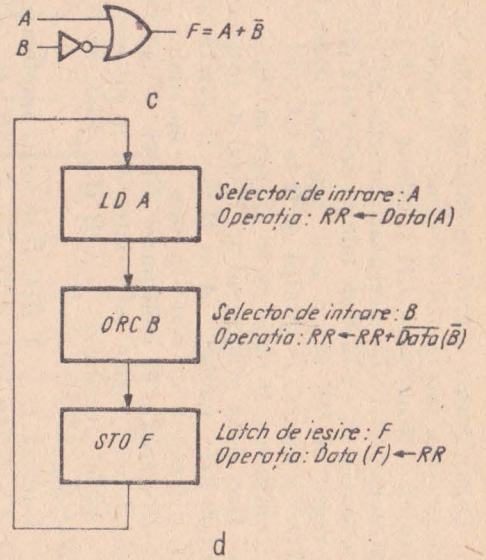


Fig. 13.5. Implementarea funcțiilor :
a) $F=A+B$ — schema ; *b*) $F=A+B$ — organigrama ; *c*) $F=A+\bar{B}$ — schema ;
d) $F=A+\bar{B}$ — organigrama.





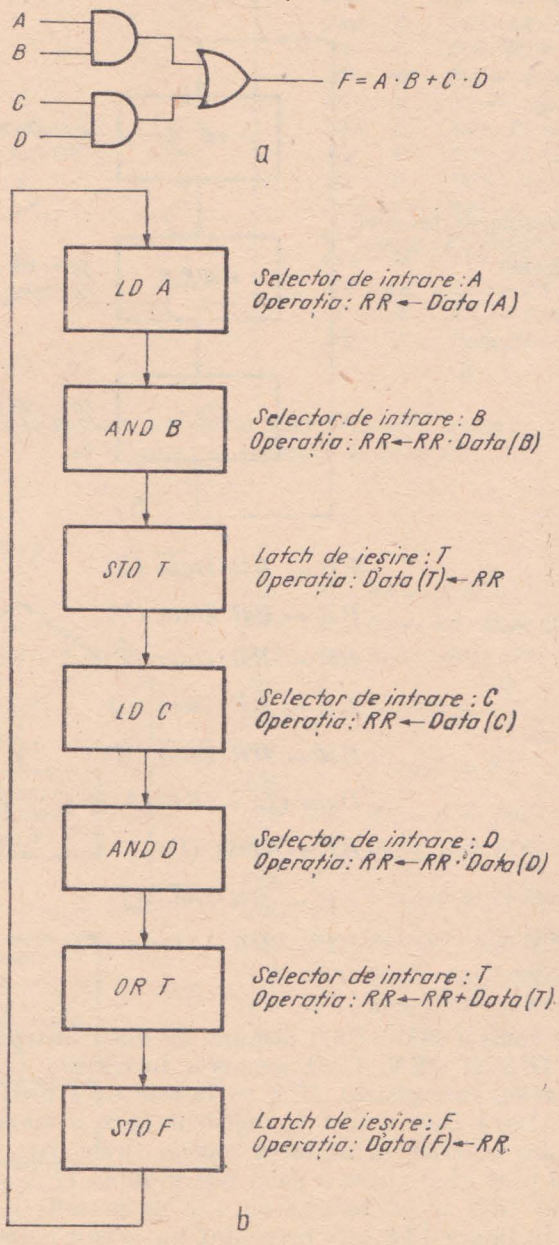


Fig. 13.6. Implementarea funcției $F = A \cdot B + C \cdot D$:
a) schema ; b) organigrama.

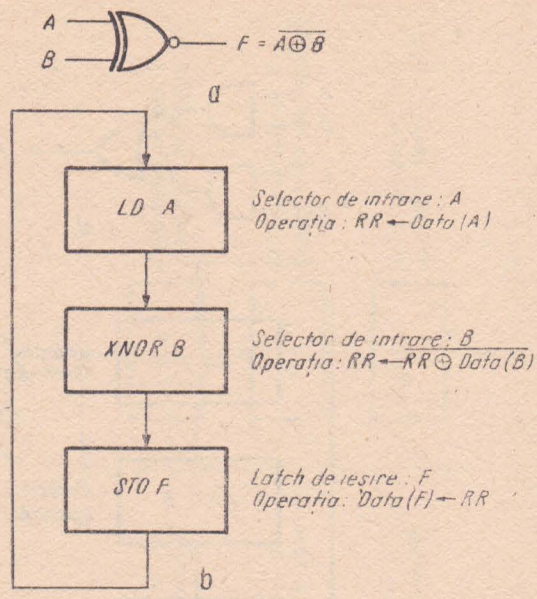
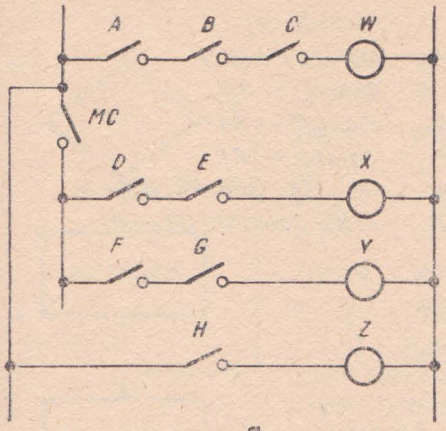


Fig. 13.7. Implementarea funcției $F = A \oplus B$. *a*) schema ; *b*) organigrama.

ANDC	*E*	$RR \leftarrow RR \cdot \overline{Data}\ (\bar{E})$
AND	*F*	$RR \leftarrow RR \cdot Data\ (F)$
OR	*T*	$RR \leftarrow RR \cdot Data\ (T)$
AND	*G*	$RR \leftarrow RR \cdot Data\ (G)$
ANDC	*H*	$RR \leftarrow RR \cdot \overline{Data}\ (\bar{H})$
STO	*T*	$Data\ (T) \leftarrow RR((A \cdot B \cdot C + D \cdot E \cdot F) \cdot G \cdot \bar{H})$
LD	*I*	$RR \leftarrow Data\ (I)$
ANDC	*J*	$RR \leftarrow RR \cdot \overline{Data}\ (\bar{J})$
OR	*T*	$RR \leftarrow RR + Data\ (T)$
STO	*L*	$Data\ (L) \leftarrow RR$

Unitatea de control MMC 4500 dispune de două instrucțiuni de control al programului *IEN* și *OEN*. Cînd memoria furnizează codul instrucțiunii *IEN* (*Input Enable*), în registrul *IEN* se înscrie data prezentă pe intrarea corespunzătoare. Dacă data a fost **0**, registrul *IEN* o memorează și inhibă accesul datelor din exterior în unitatea logică. Orice dată de intrare va fi interpretată ca **0** pînă cînd apare o nouă instrucțiune *IEN* și data de intrare va fi **1**. Registrul *IEN* se va încărca cu **1** și va permite accesul datelor în unitatea logică. În figura 13.8 este prezentat un circuit cu relee și segmentul de program care simulează funcția circuitului. De remarcat că ieșirea *RR* este conectată la una din intrările selectorului de intrare.

Instrucțiunea *OEN* servește la inhibarea semnalului de scriere *WRITE*. Cînd instrucțiunea *OEN* este citită din memoria ROM, în registrul *OEN*

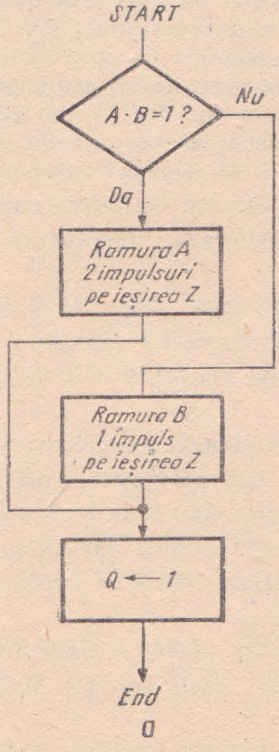


a

```
LD    A    RR ← Data (A)
AND   B    RR ← RR · Data (B)
AND   C    RR ← RR · Data (C)
STO   W    Data (W) ← RR
IEN   MC   IEN ← Data (MC)
LD    D    RR ← Data (D)
AND   E    RR ← RR · Data (E)
STO   X    Data (X) ← RR
LD    F    RR ← Data (F)
AND   G    RR ← RR · Data (G)
STO   Y    Data (Y) ← RR
ORC   RR   RR ← RR + Data (RR) (RR ← 1)
IEN   RR   IEN ← RR (1)
LD    H    RR ← Data (H)
STO   Z    Data (Z) ← RR
```

b

Fig. 13.8. Simularea unei scheme cu relee :
a) schema ; b) secvența de program.

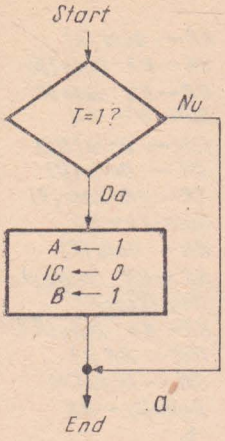


a

```
LD    A    RR ← Data (A)
AND   B    RR ← RR · Data (B)
OEN   RR   OEN ← Data (RR)
STO   Z    } Impuls pe Z
STOC  Z    }
STO   Z    } Impuls pe Z   } Ramura A
STOC  Z    }
LDC   RR   RR ← Data (RR)
OEN   RR   OEN ← Data (RR)
STO   Z    } Impuls pe Z   } Ramura B
STOC  Z    }
ORC   RR   RR ← RR + Data (RR) (RR ← 1)
OEN   RR   OEN ← Data (RR) (OEN ← 1)
STO   Q    Data (Q) ← RR (Q ← 1)
```

b

Fig. 13.9. Exemplu de utilizare a instrucțiunii *OEN* :
a) organigrama ; b) secvența de program.




```
LD    T     RR ← Data (T)
OEN   RR    OEN ← Data (RR)
STO   A     Data (A) ← RR
STOC  IC    Data (IC) ← R̄R̄
STO   B     Data (B) ← RR
ORC   RR    RR ← RR + Data (R̄R̄) (RR ← 1)
OEN   RR    OEN ← Data (RR) (OEN ← 1)
```

b

Fig. 13.10. Exemplu de utilizare a structurii *IF — THEN* :
a) organigrama ; *b*) secvența de program.

se înscrie data prezentă pe intrarea selectată. Dacă în *OEN* se scrie **0**, semnalul de scriere va fi inhibat, și conținutul latch-urilor de ieșire va rămîne neschimbat pînă cînd se execută o instrucțiune *OEN* cu **1** pe linia de intrare. În figura 13.9 se prezintă un exemplu de folosire a instrucțiunii *OEN*

Instrucțiunea *OEN* poate fi folosită la implementarea structurii condiționale *IF-THEN* (dacă o anumită condiție este îndeplinită, atunci execută o anumită operație). De exemplu dacă sistemul cu MMC 4500 comandă încălzirea unui cuptor *C*, atunci secvența de decuplare în caz de depășire a temperaturii este următoarea : dacă semnalul *T* de depășire a temperaturii devine activ ($T = 1$), se pornește alarma *A*, se oprește încălzirea cuptorului ($IC = 0$) și se aprinde becul ($B = 1$) care semnalizează temperatura înaltă.

Secvența este :

LD T ; OEN R ; STO A ; STOC IC ; STO B ; ORC RR ; OEN RR.

În figura 13.11 se poate vedea organigrama acestei secvențe.

De remarcat conectarea ieșirii registrului de rezultate *RR* la una din intrările selectorului de intrare.

La începutul unui segment *IF-THEN* se testează o condiție. Dacă se îndeplinește condiția ($OEN = 1$) se execută instrucțiunile următoare și acestea pot modifica conținutul latch-ului de ieșire. Dacă nu se îndeplinește condiția ($OEN = 0$) se execută următoarele instrucțiuni, dar comanda de scriere este inhibată pînă cînd apare o instrucțiune *OEN* al cărei rezultat să fie setarea latch-ului respectiv ($OEN = 1$).

O altă structură utilă este *IF-THEN-ELSE* (dacă se îndeplinește o anumită condiție, execută o anumită secvență ; dacă nu este îndeplinită condiția, execută o altă secvență) (fig. 13.11).

O astfel de secvență se poate întîlni la comanda unui motor : motorul *M* funcționează ($M = 1$) dacă contactele *A* și *B* sînt închise ($A = 1$, $B = 1$) și nu funcționează ($M = 0$) dacă $A = 0$ sau $B = 0$.

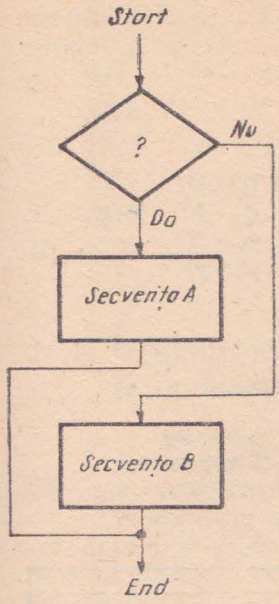


Fig. 13.11. Organigrama structurii *IF-THEN-ELSE*

Programul este :

LD	*A*	$RR \leftarrow Data\ (A)$
ANDC	*B*	$RR \leftarrow RR \cdot \overline{Data}\ (\bar{B})$
STOC	*T*	$Data\ (T) \leftarrow RR$
OEN	*RR*	$OEN \leftarrow Data\ (RR)$
STO	*M*	$Data\ (M) \leftarrow RR$
OEN	*T*	$OEN \leftarrow Data\ (T)$
STO	*M*	$Data\ M \leftarrow RR$
ORC	*RR*	$RR \leftarrow RR \cdot \overline{Data}\ (\overline{RR})\ (RR \leftarrow 1)$
OEN	*RR*	$OEN \leftarrow Data\ (RR)$

În figura 13.12 este prezentată organigrama unei structuri de program de tip *WHILE* (atît timp cît este îndeplinită o anumită condiție, execută o anumită secvență de instrucțiuni).

Un bloc *WHILE* poate fi implementat în două feluri : după ce se parcurge secvența de execuție sau se încarcă contorul de program cu adresa instrucțiunii de test, sau se inhibă acțiunea în exterior a celorlalte blocuri de instrucțiuni și se parcurg aceste instrucțiuni pînă cînd se întîlnește instrucțiunea de test. Soluția a doua nu presupune cerințe hardware speciale (numărător presetabil, etc.).

Un exemplu de utilizare al primului mod de a implementa un bloc *WHILE* se dă în cele ce urmează. Presupunem că sistemul comandă o pompă care umple un rezervor. Cît timp pompa umple rezervorul nu se

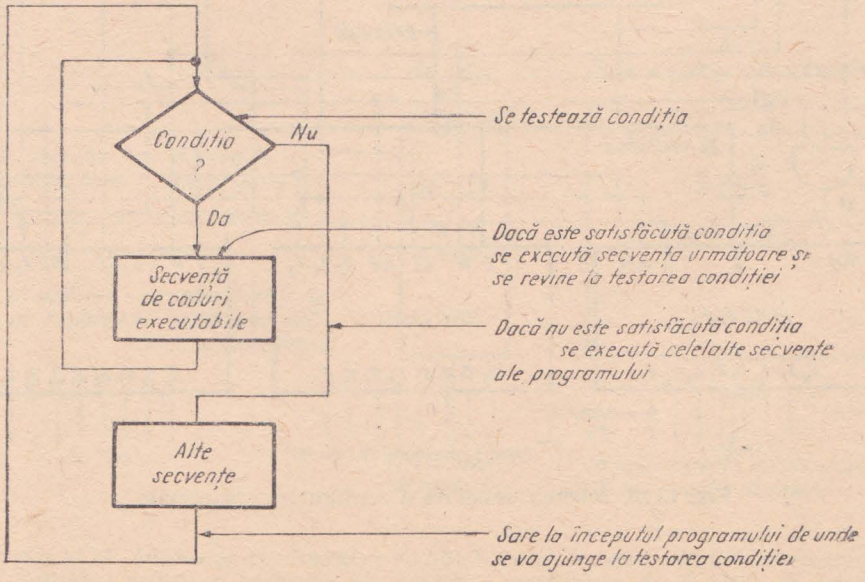


Fig. 13.12. Organigrama structurii *WHILE*.

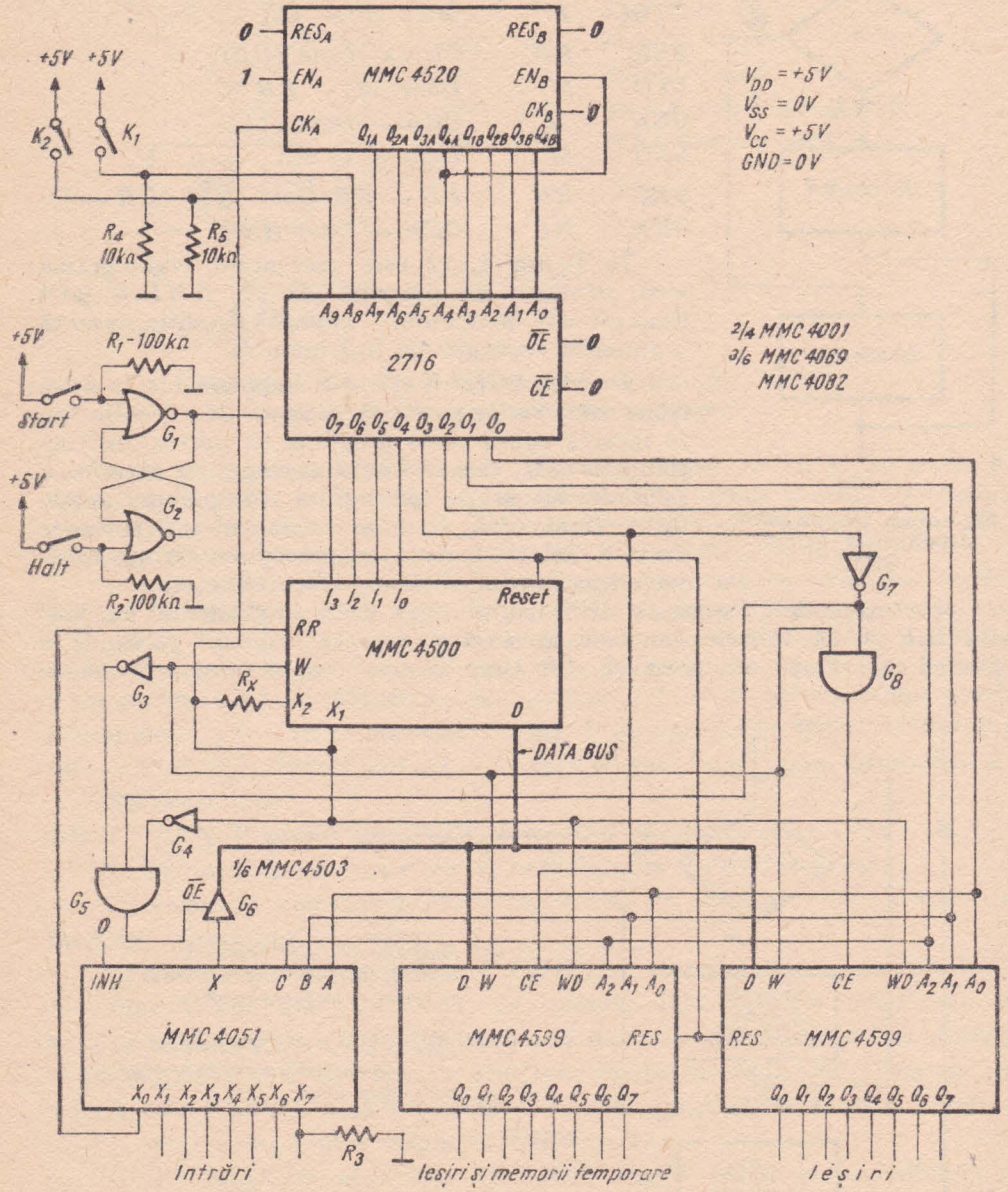


Fig. 13.13. Schema detaliată a configurației minimale.

execută nici o altă acțiune. Un semnal P semnalizează umplerea rezervorului ($P = 1$).

```
A   LD      P        RR ← P
    SKZ              Sare peste instrucțiunea următoare dacă P = 0
    JMP     B        Sare la eticheta B
    STOC    POMPA    Pornește pompa
    JMP     A        Se întoarce la instrucțiunea de început (A)
B   STOC    POMPA    Oprește pompa
```

13.3. O implementare concretă a unui sistem minimal și probleme de hardware

În figura 13.13 se poate vedea schema detaliată a configurației minimale prezentate mai înainte.

Contorul de program este construit cu un numărător MMC 4520. Sistemul are șapte linii efective de intrare, a opta fiind conectată la registrul de rezultate R_{12}. Pentru ieșiri se folosesc două latch-uri adresabile MMC 4599(MMC 4099, eventual).

În figura 13.14 este prezentată alocarea biților în cuvîntul memoriei de program. În figura 13.14, *b* se prezintă modul în care se poate face extinderea numărului de intrări și de ieșiri.

În figura 13.15 se prezintă modul în care se pot folosi memorii cu lungimea cuvîntului de 4 biți.

În acest caz semnalul de ceas devine bitul cel mai puțin semnificativ de adresă.

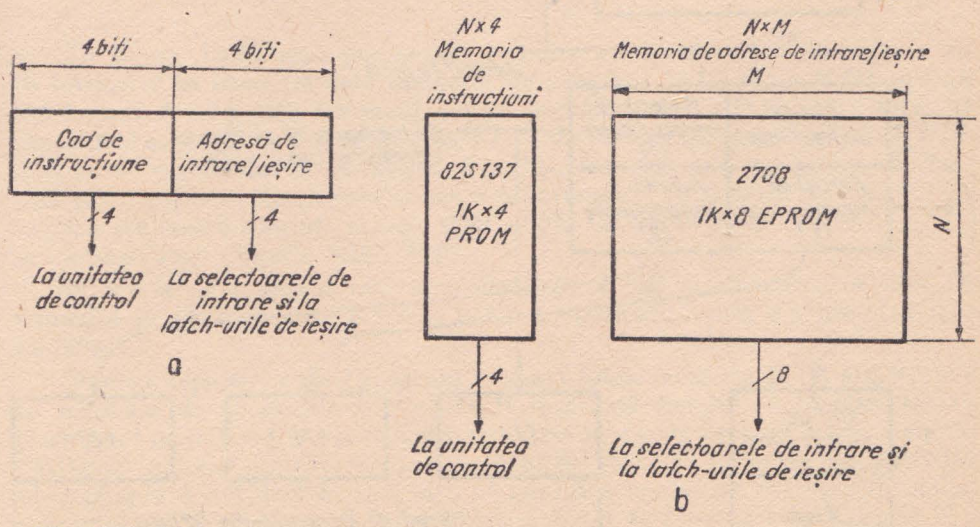


Fig. 13.14. Adresarea perifericelor simultan cu încărcarea codului instrucțiunii : *a*) formatul pentru o memorie cu lungimea cuvîntului de 8 biți ; *b*) extinderea memoriei pentru adresarea mai multor dispozitive de intrare/ieșire.

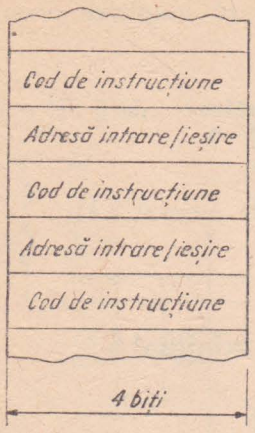


Fig. 13.15. Adresarea cu coduri și adrese de periferie intercalate.

Cînd ceasul este în starea **SUS** memoria furnizează codul de instrucțiune care va fi reținut în registrul *IR* pe frontul negativ al semnalului X_1. Cînd semnalul de ceas este în starea **JOS** conținutul memoriei va reprezenta informația de selectare a intrărilor și ieșirilor.

Se mai poate folosi o variantă hibridă (fig. 13.16). Cu o memorie cu cuvîntul de 8 biți, se adresează pînă la 4 096 (2^{12}) dispozitive de intrare-ieșire.

Ca selectoare de intrare se pot folosi fie multiplexoare mai largi (MMC 4067) fie diverse combinații de multiplexoare MMC 4051÷4053. Acestea fiind multiplexoare analogice, introducem o poartă neinversoare sau inversoare (MMC 4503, MMC 4502, etc.) la terminalul *X* (care devine, în mod clar, ieșire) pentru a orienta fluxul de date și a reduce capacitatea de sarcină a multiplexorului analogic. Aceasta duce și la mărirea vitezei de operare.

Ca dispozitive de ieșire se pot folosi latch-uri adresabile MMC 4099, MMC 4599. Latch-ul MMC 4599 permite citirea conținutului bistabililor pe terminalul *Data* (bidirecțional).

Latch-ul poate funcționa ca un dispozitiv de intrare-ieșire. Mai poate fi gîndit și ca o memorie RAM de 8 biți.

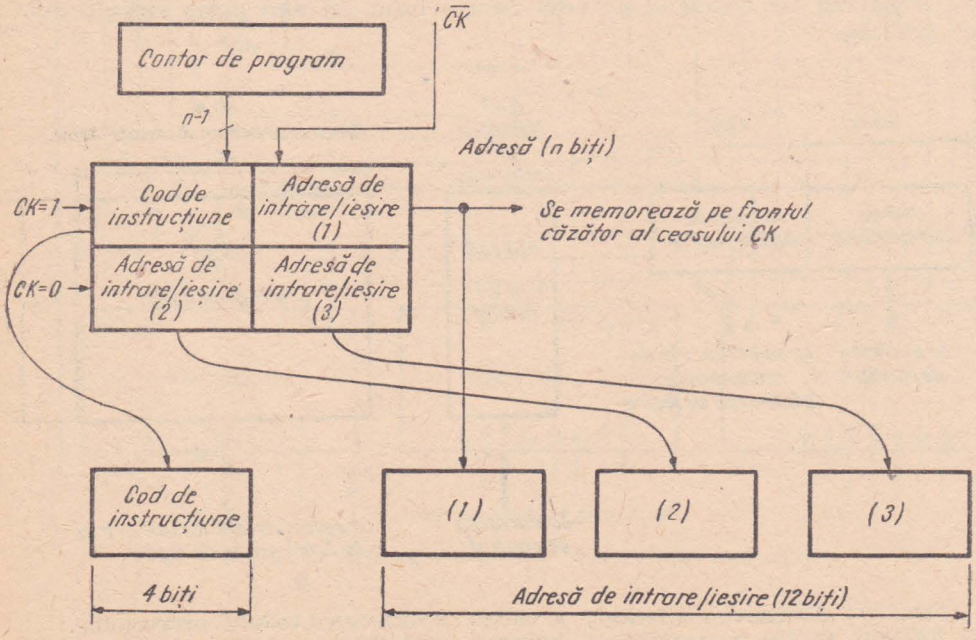


Fig. 13.16. Adresare mixtă.

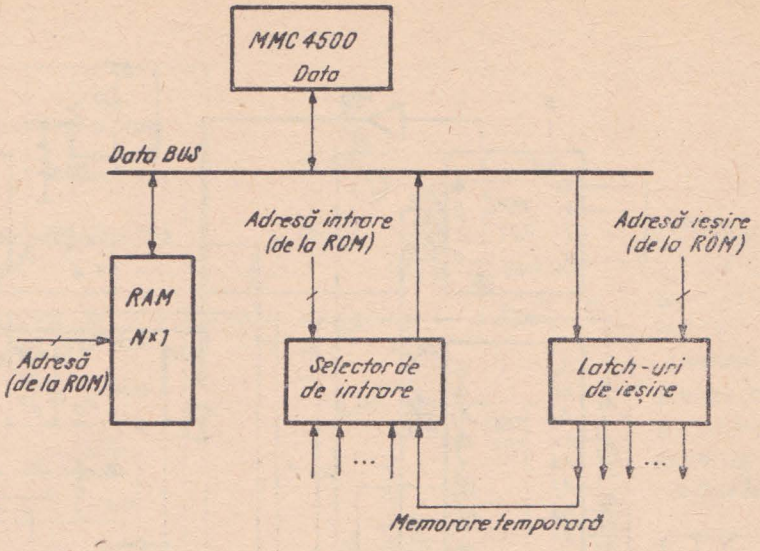


Fig. 13.17. Adăugarea unei memorii RAM.

Numărul și configurația de latch-uri de ieșire se pot extinde printr-o adresare adecvată.

În figura 13.17 este prezentat modul în care se poate prevedea sistemul cu o memorie RAM.

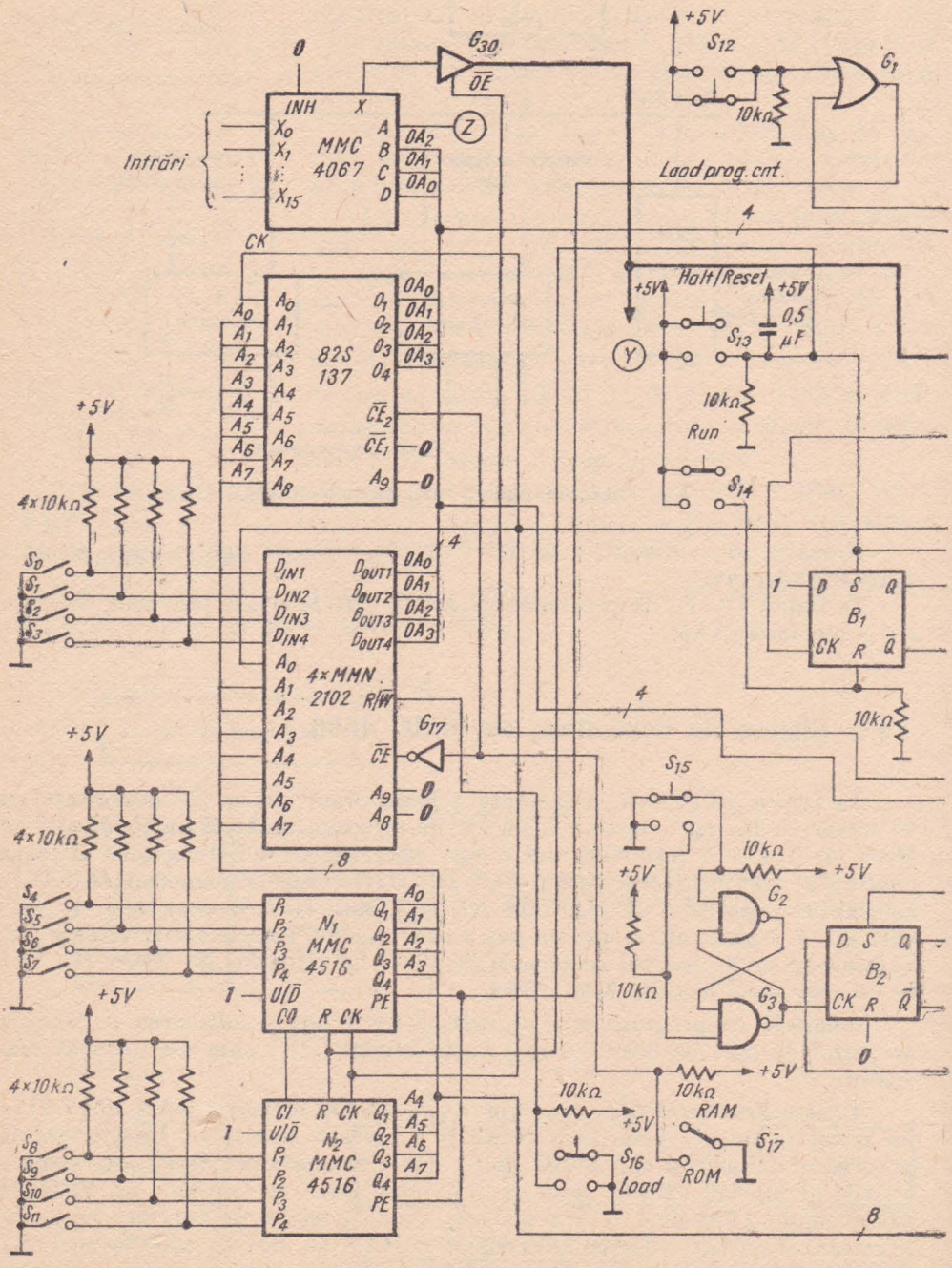
13.4. Sistem de dezvoltare cu MMC 4500

În figura 13.18 este prezentată schema unui sistem de dezvoltare cu 16 intrări și 16 ieșiri, în care memoria de program poate fi un ROM sau un RAM de 1 k × 4 biți. Sistemul a fost prevăzut cu LED-uri care afișează conținutul contorului de program ($D_0 \div D_7$), starea ieșirilor memoriei ($D_8 \div D_{11}$), conținutul registrului de rezultate $RR(D_{12})$, faza curentă a ciclului de mașină (D_{13}) pentru rularea pas-cu-pas a programelor. Ca selector de intrare (M) se folosește multiplexorul analogic MMC 4067. Ca latch-uri de ieșire (L_1, L_2) se folosesc două circuite MMC 4099.

Memoria de program este organizată pe 4 biți și adresarea se face cu semnalul de ceas pe bitul cel mai puțin semnificativ, cum s-a discutat mai înainte.

Pentru depanarea unui program se poate folosi memoria RAM MMN 2114 ca memorie de program, care poate fi încărcată locație cu locație. Odată programul definitivat el poate fi înscris într-o memorie nevolatilă (de exemplu PROM-ul bipolar 82S137, de 1 K × 4 biți). Dacă se folosește un EPROM (de exemplu 2 708 de 1 K × 8 biți) se modifică modul de adresare în modul prezentat anterior. Selecția între ROM și RAM se face cu comutatorul S_{17}.

Comutatorul S_{18} stabilește modul în care va fi executat programul (continuu) la frecvența ceasului sau pas-cu-pas).


+5V
S12
G1
10kΩ
Laod prog. cnt.
G30
OE
INH
X
MMC
4067
Intrări
X0
X1
X15
A
B
C
D
OA2
OA1
OA0
Z
CK
4
Halt/Reset
+5V
0,5 μF
S13
Y
10kΩ
Run
S14
82S 137
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
O1
O2
O3
O4
OA0
OA1
OA2
OA3
CE2
CE1
0
4×10kΩ
S0
S1
S2
S3
4×MMN 2102
DIN1
DIN2
DIN3
DIN4
DOUT1
DOUT2
DOUT3
DOUT4
R/W
CE
G17
B1
D
S
Q
CK
R
S15
10kΩ
G2
G3
B2
S4
S5
S6
S7
N1 MMC 4516
P1
P2
P3
P4
U/D
CO
Q1
Q2
Q3
Q4
PE
8
S8
S9
S10
S11
N2 MMC 4516
CI
RAM
ROM
S16
Load
S17

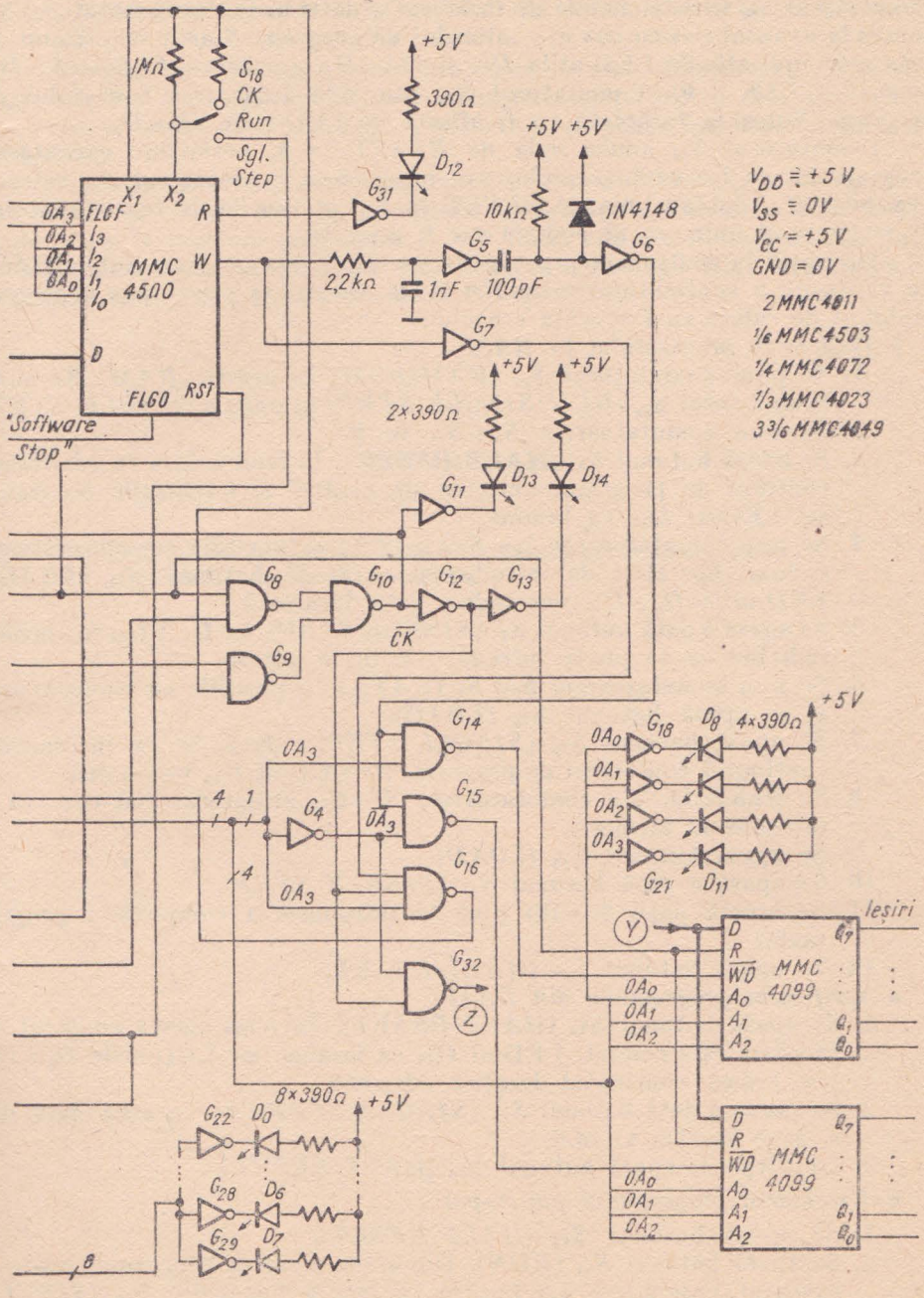


Fig. 13.18. Schema sistemului de dezvoltare.

Comutatoarele $S_0 \div S_3$ stabilesc data care se va încărca în RAM. Comutatoarele $S_4 \div S_{11}$ stabilesc locația de memorie în care se înscrie data. Cu comutatorul S_{16} se dă comanda de încărcare a datei în RAM. Comutatorul S_{15} comandă avansul pas-cu-pas al contorului de program. Starea semnalului de ceas este indicată de LED-urile D_{13} și D_{14} (D_{13} aprins — $CLK = 1$; D_{14} aprins — $CLK = 0$). Comutatorul S_{12} comandă încărcarea contorului de program. Valoarea încărcată va fi afișată de LED-urile $D_0 \div D_7$.

Comutatorul S_{14} aduce linia de *RESET* în **0**, permițînd executarea programului cu frecvența ceasului sau pas-cu-pas. Comutatorul S_{13} setează bistabilul B_1 aducînd linia de *RESET* în **1**. Latch-urile de ieșire, contorul de program și unitatea de control vor fi resetate.

Descriem în continuare procedurile de înscriere a programului în RAM, de verificare a conținutului memoriei RAM, de rulare pas-cu-pas a programului și de rulare cu frecvența ceasului.

- *Încărcarea programului în RAM*
  1. Se pune comutatorul S_{17} (*RAM/ROM*) în poziția *RAM*. Se pune comutatorul S_{18} (*RUN/SINGLE STEP*) în poziția *SINGLE STEP*.
  2. Se pun comutatoarele $S_4 \div S_{11}$ în **0**.
  3. Se apasă butonul S_{13} (*HALT/RESET*). În felul acesta se vor reseta contorul de program, unitatea de control și latch-urile de ieșire, iar LED-ul D_{13} va lumina.
  4. Se pun comutatoarele $S_0 \div S_3$ (*DATA*) în pozițiile corespunzătoare codului operației de introdus și se apasă butonul S_{16} (*LOAD*). *LED*-urile $D_8 \div D_{11}$ vor indica data încărcată.
  5. Se apasă o dată butonul S_{15} (*SINGLE STEP*). LED-ul D_{14} se aprinde indicînd că se poate introduce acum o adresă.
  6. Se pun comutatoarele $S_0 \div S_3$ (*DATA*) în pozițiile corespunzătoare și se apasă butonul S_{16} (*LOAD*).
  7. Se apasă butonul S_{15} (*SINGLE STEP*) o dată. Se va incrementa conținutul contorului de program, iar LED-ul D_{13} va lumina.
  8. Se stabilește, din comutatoarele $S_0 \div S_3$, următorul cod care va fi introdus în memorie.
  9. Se apasă butonul S_{16} (*LOAD*).
  10. Se apasă o dată butonul S_{15} (*SINGLE STEP*).
  11. Se repetă pașii 8)÷10) pînă la introducerea completă a programului.
  12. Se apasă butonul S_{13} (*HALT/RESET*).
- *Verificarea programului din RAM*
  1. Se apasă butonul S_{13} (*HALT/RESET*). În felul acesta contorul de program este resetat. LED-ul D_{13} va lumina, iar LED-urile $D_8 \div D_{11}$ vor indica conținutul locației adresate.
  2. Se apasă o dată butonul S_{15} (*SINGLE/STEP*). Se va afișa data din a doua locație ș.a.m.d.
  3. La sfîrșit se apasă butonul S_{13} (*HALT/RESET*).
- *Executarea programului pas-cu-pas*
  1. Se apasă butonul S_{13} (*HALT/RESET*).
  2. Se apasă butonul S_{14} (*RUN*). Din acest moment programul poate fi executat pas-cu-pas. La fiecare apăsare a butonului S_{15} (*SINGLE STEP*) semnalul de ceas va avansa cu o jumătate de perioadă.
  3. La sfîrșit se apasă butonul S_{13} (*HALT/RESET*).

- *Executarea programului la viteza ceasului*
  1. Se apasă butonul S_{13} (*HALT/RESET*).
  2. Se pune comutatorul S_{18} (*RUN/SINGLE STEP*) în poziția *RUN*.
  3. Se apasă butonul S_{14} (*RUN*).

Sistemul de dezvoltare poate funcționa de sine stătător sau poate constitui nucleul unei aplicații. Se pot adăuga interfețe pentru diverse elemente de execuție (relee, tranzistoare, triace etc.), se poate introduce o memorie RAM, etc.

În exemplul prezentat, întreg circuitul este alimentat la 5 V. Dacă din necesități de viteză sau de imunitate la zgomot circuitele CMOS trebuie alimentate la tensiune mai mare se vor folosi circuite de translare la nivel pentru memorii. Acestea, fiind construite în tehnologii NMOS sau bipolare, vor fi în continuare alimentate de la 5 V (v. §2.4).

BIBLIOGRAFIE

[1] * * * MC 14500B Industrial Control Unit Handbook, Motorola, 1981.
[2] * * * McMOS Handbook, Motorola, 1974.

14. Aplicații diverse

14.1. Aplicații analogice

Circuitele CMOS din seria 4000 au fost proiectate pentru a prelucra semnale digitale. Există, totuși, situații (tensiuni de alimentare disponibile mici, porți nefolosite în cadrul unui montaj complex, etc.) cînd ar fi utilă realizarea de funcții „analogice" (amplificare, integrare, etc.) cu circuite digitale CMOS.

În cele ce urmează se va discuta comportarea circuitelor CMOS (porți) în regim liniar.

14.1.1. Inversorul ca amplificator [1]

Inversorul CMOS a fost prezentat în detaliu mai înainte (capitolul 1).

În figura 14.1 se pot vedea schema inversorului, caracteristica de transfer ideală și dispersia caracteristicii de transfer.

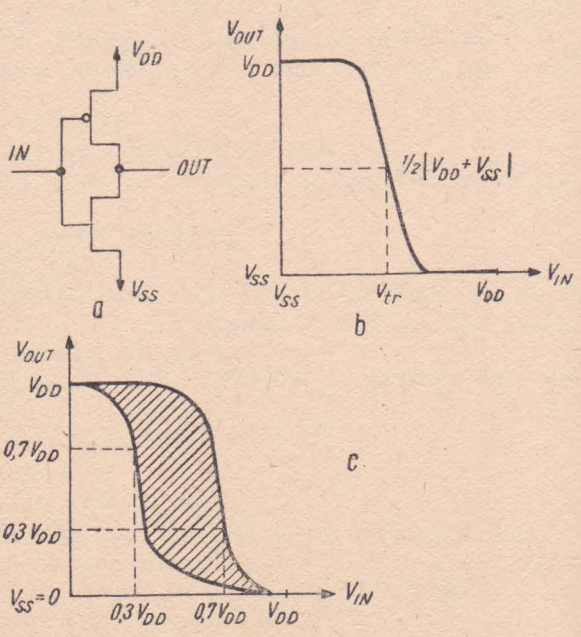


Fig. 14.1. Inversorul CMOS : *a*) schema ; *b*) caracteristica de transfer ideală ; c) dispersia caracteristicii de transfer.

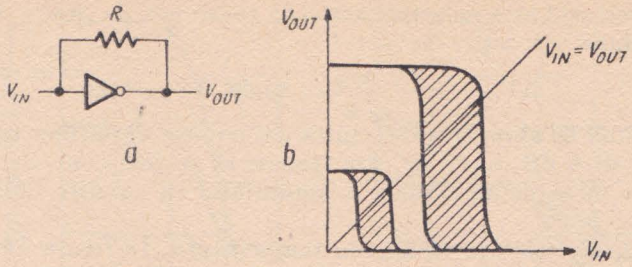


Fig. 14.2. Inversorul cu reacție totală paralel-paralel :
a) schema ; *b)* puncte de funcționare.

În aplicații digitale este necesar ca inversorul să comute cît mai repede între stările V_{SS} și V_{DD} și, în consecință panta în regiunea de transfer trebuie să fie cît mai abruptă.

Pentru aplicații analogice însă, circuitul este polarizat în regiunea de transfer, iar panta caracteristicii în punctul static de funcționare dă amplificarea de semnal mic a inversorului.

Polarizarea unui etaj de amplificare cu un inversor CMOS este o problemă delicată datorită dispersiei foarte mari a tensiunii de tranziție V_{tr}. Polarizarea ar trebui să fie individualizată pentru fiecare circuit.

Adesea se folosește schema de polarizare din figura 14.2 care nu implică un consum de curent de la sursa de alimentare.

Reacția „totală" se face printr-o rezistență de valoare mare (de exemplu 50 MΩ). Inversorul se va polariza în punctul de la intersecția dreptei $V_{IN} = V_{OUT}$ cu caracteristica de transfer.

Se mai pot folosi schemele din figura 14.3, care permit polarizarea inversorului în orice punct al caracteristicii de transfer.

Odată stabilit punctul de funcționare, se pune problema stabilității lui.

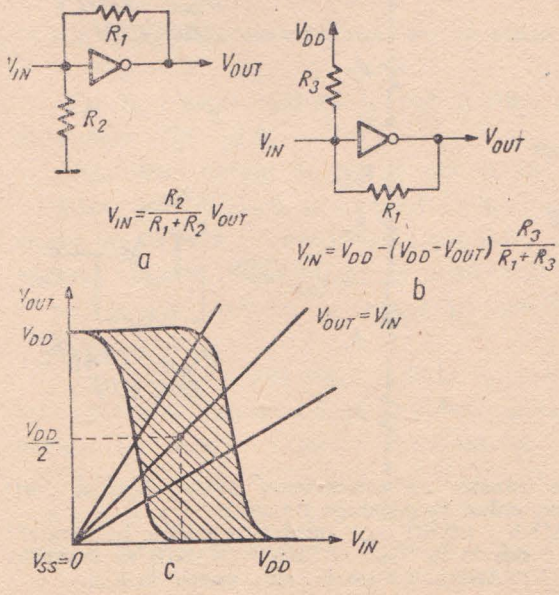


Fig. 14.3. Inversorul cu reacție : *a)* cu rezistență la V_{SS} ; *b)* cu rezistență la V_{DD} ; c) caracteristica de transfer.

Dacă inversorul este polarizat astfel ca tensiunea de ieșire $V_{OUT} = V_{DD/2}$, variația tensiunii de ieșire ar fi:

$$\Delta V_{OUT} = -\frac{\Delta V_{DD}}{2}, \text{ unde } \Delta V_{DD} \text{ este}$$

variația tensiunii de alimentare. Rezultă o rejecție a variațiilor tensiunii de alimentare doar de 6 dB, lucru de care trebuie să se țină cont, deoarece nu este obligatoriu ca sursa de alimentare a montajului cu circuite CMOS să fie stabilizată foarte bine.

Tensiunea de ieșire variază și cu temperatura. În figura 14.4, *a* se poate vedea schema echivalentă a inversorului polarizat în regiunea liniară.

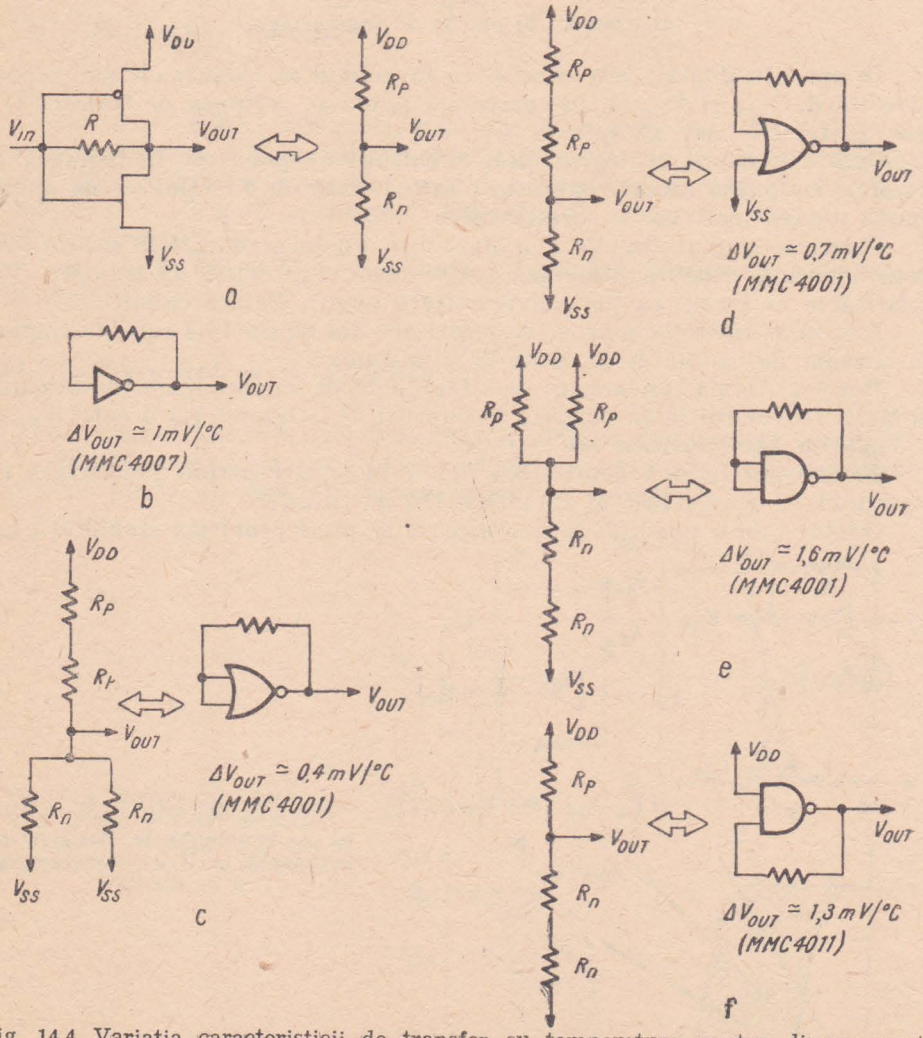


Fig. 14.4. Variația caracteristicii de transfer cu temperatura pentru diverse porți logice CMOS funcționînd în regiunea liniară:
a) reprezentare; *b*) inversor; *c*) SAU-NU (NOR) cu 2 intrări cu porțile în paralel; *d*) SAU-NU (NOR) cu 2 intrări cu o poartă la V_{SS}; *e*) ȘI-NU (NAND) cu 2 intrări conectate în paralel; *f*) ȘI-NU (NAND) cu 2 intrări cu o poartă la V_{DD}.

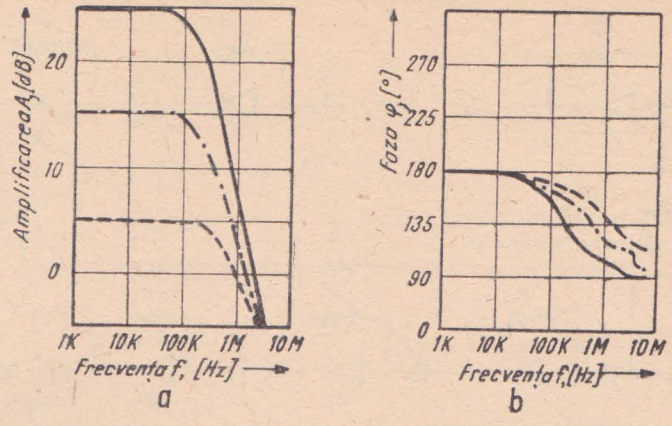


Fig. 14.5. Caracteristicile unui inversor CMOS în regiunea liniară : *a)* caracteristica de amplitudine ; *b)* caracteristica de fază.

Stabilitatea punctului de funcționare este dată de coeficientul diferențial de temperatură al tranzistoarelor cu canal *n* și cu canal *p*.

În figura 14.4, *b* este dată variația cu temperatura a tensiunii de ieșire pentru un inversor realizat cu MMC 4007.

În figurile 14.4, *c*÷*f* se prezintă variația tensiunii de ieșire cu temperatura pentru porțile MMC 4001 și MMC 4011, montate în diverse configurații.

În figura 14.5 se pot vedea caracteristicile de amplitudine și fază ale unui inversor CMOS alimentat la 10 V, pentru un semnal de intrare avînd o amplitudine de 2,5 mV la 10 kHz.

14.1.2. **Amplificatoare cu mai multe etaje [1], [2]**

Cu inversoare CMOS se pot realiza amplificatoare cuplate în curent alternativ (fig. 14.6).

Amplificatoarele se pot cupla și în curent continuu (fig 14.7), dar variația caracteristicii de transfer de la circuit la circuit poate duce la o polarizare inadecvată a circuitelor cascadate. De asemenea, driftul de 1 mV/°C al unui etaj va fi amplificat de următorul. Pentru a evita aceste neajunsuri se recomandă cuplarea în curent alternativ a diferitelor etaje polarizate individual.

Un circuit cu trei etaje cuplate în curent alternativ, cu reacție negativă, este arătat în figura 14.6, *c*. Circuitul putînd să oscileze, trebuie să se acorde atenție la alegerea valorilor rezistențelor și condensatoarelor.

Inversoarele CMOS mai pot fi folosite în combinație cu amplificatoarele operaționale, pentru a mări curentul de ieșire și excursia de tensiune la ieșire. Amplificatorul operațional lucrează practic fără sarcină, datorită impedanței de intrare foarte mari a porții CMOS.

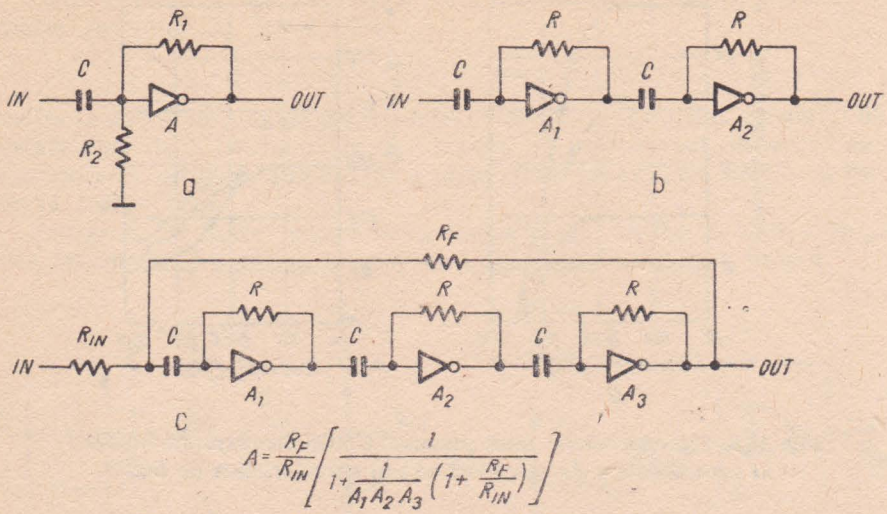


Fig. 14.6. Amplificatoare cu porți CMOS cuplate în c.a. :
a) cu un etaj ; *b*) cu 2 etaje ; *c*) cu 3 etaje cu reacție paralel-paralel.

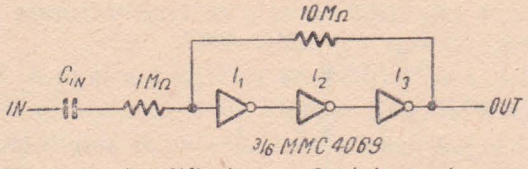


Fig. 14.7. Amplificator cu 3 etaje cu inversoare cuplate în c.c.

În figura 14.8 este prezentat un amplificator neinversor cu cîștigul în tensiune egal cu : $1 + \frac{R_F}{R_1} = 11$.

Circuitul din figura 14.9 este un buffer neinversor cu capabilitate în curent sporită (pînă la aproximativ 70 mA).

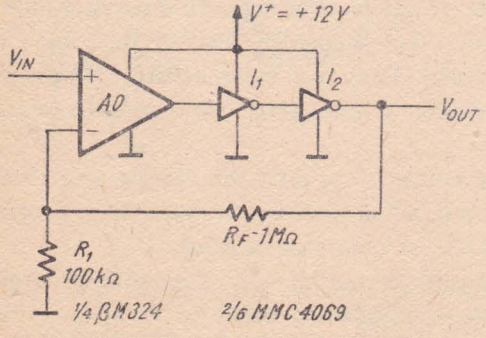


Fig. 14.8. Amplificator cu A=11 cu βM324 cu capabilitate în curent sporită.

14.2. Generatoare de funcții și formatoare de semnal

14.2.1. Generator de funcții (I) [3]

Circuitul din figura 14.10 generează semnale dreptunghiulare, triunghiulare și sinusoidale.

Oscilatorul propriu-zis este compus dintr-un integrator (cu poarta G_2) și un trigger Schmitt (cu porțile G_3 și G_4).

Domeniul de frecvență se stabilește din valorile rezistențelor R_7,

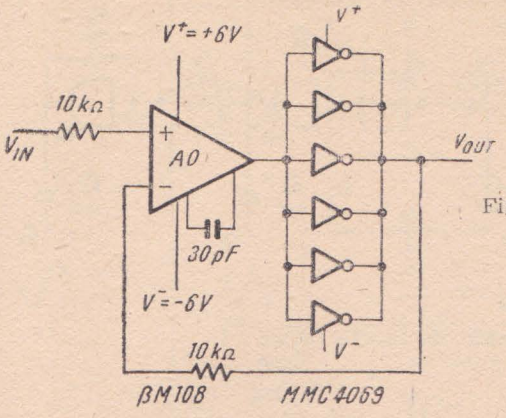


Fig. 14.9. Buffer cu βM108 cu capabilitate în curent sporită.

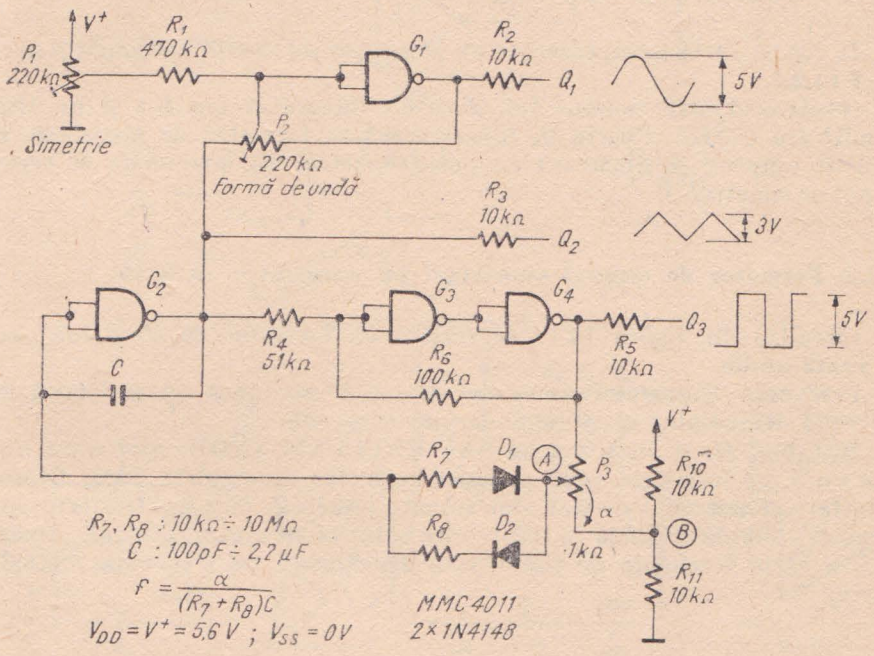


Fig. 14.10. Generator de funcții (I).

R_8 și condensatorul C. Frecvența se reglează în interiorul domeniului cu ajutorul potențiometrului P_3. Frecvența de oscilație este:

$$f = \frac{\alpha}{(R_7 + R_8) \cdot C},$$

unde α este fracțiunea din rezistența potențiometrului P_3, cuprinsă între cursor (punctul A) și punctul B. Factorul de umplere este dat de raportul dintre rezistențele R_7 și R_8.

Poarta G_1 funcționează ca formator de sinusoidă (cu limitare controlată). Forma sinusoidei se ajustează cu potențiometrele P_1, P_2.

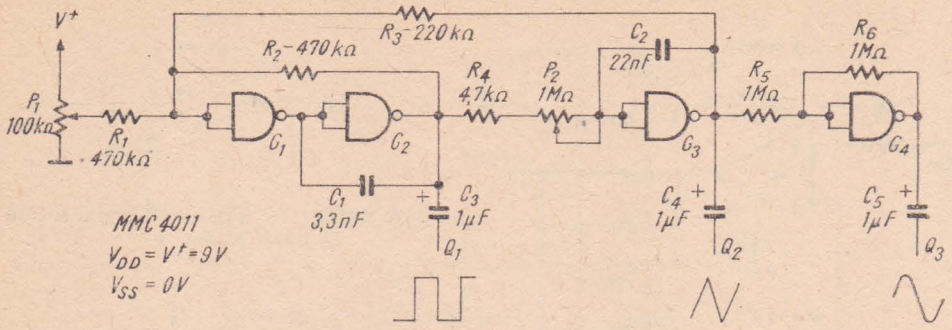


Fig. 14.11. Generator de funcții (II).

14.2.2. Generator de funcții (II) [4]

În figura 14.11 este prezentat un generator de funcții asemănător aceluia din § 14.2.1.

Oscilatorul este compus tot dintr-un integrator (cu G_3) și un trigger Schmitt (cu G_1, G_2). Poarta G_4 funcționează ca formator de sinusoidă. Factorul de umplere se ajustează cu potențiometrul P_1. Frecvența se reglează cu potențiometrul P_2.

14.2.3. Formator de semnal sinusoidal cu numărător cu 3 [5]

Circuitul din figura 14.12 reprezintă un formator de sinusoidă pentru frecvențe audio.

Frecvența semnalului sinusoidal de ieșire este de 3 ori mai mică decît frecvența semnalului dreptunghiular de comandă.

Bistabilii B_1 și B_2 și poarta SAU-EXCLUSIV (XOR) alcătuiesc un divizor cu 3, cu formă de undă de ieșire cu factor de umplere 50%. Semnalul de intrare și semnalul divizat sînt sumate ponderat de amplificatorul operațional AO. Forma de undă în trepte este netezită cu ajutorul filtrului trece-jos FTJ, a cărui frecvență de tăiere este dependentă de frecvența semnalului generat.

14.2.4. Formator de semnal sinusoidal cu multiplexorul analogic MMC 4051 [5]

Formatorul de sinusoidă din figura 14.13 *a* furnizează un semnal sinusoidal cu o frecvență de 16 ori mai mică decît frecvența semnalului de intrare.

Semnalul de intrare este divizat cu 2, 4, 8, 16 de către circuitul MMC 4024. Pentru fiecare combinație de biți de adresă A, B, C, multiplexorul analogic conectează în punctul X o rezistență legată la V^+ sau V^-. Valorile rezistențelor sînt alese în așa fel încît curentul I care intră în nodul Y va aproxima prin trepte un curent sinusoidal.

Forma de undă va fi netezită de filtrul trece-jos construit cu amplificatorul operațional AO.

În figura 14.13, *b* sînt date formele de undă.

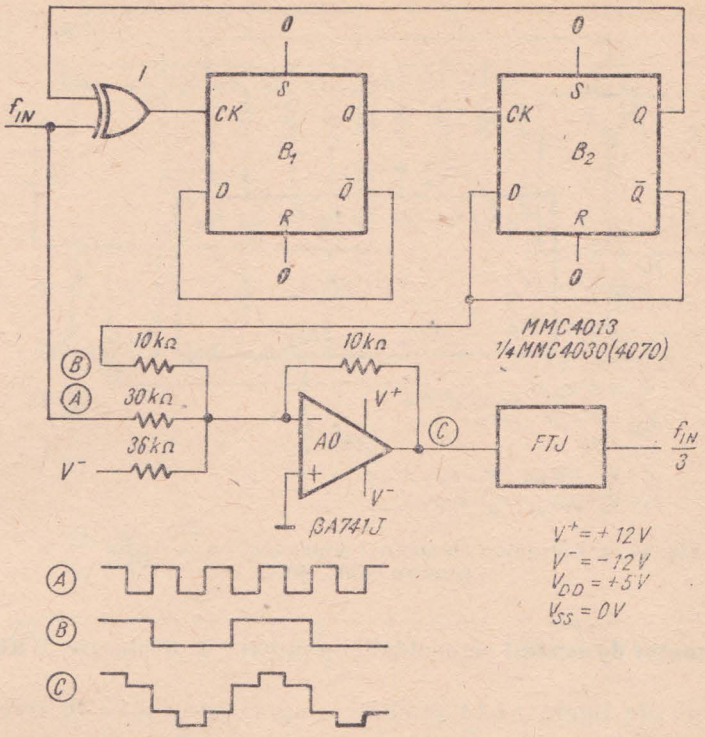
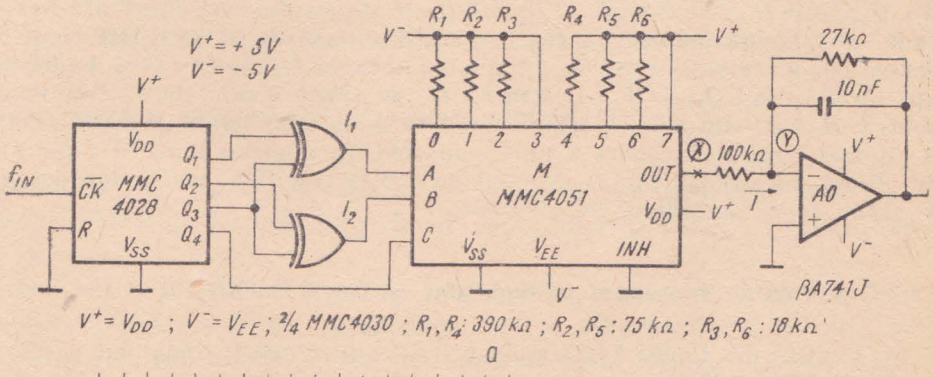


Fig. 14.12. Formator de semnal sinusoidal cu numărător cu 3.



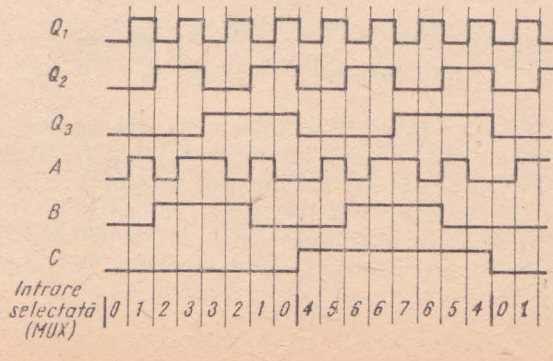


Fig. 14.13. Formator de semnal sinusoidal cu multiplexorul analogic MMC 4051.

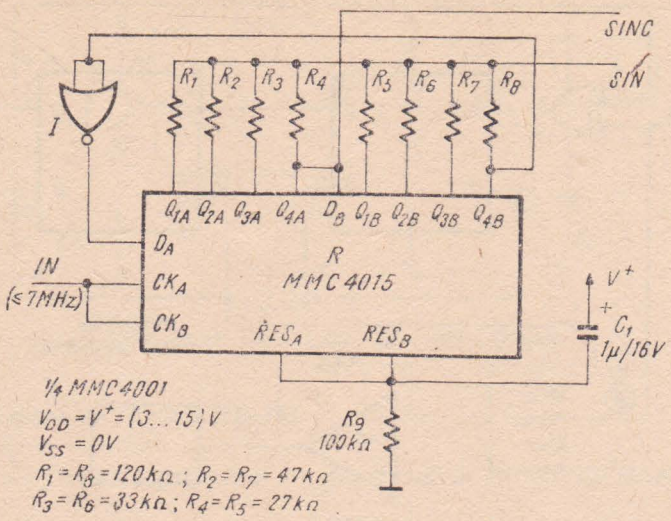


Fig. 14.14. Formator de semnal sinusoidal cu registrul de deplasare MMC 4015.

14.2.5. Formator de semnal sinusoidal cu registrul de deplasare MMC 4015 [3]

Circuitul din figura 14.14 produce o aproximare prin 16 trepte a unei sinusoide.

La pornire grupul R_9-C_1 asigură aducerea la **0** a tuturor bistabililor din registrul R. Cele 2 secțiuni de 4 biți ale registrului sînt conectate în cascadă, astfel obținîndu-se un registru de deplasare de 8 biți. Atît timp cît ieșirea Q_{4B} a registrului este în **0** logic, pe intrarea serială se aplică **1** (primele opt tacte). Cînd $Q_{4B} = \mathbf{1}$, pe intrarea D_A se aplică **0** (tactele 9÷16). Rezistențele $R_1 \div R_8$ sînt alese în așa fel încît în urma diferitelor sumări să rezulte o cît mai bună aproximare a unei sinusoide. Armonicile a 3-a și a 5-a sînt cu 50 dB sub fundamentală. Armonicile a 15-a și a 16-a, mai puternice, pot fi atenuate cu un filtru RC de ieșire.

14.2.6. Formator de semnal triunghiular cu rețea $R-2R$ [6]

Circuitul din figura 14.15 aproximează un semnal triunghiular cu 32 de trepte pe perioadă.

Circuitul este compus dintr-un numărător reversibil N, un bistabil care schimbă sensul de numărare după o semiperioadă și o rețea $R-2R$ care generează semnalul în trepte.

Fiecare număr binar de pe ieșirile numărătorului este convertit analogic cu rețeaua de rezistențe. Circuitul folosește facilitatea numărătorului MMC 4029 de a schimba sensul de numărare în funcție de nivelul logic de pe pinul $U/\bar{D}$. În felul acesta, pentru forme de undă de ieșire simetrice, convertorul digital-analog este de 4 biți, deși semnalul de ieșire este aproximat cu 32 de trepte pe perioadă.

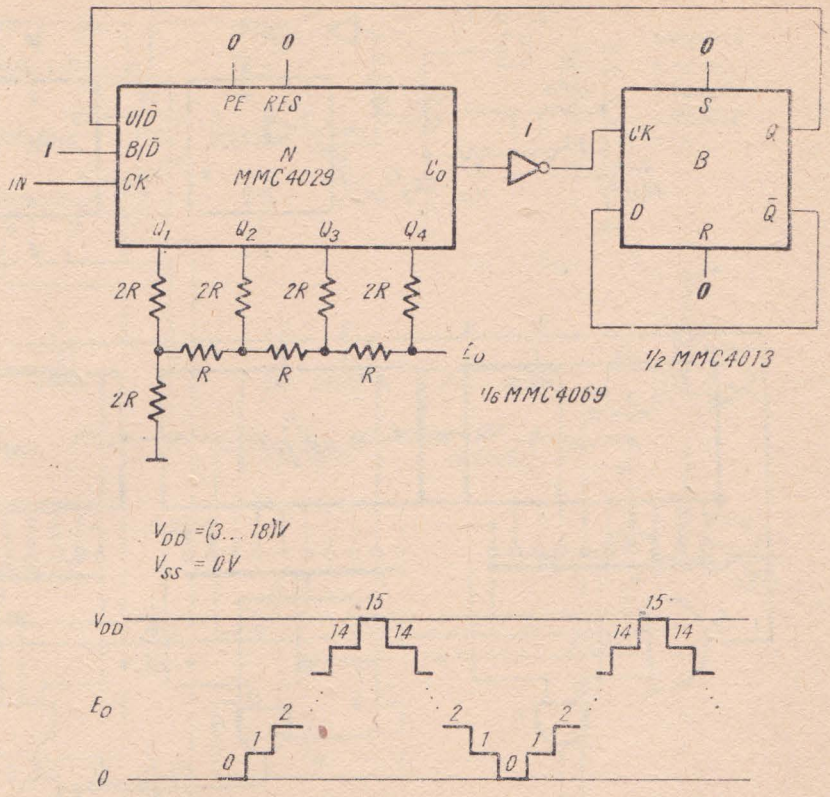


Fig. 14.15. Formator de semnal triunghiular cu rețea *R-2R*.

14.2.7. Generator programabil de semnal sinusoidal [3]

Circuitul (fig. 14.16) reprezintă un sintetizor de frecvență ($f = 1 \div 9\,999$ Hz), diferența între frecvențele adiacente fiind de 1 Hz), cu semnal de ieșire sinusoidal.

Circuitul este compus dintr-un *PLL* realizat cu circuitul MMC 4046, un divizor programabil (cu „numărătoarele" $N_1 \div N_4$ de tip MMC 4017 și porțile $I_7 \div I_{12}$), un divizor cu 100 (cu numărătoarele N_5, N_6), un generator de semnal de referință pilotat cu cuarț (cu I_1, D_1, B_1), un formator de sinusoidă cu registrele $S_1 \div S_4$ și un amplificator de ieșire cu amplificatorul operațional βA 741.

Semnalul generat de oscilatorul cu cuarț (3,2768 MHz $= 2^{15} \times 100$ Hz) este divizat cu $2^{14} \times 2 = 2^{15}$ și aplicat pe intrarea *IN* a circuitului *PLL* ($f_{IN} = 100$ Hz).

Pe intrarea *COMP IN* a circuitului MMC 4046 se aplică semnalul VCO_{out} divizat de către divizorul programabil cu numere între 1 și 9 999. Semnalul

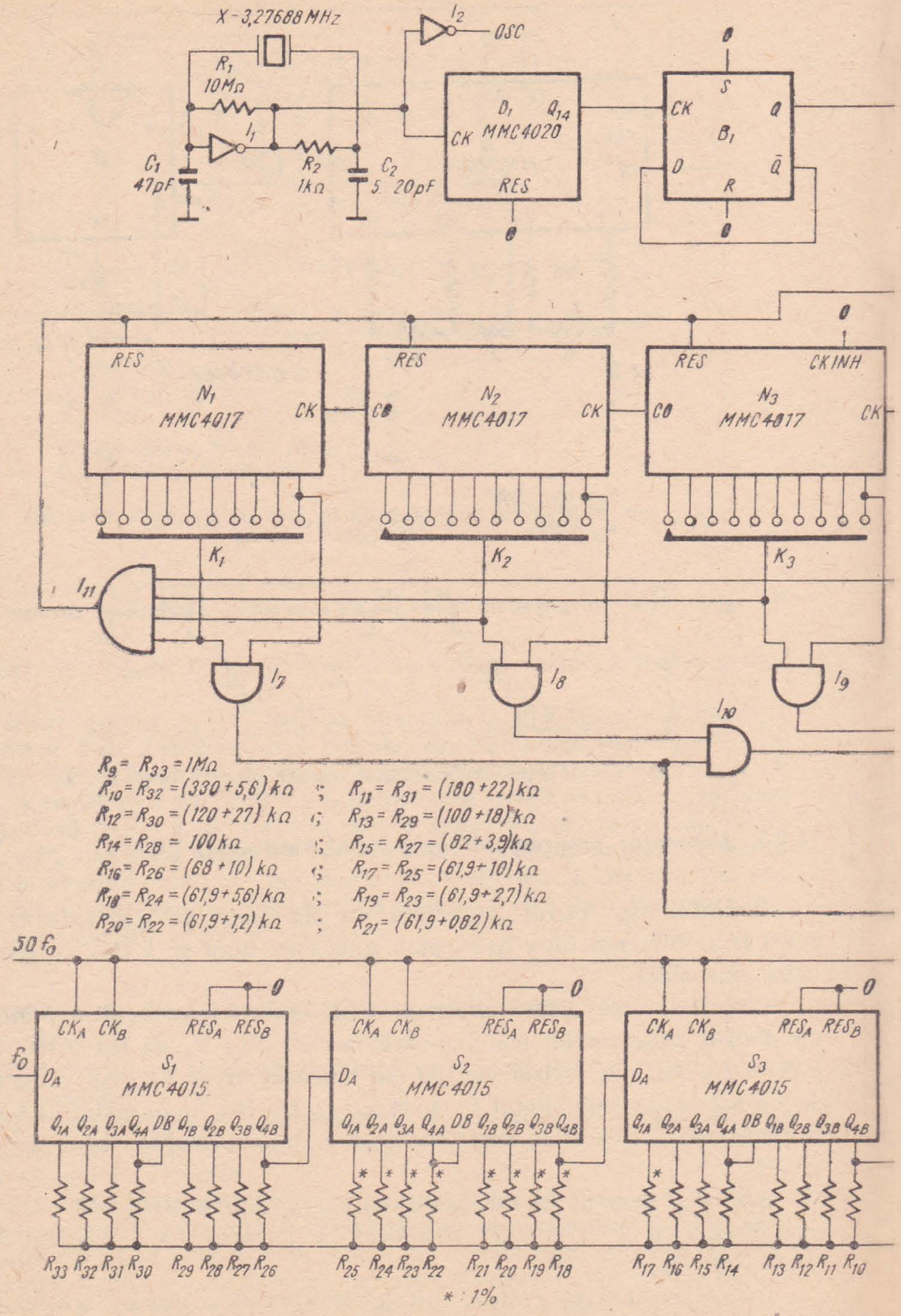
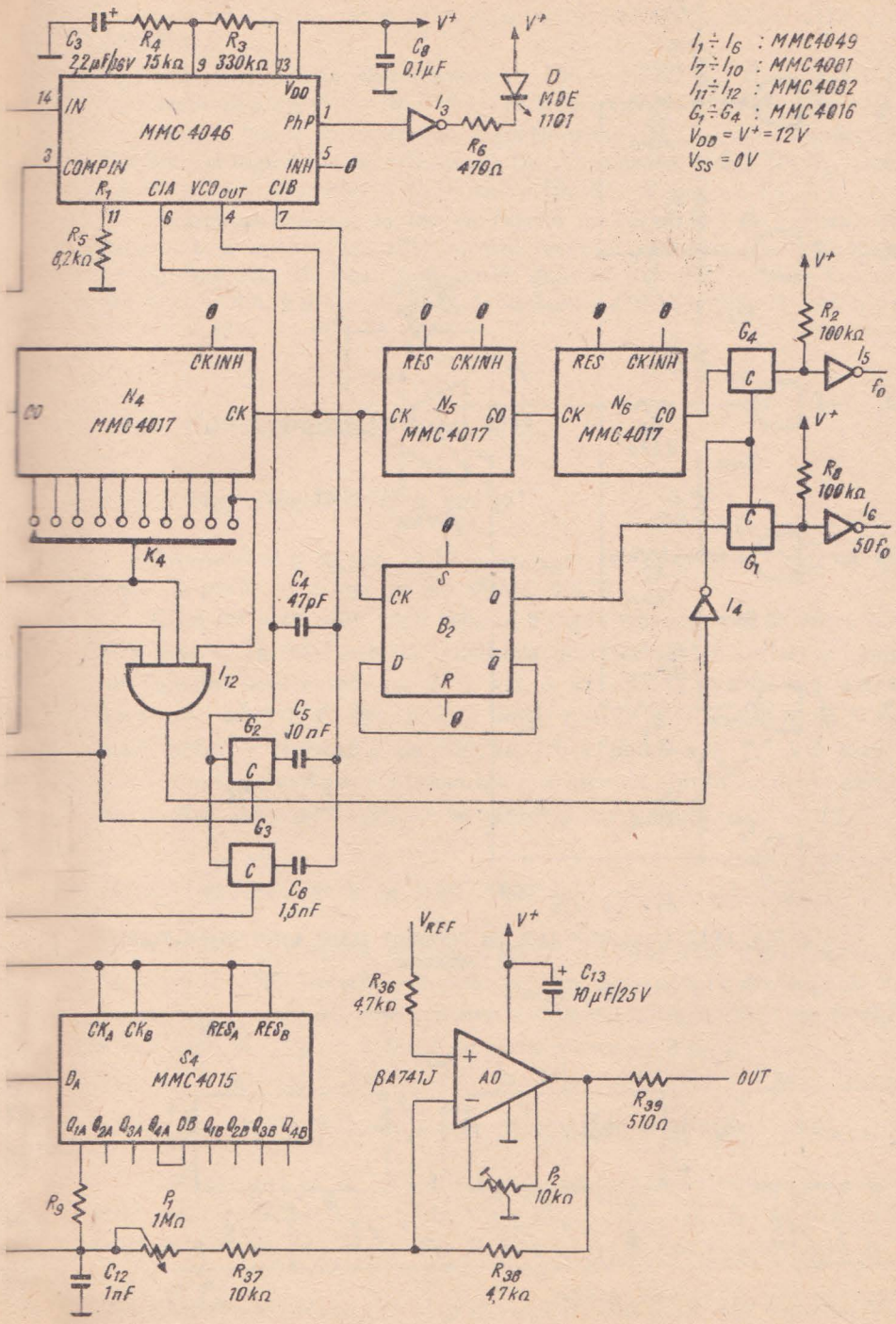


Fig. 14.16. Generator programat



e semnal sinusoidal.

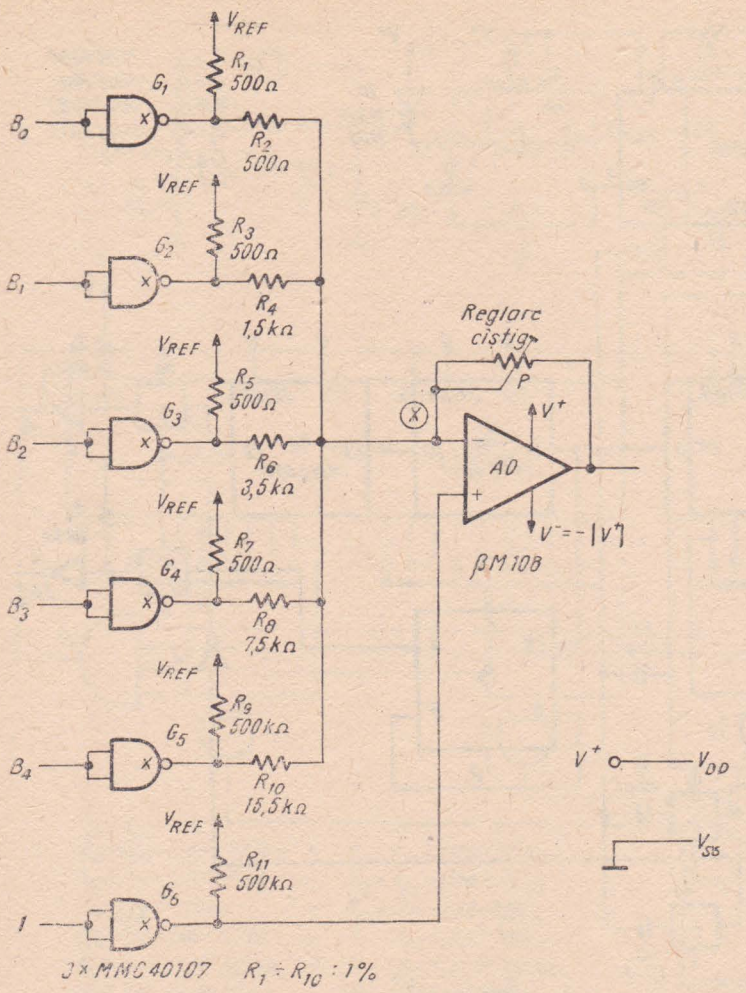


Fig. 14.17. Convertor D/A cu circuitul MMC 40107 *(open-drain)* și sumator.

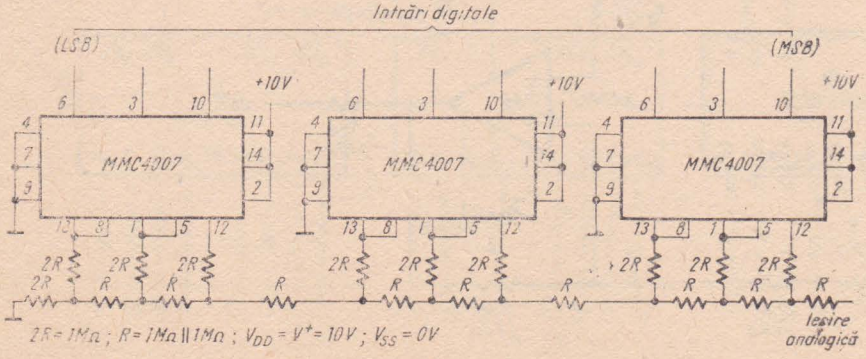


Fig. 14.18. Convertor D/A cu MMC 4007.

generat de *PLL* va avea frecvența între 100 Hz și 999,9 kHz, cu ecart de 100 Hz.

Semnalul acesta este divizat cu 100 (cu N_5, N_6) și aplicat formatorului de sinusoidă (registrele de deplasare $S_1 \div S_4$ și rezistențele $R_{10} \div R_{33}$).

Banda foarte largă în care funcționează *PLL*-ul este împărțită în două. Porțile analogice G_2, G_3 selectează fie condensatorul C_5, fie C_6. Deci, *PLL*-ul va lucra cu o capacitate $C_4 + C_5 = 10{,}047$ pF sau cu $C_4 + C_6 = 1{,}547$ pF.

Semnalul rezultat la ieșirea rețelei de rezistențe este filtrat cu condensatorul C și aplicat amplificatorului inversor de ieșire. Cu potențiometrul P_1 se reglează amplitudinea semnalului generat (50 mV...5 V). Tensiunea V_{REF} afectează componenta de curent continuu a sinusoidei de ieșire. Impedanța de ieșire este de 600 Ω.

14.3. Convertoare D/A și A/D

14.3.1. Convertor D/A de 5 biți [5]

Circuitul din figura 14.17 reprezintă un convertor D/A de 5 biți, realizat cu porți cu drenă în gol (MMC 40107).

Cînd intrarea unei porți este în **0** logic, tranzistorul de ieșire (cu canal *n*) este blocat. În felul acesta, tensiunea de referință se aplică în nodul X prin intermediul unei rezistențe de 1 kΩ, 2 kΩ, 8 kΩ sau 16 kΩ. Dacă intrarea unei porți este în **1** logic, ieșirea porții este în **0** și nodul X va fi conectat la masă printr-o rezistență de 500 Ω, 1,5 kΩ, 3,5 kΩ, 7,5 kΩ sau 15,5 kΩ.

Sumarea ponderată a tensiunilor se face cu amplificatorul operațional AO în montaj inversor. Cîștigul se reglează cu potențiometrul P.

14.3.2. Convertor D/A cu MMC 4007 [6]

Circuitul din figura 14.18 reprezintă un convertor digital/analog de 9 biți cu rețea $R-2R$. Inversoarele realizate cu tranzistoare din capsula MMC 4007 conectează rezistențele de valoare $2R$ la masă dacă bitul de intrare este în **1** logic sau la V_{DD} dacă bitul de intrare este în **0** logic.

14.3.3. Convertor D/A de 4 biți cu porți de transmisie [6]

Convertorul de 4 biți din figura 14.19 folosește perechile de porți de transmisie comandate în contratimp G_1-G_2, G_3-G_4, G_5-G_6 pentru a conecta rezistențele ponderate R_1, R_2, R_3, R_4 la masă sau la tensiunea de referință V_{REF}.

Rezistențele $R_1 = 2R_2 = 2^2R_3 = 2^3R_4$ sînt mult mai mari decît rezistența în conducție a porților de transfer (sute de ohmi).

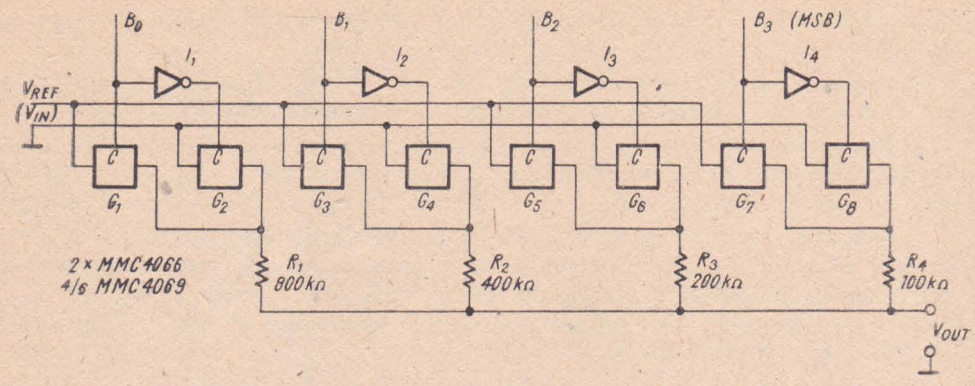


Fig. 14.19. Convertor D/A cu rezistențe ponderate (cu porți de transfer).

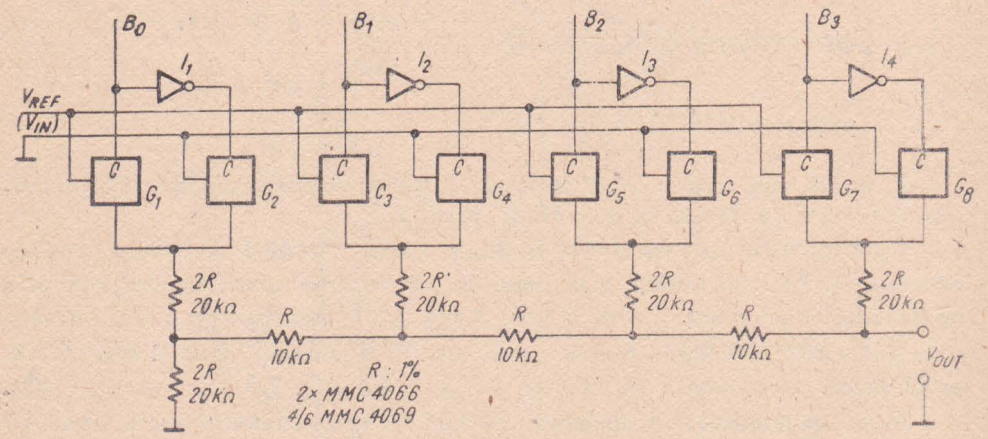


Fig. 14.20. Convertor D/A cu rețea R-$2R$ atacată în tensiune (cu porți de transfer).

14.3.4. Convertor D/A cu rețea $R-2R$ atacată în tensiune [6]

Convertorul digital-analog de 4 biți din figura 14.20 folosește o rețea de rezistențe $R-2R$ ale cărei intrări sînt conectate fie la tensiunea de referință V_{REF}, fie la masă de către perechile de porți de transfer G_1-G_2, G_3-G_4, G_5-G_6, G_7-G_8.

Porțile de transfer sînt comandate în contratimp.. Dacă bitul $B_i = \mathbf{0}$ ($i = 0 \div 3$), rezistența corespunzătoare (de valoare $2R$) va fi conectată la masă (0V). Dacă bitul $B_i = \mathbf{1}$ ($i = 0 \div 3$), rezistența se conectează la tensiunea de referință V_{REF}.

14.3.5. Convertor D/A cu rețea R—2R atacată în curent [6]

În figura 14.21 se prezintă un convertor digital-analog cu rețea $R-2R$ în nodurile căreia se injectează un curent de referință. Comutatoarele $G_1 \div G_4$ permit sau nu accesul curenților I, respectiv în nodurile $1 \div 4$, după cum $B_i = \mathbf{1}$ sau $B_i = \mathbf{0}$ ($i = 1 \div 4$).

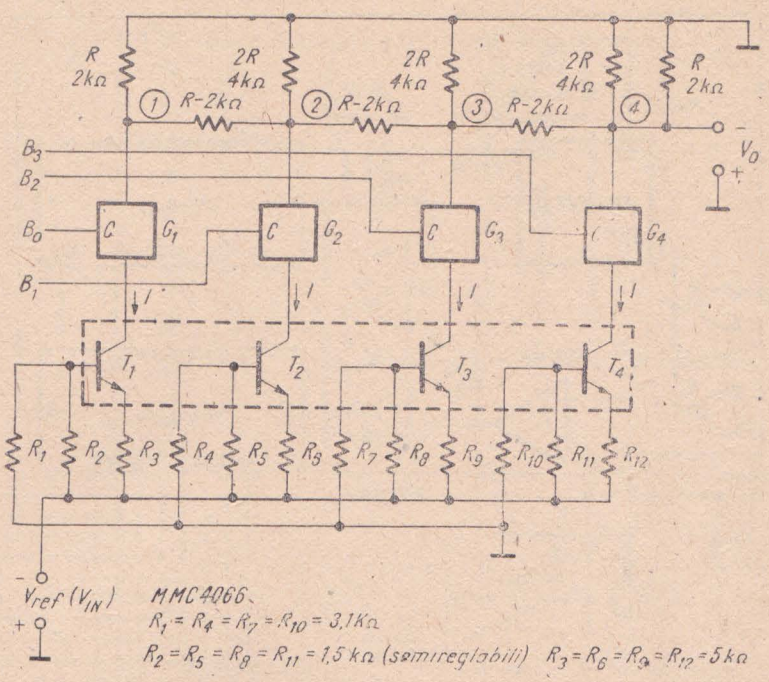


Fig. 14.21. Convertor D/A cu rețea *R-2R* atacată în curent.

Tensiunea de ieșire este negativă. Porțile de transfer trebuie să fie alimentate în așa fel încît tensiunile pe intrările/ieșirile analogice să nu depășească tensiunile V_{DD}, V_{SS}.

Comanda se va face cu nivelele de tensiune V_{DD}(= **1** logic) și V_{SS}(= **0** logic). Folosind tranzistoarele *pnp* și o tensiune de referință pozitivă se obține o tensiune de ieșire pozitivă.

Circuitele prezentate în §§ 14.3.3, 14.3.4, 14.3.5 pot fi privite și ca atenuatoare variabile pentru tensiunea de intrare V_{IN} care se aplică în locul tensiunii de referință.

14.3.6. Convertor A/D cu aproximații succesive

Circuitul din figura 14.22 reprezintă un convertor analog-digital de 8 biți cu aproximații succesive.

Convertorul folosește un latch adresabil MMC 4099 ca registru de aproximații succesive și un convertor D/A de 8 biți βDAC08.

Procesul de conversie începe cu un impuls pozitiv scurt pe intrarea *START CONV*. Acest impuls resetează numărătorul *N* și latch-ul adresabil *L* și aduce ieșirea porții G_1 (din latch-ul construit cu G_1 și G_2) în **0** logic. În felul acesta, circuitul MMC 4047, conectat ca astabil comandat începe să oscileze. Numărătorul *N* avansează la fiecare front pozitiv al semnalului generat de astabil. Ieșirile numărătorului selectează celula din latch-ul adresabil în care se va face înscrierea rezultatului comparării semnalului de intrare cu numărul din latch convertit analog cu circuitul βDAC08.

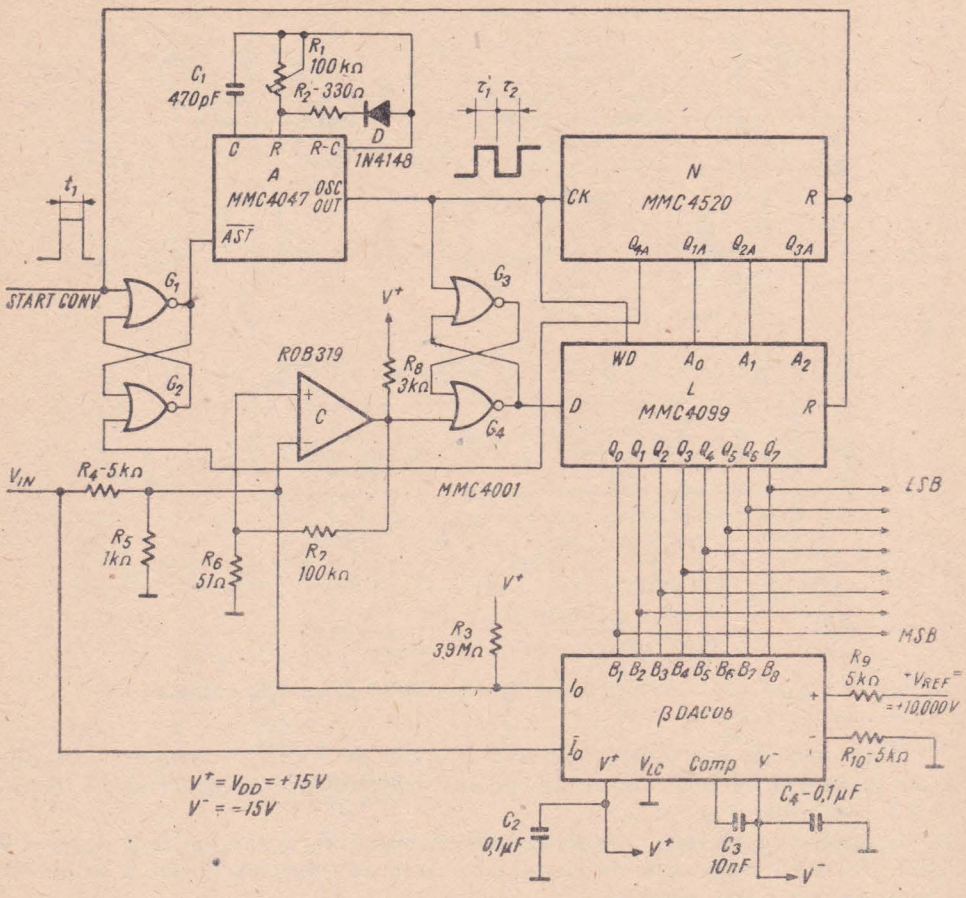


Fig. 14.22. Convertor A/D cu aproximații succesive.

Dacă tensiunea rezultată din conversia D/A este mai mare decît tensiunea de intrare, ieșirea comparatorului C este în 1 logic. Informația memorată de latch-ul construit cu porțile SAU-NU (NOR) G_3 și G_4 se înscrie în registrul de aproximații succesive în semiperioada τ_2 a semnalului generat de astabil.

Conversia începe cu stabilirea bitului celui mai semnificativ și încetează după 8 impulsuri pozitive generate de astabilul A. Rezultatul conversiei este disponibil la ieșirile $Q_7 \div Q_0$ ale latch-ului adresabil pînă la următorul impuls *START CONV*.

14.3.7. **Convertor A/D paralel [8]**

Convertorul A/D din figura 14.23, *a* exploatează proprietatea circuitelor CMOS de a furniza la ieșire semnale cu nivele foarte apropiate de tensiunile de alimentare pentru curenți de sarcină mici.

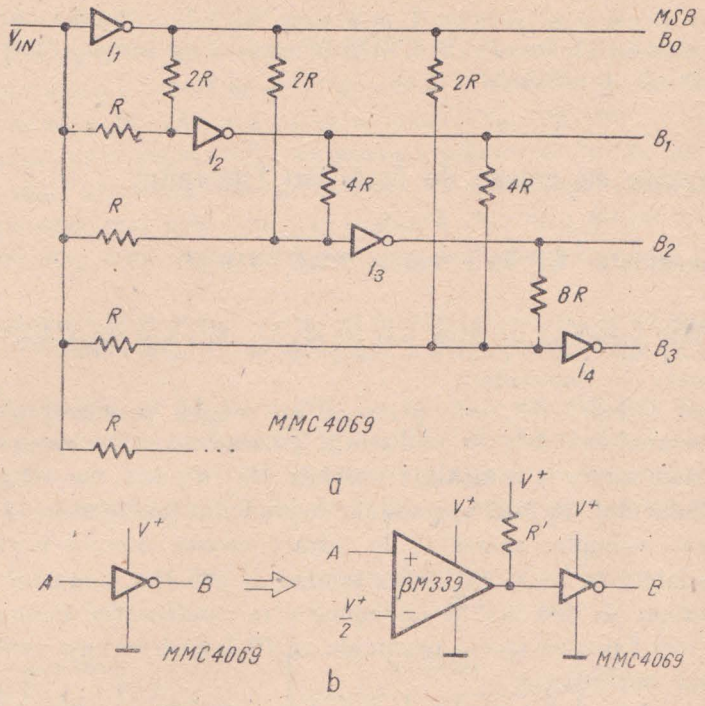


Fig. 14.23. Convertor A/D paralel :
a) schema de principiu (numai cu inversoare CMOS) ; *b)* înlocuirea inversoarelor CMOS cu comparatoare plus inversoare CMOS.

De asemenea, se presupune că inversorul are o caracteristică de transfer cu pantă-mare, cu tensiunea de tranziție cît mai apropiată de $(V_{DD} - V_{SS})/2$.

Dacă, de exemplu, convertorul din figură este de 4 biți, tensiunea de alimentare $V^+ = 10$ V și tensiunea de convertit $V_{IN} = 0 \ldots 10$ V, abaterea maximă a tensiunii de tranziție ar trebui să fie de maximum jumătate din treapta de conversie, adică de $\frac{10}{2^4 - 1} \cdot \frac{1}{2}$V. Deci, tensiunea de tranziție ar trebui să fie $V_{tr} = 5$ V $\pm 0{,}33$ V, sau $V_{tr} = 5$V $\pm$ 6,6%.

Inversorul I_1 compară tensiunea de intrare cu V_{tr}. Dacă $V_{IN} > V_{tr}$ $B_0 = \mathbf{0}$. Dacă $V_{IN} < V_{tr}$, $B_0 = \mathbf{1}$. Tensiunea pe poarta inversorului I_2 va fi $V_2 = \frac{2}{3} V_{IN} + \frac{1}{3} V_{DD} \cdot B_0$, unde B_0 este **0** sau **1**. După cum tensiunea V_2 este mai mare sau mai mică decît tensiunea de tranziție V_{tr}, ieșirea inversorului I_2 va fi în **0** logic sau în **1** logic. Pe intrarea inversorului I_3 tensiunea va fi

$$V_3 = \frac{4}{7} V_x + \left(\frac{2}{7} B_0 + \frac{1}{7} B_1 \right) V_{DD}, \text{ ș.a.m.d.}$$

Cuvîntul binar rezultă după nt_p, unde t_p este timpul de propagare printr-o poartă, iar n este numărul de biți pe care se face conversia. În cazul în care se dorește mărirea rezoluției, fiecare inversor se poate înlocui cu un compa-

rator în cascadă cu un inversor CMOS (fig. 14.23, *b*). Comparatorul asigură precizia la intrare, iar inversorul CMOS furnizează un semnal foarte apropiat de tensiunile de alimentare.

14.4. Circuite cu calare de fază sau frecvență

14.4.1. Demodulator MF cu circuitul MMC 4046 [7]

În figura 14.24 este arătat modul în care se conectează circuitul cu calare de fază (*PLL*) MMC 4046 pentru a funcționa ca un demodulator pentru semnale modulate în frecvență.

Cînd un circuit *PLL* este prins pe un semnal modulat în frecvență, frecvența semnalului dat de oscilatorul comandat în tensiune urmărește frecvența instantanee a semnalului de intrare. În acest caz semnalul de la ieșirea detectorului de fază corespunde semnalului modulator.

În acest exemplu, semnalul de intrare constă dintr-o purtătoare de 10 kHz modulată în frecvență de un semnal de 400 Hz. Semnalul de intrare cu amplitudinea de 500 mV se introduce prin condensator în comparatorul de fază I, folosit pentru că era nevoie de un *PLL* cu frecvența centrală egală cu frecvența purtătoarei.

Pentru a calcula valorile elementelor pasive din schemă se folosesc formulele pentru comparatorul de fază I, cu $R_2 = \infty$ prezentate în capitolul 3.

Frecvența centrală a oscilatorului comandat în tensiune s-a luat $f_0 = 10$ kHz, impunînd tensiunea de alimentare $V_{DD} = 5$ V și valoarea rezistenței, $R_1 = 100$ kΩ, rezultă capacitatea condensatorului $C_1 = 500$ pF. Banda de captură va fi

$$f_c \simeq \frac{\pm 1}{2\pi} \cdot \frac{2\pi f_1}{R_3 C_2} = \pm 0{,}4 \text{ kHz}.$$

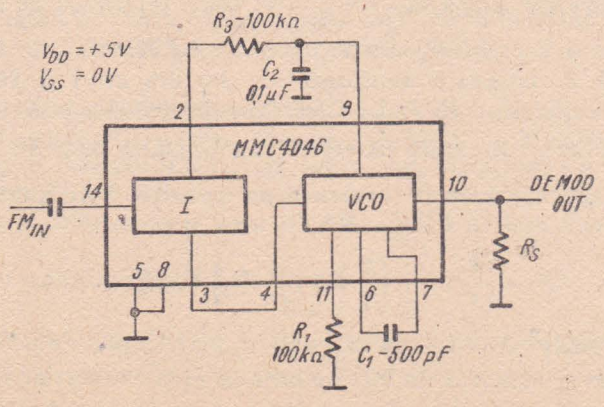


Fig. 14.24. Demodulator MF cu circuitul MMC 4046.

pentru a corespunde deviației de frecvență a semnalului de intrare. Cu valorile $R_3 = 100$ kΩ, $C_2 = 0{,}1$ μF se obține frecvența f_c dată.

Dacă tensiunea de alimentare este de 5 V, circuitul absoarbe un curent de 132 μA pentru un raport semnal/zgomot al semnalului de intrare de 4 dB. Consumul scade la 90 μA dacă raportul semnal/zgomot este de 10 dB. Scăderea consumului se explică prin saturarea amplificatorului de intrare pentru nivele mai mari ale semnalului de intrare. La nivele mici de semnal amplificatorul lucrează mai mult timp în regiunea de cîștig ridicat a caracteristicii de transfer, cînd ambele tranzistoare sînt deschise.

14.4.2. Demodulator din cod bifazic în cod NRZ cu circuitul MMC 4046 [7]

Schema din figura 14.25, *a* este un exemplu de utilizare a circuitului MMC 4046 pentru sincronizarea și decodificarea semnalelor în cod bifazic.

Transmisia se face cu rată constantă. Informația de sincronizare este conținută în tranzițiile semnalului modulat, ambele tipuri de tranziții — po-

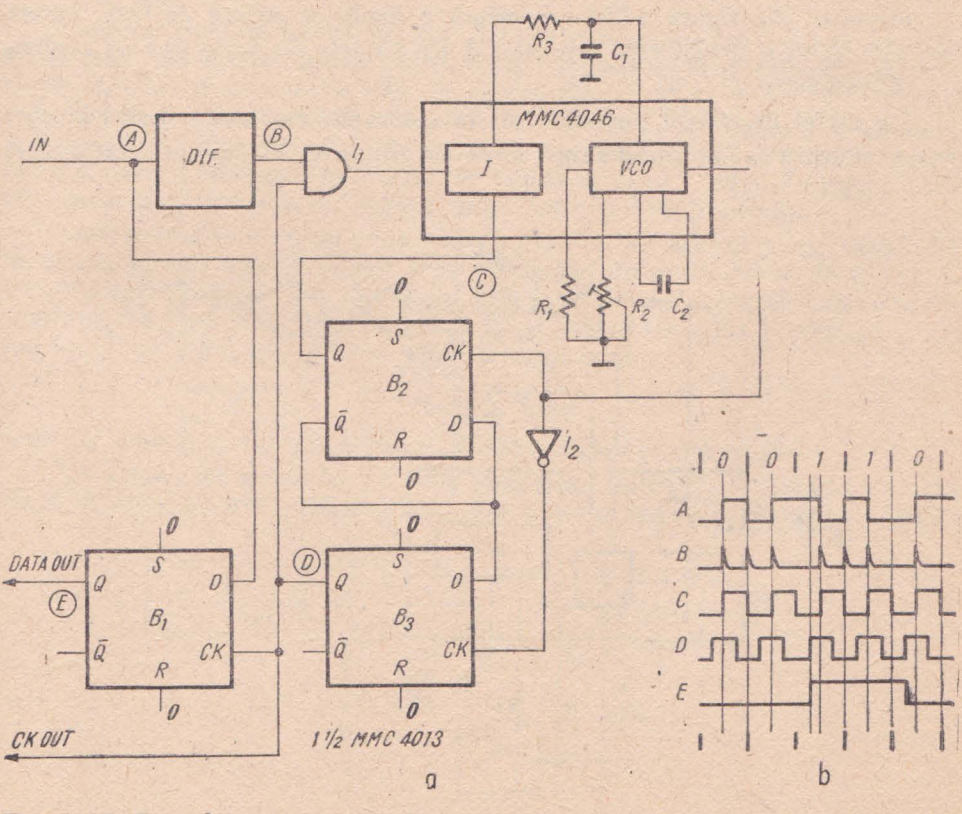


Fig. 14.25. Demodulator din cod bifazic în cod *NRZ* cu circuitul MMC 4046 : *a)* schema ; *b)* forme de undă.

zitivă și negativă — fiind semnificative. O tranziție pozitivă în mijlocul celulei (fig. 14.25, *b*) semnifică $DATA = \mathbf{0}$, iar o tranziție negativă $DATA = \mathbf{1}$.

Semnalul modulat de intrare este diferențiat pentru a se obține tranzițiile pozitive și negative. Semnalul rezultat (de frecvență dublă) se aplică prin intermediul porții I_1 circuitului *PLL*. În această aplicație se folosește comparatorul de fază II pentru că nu este sensibil la factorul de umplere al semnalului de intrare sau al semnalului dat de oscilatorul comandat în tensiune (*VCO*). Semnalul dat de *VCO*, pe de o parte este divizat cu 2 de bistabilul B_2, pe de altă parte se aplică prin inversorul I_2 bistabilului B_3. Ieșirea Q a acestui bistabil comandă accesul impulsurilor din punctul B la comparatorul de fază. Cînd $Q_{B3} = \mathbf{1}$, bucla se calează pe frecvența semnalului diferențiat. Cînd $Q_{B3} = \mathbf{0}$, poarta I_1 este blocată, dar bucla rămîne calată.

În punctul D se obține semnalul de ceas recuperat din semnalul de intrare, iar în punctul E data demodulată. Pentru a sincroniza bucla, înaintea datelor se va transmite un șir alternat de **0** și **1**.

14.4.3. Indicator de calare pentru MMC 4046 [7]

Circuitul din figura 14.26 reprezintă o buclă cu calare de fază, căreia i s-a adăugat un circuit care semnalează dacă bucla s-a prins sau nu (ieșirea $L = \mathbf{1}$, respectiv $L = \mathbf{0}$).

Un astfel de circuit poate fi util în montajele în care anumite blocuri trebuie să intre în funcțiune numai după sincronizarea buclei. Cu acest circuit

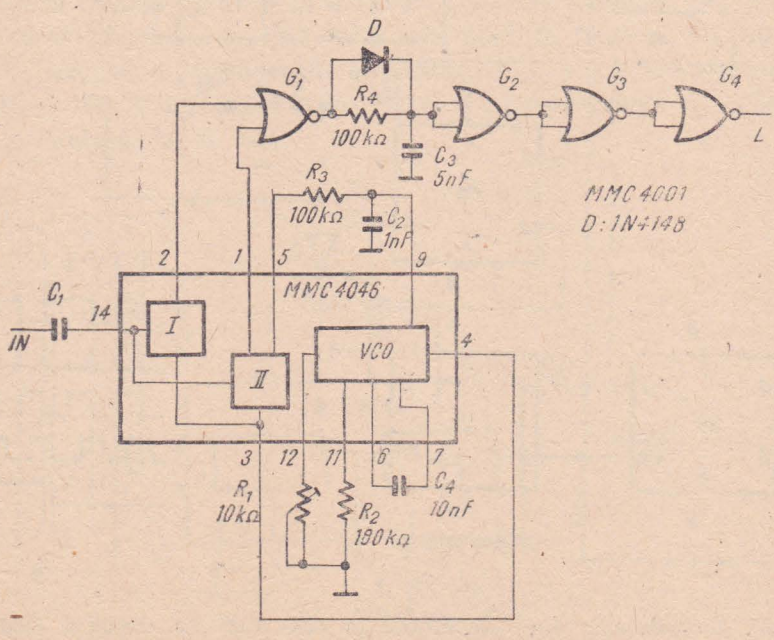


Fig. 14.26. Indicator de calare pentru MMC 4046.

se poate face și demodularea unui semnal *FSK* (*frequency-shift-keying*) dacă elementele buclei sînt calculate în așa fel încît o frecvență *FSK* să fie în banda de captură, iar cealaltă frecvență în afara benzii de captură. Circuitul din figură lucrează cu un semnal de intrare *FSK* cu frecvențele de 10 kHz și 20 kHz. Oscilatorul comandat în tensiune are $f_{min} = 9{,}5$ kHz și $f_{max} = 10{,}5$ kHz. Rezultă că *PLL*-ul se calează pe frecvența de 10 kHz și nu se calează dacă $f_{IN} = 20$ kHz. Cînd bucla s-a prins, ieșirea comparatorului de fază I este în cea mai mare parte a timpului în starea **JOS** (cu excepția unor impulsuri foarte scurte rezultate din diferența de fază inerentă dintre semnalele de pe intrările comparatorului de fază). Terminalul *1* al circuitului este în cea mai mare parte a timpului în starea **SUS** (cu excepția unor impulsuri foarte scurte provenite din aceeași diferență de fază ca mai sus).

Indicatorul de calare detectează trecerea în starea **JOS** a ieșirii comparatorului de fază I. Condensatorul C_3 se încarcă rapid prin dioda *D* la tensiunea V_{DD}, atunci cînd bucla se prinde. Cînd apar impulsurile pozitive scurte la ieșirea comparatorului de fază I, ieșirea porții G_1 trece în **0** logic. În acest fel, semnalul de ieșire devine activ, semnalînd calarea buclei.

14.4.4. Sintetizoare de frecvență (scheme bloc)

Sintetizoarele de frecvență sînt circuite care generează semnale cu frecvența reglabilă discret într-o bandă dată, pornind de la o frecvență de referință. Ecartul de frecvență este, de obicei, fix.

Viteza la care lucrează circuitele este dictată de lărgimea domeniului de variație al frecvenței și nu de valoarea frecvenței. Din acest motiv, se pot folosi circuite CMOS pentru lărgimi de bandă de circa 5 MHz. În figura 14.27 este prezentată schema de bază a unui sintetizor de frecvență.

Sintetizorul este de fapt, un circuit *PLL* cu un divizor programabil *DP* în buclă, circuit atacat cu un semnal produs de generatorul de frecvență de referință *R*. Bucla cu calare de fază conține un oscilator comandat în tensiune *OCT*, comparatorul de fază Φ și filtrul trece-jos *F*. Relația între frecvența de referință și frecvența de ieșire este:

$$f_{OUT} = N \cdot f_{IN}$$

unde *N* este factorul de divizare al divizorului programabil.

Un circuit de acest fel permite (doar) multiplicarea frecvenței de referință. Ecartul de frecvență va fi f_{ref}. Dacă dorim un ecart mai mic, se poate

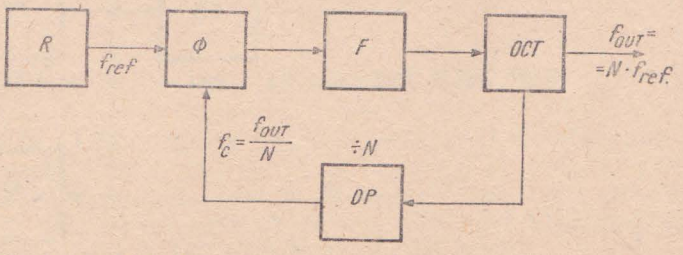


Fig. 14.27. Sintetizor de frecvență cu divizor programabil în buclă.

folosi o schemă care să conțină un divizor al frecvenței de referință D. Frecvența de ieșire va fi:

$$f_{OUT} = \frac{N}{M} \cdot f_{IN}$$

Dacă, pe de altă parte, este necesară o frecvență de ieșire mai mare, pot fi depășite limitele de funcționare ale divizorului programabil CMOS. În aceste condiții, se introduce un divizor fix (*prescaler-PS*) în buclă înaintea divizorului programabil (fig. 14.28).

Reducerea frecvenței de referință determină o frecvență de tăiere mai coborîtă pentru filtrul trece-jos, ceea ce înseamnă elemente R, L, C de valori mai mari. Creșterea factorului global de divizare conduce la scăderea benzii și cîștigului buclei [1].

O soluție este folosirea în buclă a unui prescaler cu modul variabil (fig. 14.29).

Factorul de divizare este:

$$N_T = (P + 1) \cdot A + P \cdot (N - A)$$

unde P și $P + 1$ sînt factorii de divizare ai prescalerului.

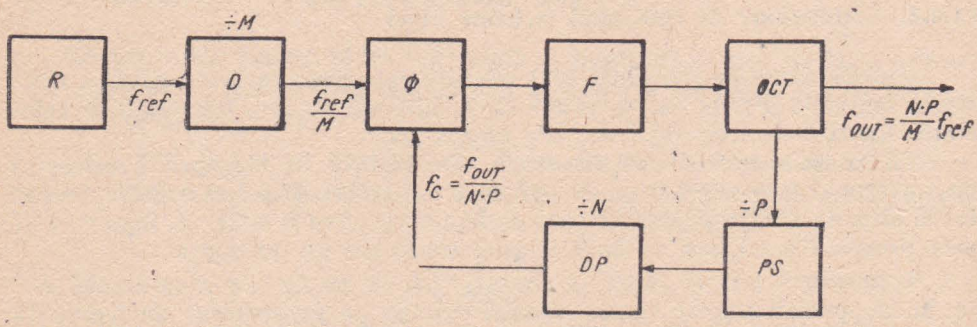


Fig. 14.28. Sintetizor de frecvență cu divizor programabil și prescaler în buclă.

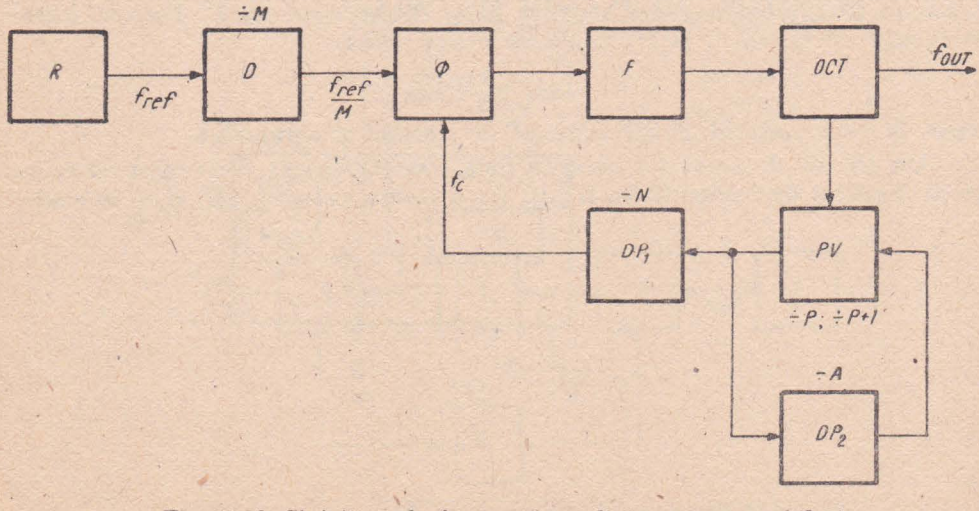


Fig. 14.29. Sintetizor de frecvență cu divizor programabil și prescaler cu modul variabil în buclă.

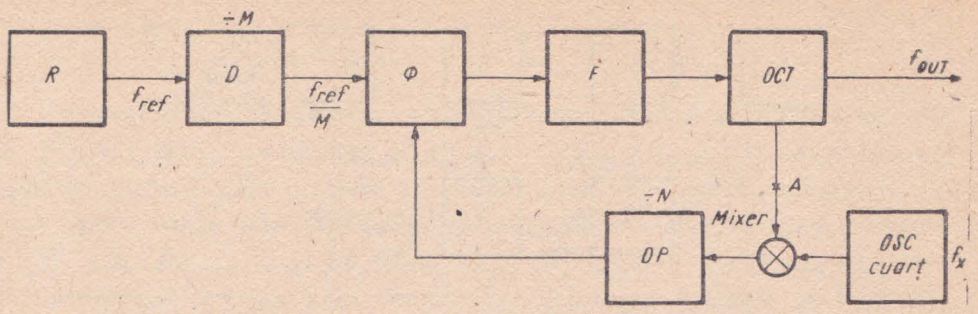


Fig. 14.30. Sintetizor de frecvență cu mixer și divizor programabil în buclă.

O altă variantă de sintetizor este cea prezentată în figura 14.30.

Frecvența generată de un oscilator pilotat cu cuarț f_x este mixată cu frecvența dată de oscilatorul comandat în tensiune și diferența acestor frecvențe se aplică divizorului programabil *DP*. Frecvența maximă la care operează sintetizorul este determinată de lărgimea benzii în care se găsesc frecvențele generate, permițînd folosirea divizoarelor programabile cu circuite CMOS. Alte avantaje sînt : reducerea factorului de divizare total, implicînd creșterea benzii și cîștigului buclei, și faptul că frecvența de referință poate fi făcută egală cu ecartul de frecvență.

Dezavantajul acestei soluții este apariția de semnale de intermodulație parazite, care cad în bandă și sînt greu de rejectat. Pentru atenuarea acestor neajunsuri se poate intercala un amplificator de separare în punctul *A*, sau un divizor cu 2 (cu dezavantajele prezentate la prima schemă cu prescaler).

Pentru un ecart mic de frecvență între canale sau pentru o bandă foarte largă se poate folosi circuitul cu două bucle a cărui schemă bloc se poate vedea în figura 14.31.

Prima buclă (*PLL*1) produce ecartul „brut" (1 MHz). Bucla a doua (*PLL*2) produce ecartul „fin" (25 ; 12,5 ; 10 kHz sau mai puțin). Factorii de divizare sînt mici pentru ambele bucle, conducînd la o bandă și un cîștig mari, așa cum s-a mai menționat. Dezavantajele acestei configurații sînt generarea de frecvențe de intermodulație parazite și folosirea oscilatorului comandat în tensiune OCT_2, care nu va putea produce un semnal cu un spectru la fel de pur ca un oscilator cu cristal.

Circuitul din figura 14.31 generează un semnal între 100 și 200 MHz cu un ecart de 25 kHz între canale. Prescalerul *PS* este singurul circuit digital funcționînd la o frecvență mare și va trebui să fie un circuit în tehnologie ECL, sau o combinație între un circuit ECL și unul în tehnologie Schottky TTL.

14.4.5. Sintetizor de frecvență cu circuitul MMC 4046

În figura 14.32 se poate vedea schema unui sintetizor de frecvență în cea mai simplă formă.

Divizorul programabil din buclă poate fi unul din cele prezentate în capitolul 12. Pentru o frecvență de referință de 1 kHz, frecvența de ieșire variază între 3 kHz și 999 kHz în trepte de 1 kHz.

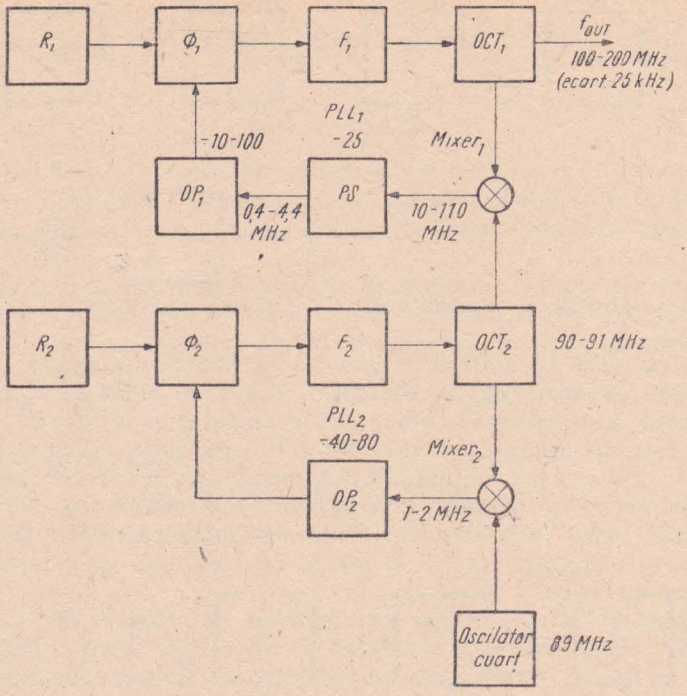


Fig. 14.31. Sintetizor de frecvență cu două bucle cu calare de fază.

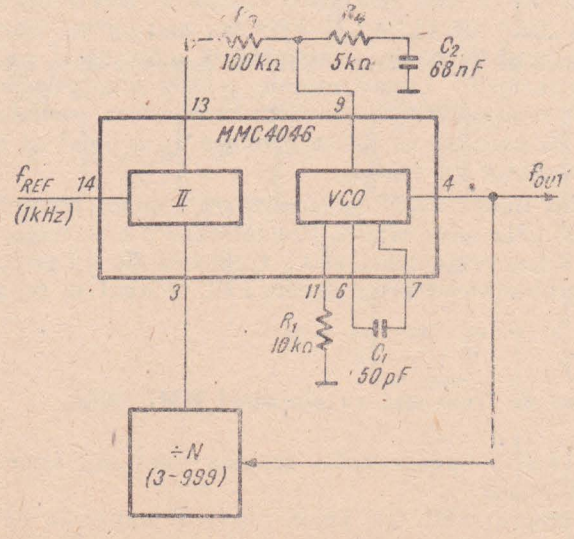
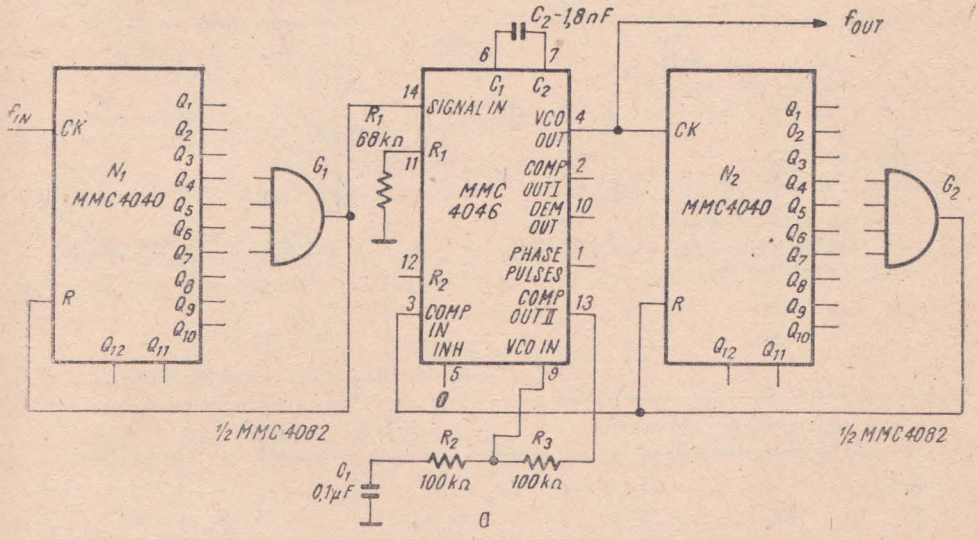


Fig. 14.32. Multiplicator de frecvență cu MMC 4046

14.4.6. **Multiplicator cu m/n pentru generatoarele de ton**

În gama temperată raportul între frecvențele a două note adiacente este de $\sqrt[12]{2} \simeq 1{,}059$ și corespunde la 12 note într-o octavă. În sintetizoarele digitale numărul 1,059... este aproximat printr-un raport de numere întregi. Astfel, dacă nota *DO* are frecvența f_0, nota *DO#* va avea frecvența $f_0 \cdot \sqrt[12]{2}$, nota *RE* va avea frecvența $f_0 \cdot (\sqrt[12]{2})^2$, ș.a.m.d. În figura 14.33 *a* este prezentată schema unui circuit care generează semnale de frecvență $\frac{16}{15} \cdot f_{IN}$, $\frac{135}{128} \cdot f_{IN}$, $\frac{25}{24} \cdot f_{IN}$, $\frac{33}{32} \cdot f_{IN}$, $\frac{12}{11} \cdot f_{IN}$, $\frac{27}{25} \cdot f_{IN}$, $\frac{89}{84} \cdot f_{IN}$, în funcție de conexiunile realizate (vezi tabelul din figura 14.33, *b*).



f_{OUT}/f_{IN}	$N_1 \rightarrow G_1$								$N_2 \rightarrow G_2$							
	Q_8	Q_7	Q_6	Q_5	Q_4	Q_3	Q_2	Q_1	Q_8	Q_7	Q_6	Q_5	Q_4	Q_3	Q_2	Q_1
16:15	0	0	0	0	1	1	1	1	0	0	0	1	0	0	0	0
135:128	1	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1
25:24	0	0	0	1	1	0	0	0	0	0	0	1	1	0	0	1
33:32	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	1
12:11	0	0	0	0	1	0	1	1	0	0	0	0	1	1	0	0
27:25	0	0	0	1	1	0	0	1	0	0	0	1	1	0	1	1
89:84	0	1	0	1	0	1	0	0	0	1	0	1	1	0	0	1

b

Fig. 14.33. Multiplicator de frecvență cu m/n pentru generatoare de ton : *a)* schema de principiu ; *b)* tabela cu conexiunile în funcție de raportul de divizare.

Numărătorul N_1 împreună cu poarta G_1 alcătuiesc un divizor cu numărul n. În bucla circuitului MMC 4046 se găsește un al doilea divizor (cu numărătorul N_2 și poarta G_2). Bucla cu calare de fază acționează ca un multiplicator de frecvență cu m, factorul de divizare pentru grupul N_2—G_2. Frecvența de ieșire va fi:

$$f_{OUT} = \frac{m}{n} \cdot f_{IN}$$

Avantajul unei astfel de scheme constă în faptul că se poate obține o frecvență stabilă în domeniul audio pornind de la o frecvență de referință provenind de la un oscilator pilotat cu cuarț.

14.4.7. Comandă programabilă pentru triac

Circuitul din figura 14.34 realizează comanda unui triac folosit într-o instalație de iluminare. Se pot obține 99 niveluri de intensitate luminoasă.

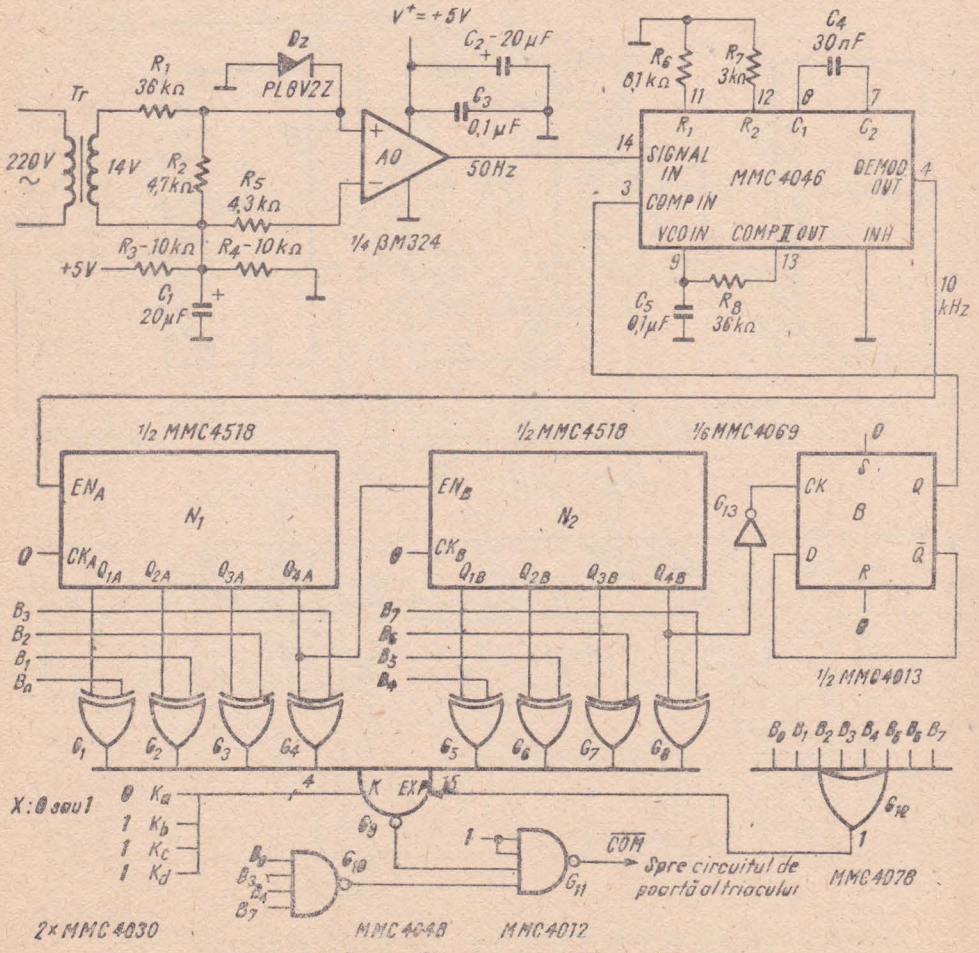


Fig. 14.34. Comandă programabilă pentru triac.

Programarea se face cu un cuvînt de 8 biți organizat ca două cifre BCD provenit de la un microcalculator sau de la două comutatoare decadice.

Triacul se comandă sincron cu rețeaua. Semnalul sinusoidal din secundarul transformatorului Tr este aplicat amplificatorului operațional AO care funcționează ca un comparator. Semnalul dreptunghiular rezultat de frecvență 50 Hz, este aplicat la intrarea circuitului PLL MMC 4046. Bucla cu calare de fază include un divizor cu 200, alcătuit din numărătoarele decadice N_1 și N_2 (MMC 4518) și bistabilul B ($^1/_2$ MMC 4013). Semnalul de la ieșirea oscilatorului comandat în tensiune va avea frecvența:

$$f = 50 \cdot 200 = 10 \text{ kHz}$$

Semnalele de la ieșirile numărătoarelor sînt comparate cu cuvîntul de comandă de către porțile SAU-EXCLUSIV (XOR) $G_1 \div G_8$ și poarta multifuncțională G_9 (programată ca SAU-NU (NOR) cu 8 intrări) montate ca un comparator de 8 biți. Porțile G_{10} și G_{12} asigură stabilitatea circuitului în punctele extreme (99, respectiv 00), ținînd în permanență deschis, respectiv blocat dispozitivul comandat (triac).

14.4.8. Comparator de fază cu bistabil D

O variantă simplă de comparator de fază cu bistabil este prezentată în figura 14.35, *a*.

Semnalul de referință se aplică pe intrarea D a bistabilului, iar semnalul provenit de la oscilatorul comandat în tensiune, pe intrarea de ceas. Bucla

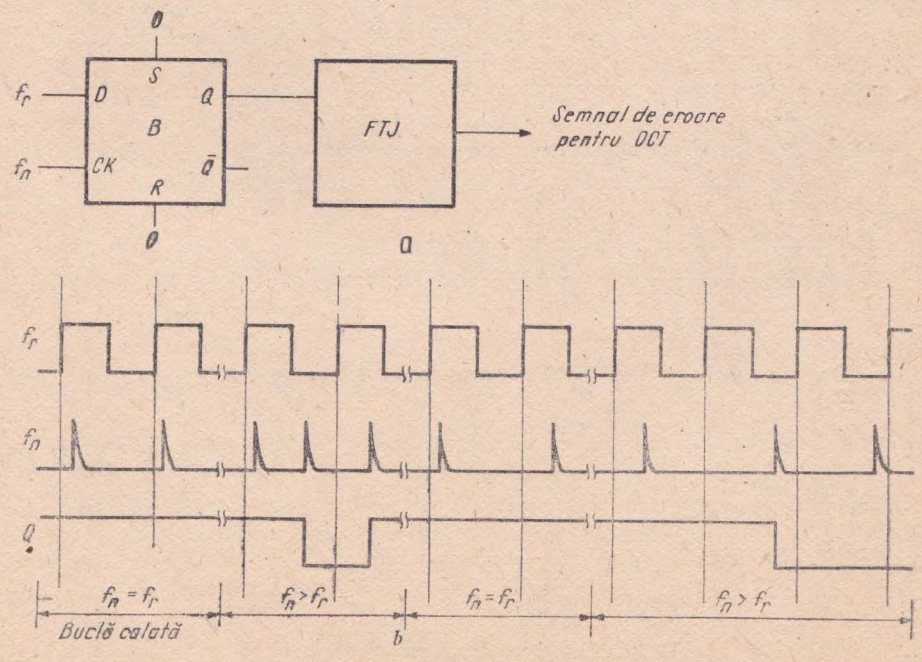


Fig. 14.35. Comparator de fază cu bistabil D.

se poate prinde doar în semiperioada pozitivă a semnalului f_r. În acest timp se stabilește în sistem o reacție negativă. Cînd f_n apare în semiperioada negativă a semnalului f_r reacția din buclă este pozitivă (bucla nu se calează). Cînd $f_n = f_r$ bucla este calată. Cînd $f_n \neq f_r$, ori bucla nu este calată, ori, dacă bucla este prinsă, se generează un semnal de corecție. Un dezavantaj al acestui comparator de fază îl constituie necesitatea folosirii unui filtru trece-jos cu o frecvență de tăiere foarte coborîtă. Un alt neajuns îl constituie faptul că în absența semnalului de intrare se generează un semnal maxim de eroare.

Un alt comparator de fază se poate construi cu porți SAU-EXCLUSIV (XOR) MMC 4030 (MMC 4070), avînd avantajul că în absența semnalului de intrare se generează un semnal de eroare care duce la centrarea frecvenței libere de oscilație.

14.4.9. Circuit PLL cu MMC 4011

Circuitul prezentat în figura 14.36, *a* reprezintă o buclă cu calare de fază construită cu porțile dintr-o singură capsulă MMC 4011.

Poarta G_1 funcționează ca amplificator-limitator al semnalului de intrare. Poarta G_2 este un comparator de fază cu caracteristica valoare medie a tensiunii de ieșire — defazaj din figura 14.36, *b*.

Oscilatorul comandat în tensiune este, de fapt, un oscilator comandat în curent cu porțile G_3, G_4 și tranzistorii T_1, T_2 plus un „convertor" tensiune-curent reprezentat de rezistența $(R_4 + P_2)$. Curentul de comandă este:

$$I_{com} = \frac{V_{com} - V_{BET2}}{R_4 + P_2}$$

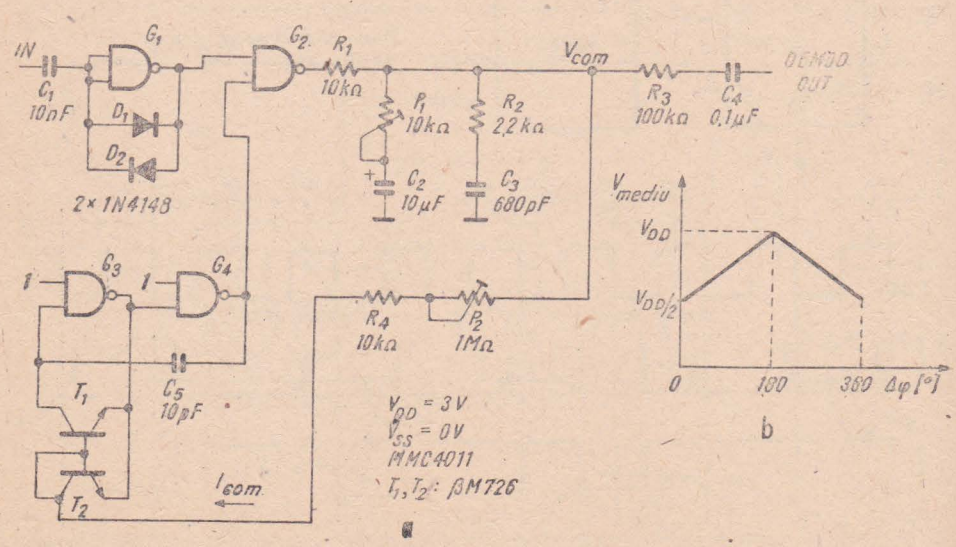


Fig. 14.36. Circuit PLL cu MMC 4011;
a) schema; *b)* caracteristicile comparatorului de fază.

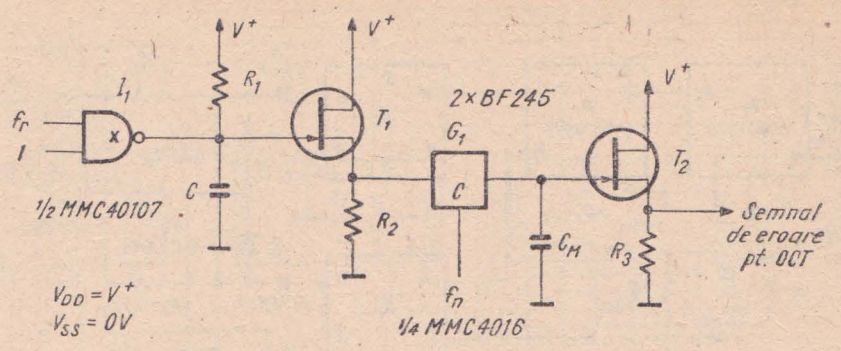


Fig. 14.37. Comparator de fază cu circuit de eșantionare și memorare.

Filtrul trece-jos este format din două grupuri RC: P_1-C_2; R_2-C_3. Caracteristica tensiune-frecvență a oscilatorului se ajustează cu P_2, iar banda de captură cu potențiometrul P_1. Circuitul funcționează începînd de la o tensiune de alimentare de 3 V.

14.4.10. Comparator de fază cu circuit de eșantionare și memorare

În figura 14.37 se prezintă un comparator de fază compus dintr-un generator de rampă comandat de semnalul de referință f_r și un circuit de eșantionare și memorare comandat de semnalul f_n provenit de la oscilatorul comandat în tensiune (printr-un divizor, eventual).

Cînd semnalul f_r este în 1 logic, ieșirea porții I_1 (cu drenă în gol) este în 0 logic și condensatorul este descărcat. Cînd f_r trece în 0 logic, ieșirea porții I_1 este în gol și condensatorul C începe să se încarce prin rezistența R_1. Tensiunea de pe condensatorul C este aplicată, prin intermediul repetorului pe sursă cu T_1 și porții analogice G_1, condensatorului C_M. Semnalul de eroare pentru comanda oscilatorului comandat în tensiune se obține la ieșirea repetorului pe sursă construit cu T_2. Poarta G_1 este deschisă numai atît timp cît semnalul f_n este în 1 logic.

Cu acest tip de comparator se atenuează mult purtătoarea, se relaxează pretențiile față de filtrul trece-jos și crește produsul amplificare-bandă al buclei.

14.4.11. Circuit cu calare de frecvență

Circuitul din figura 14.38 reprezintă partea de comandă a unei bucle cu calare de frecvență (*frequency-locked-loop — FLL*).

Circuitul comandă un oscilator în așa fel încît acesta să se caleze pe un multiplu al unei frecvențe de referință. În schema din figură frecvența de referință este de 70 Hz, dată de un oscilator cu cuarț urmat de divizoarele N_1 și N_2 cu MMC 4060, respectiv MMC 4024.

Semnalele date de bistabilii B_1 și B_2 sînt derivate (cu C_3-R_3, C_4-R_3), redresate (cu D_1, D_2), sumate și filtrate trece-jos (cu amplificatorul opera-

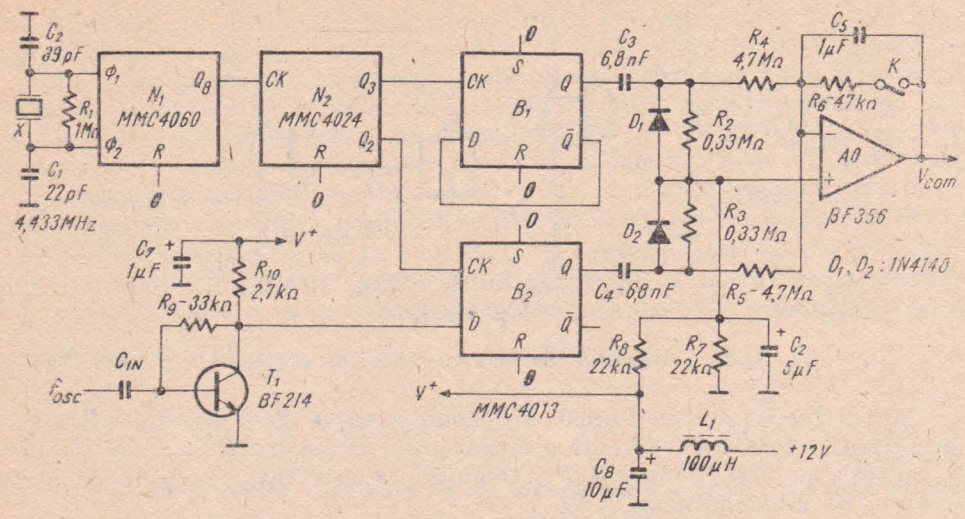


Fig. 14.38. Circuit cu calare de frecvență *(FLL)*.

țional *AO* conectat ca integrator). Tensiunea lent variabilă rezultată este folosită pentru modificarea frecvenței oscilatorului (comandat în tensiune).

Dacă oscilatorul ar trebui să funcționeze pe frecvența de 1,4 MHz (20 000·70 Hz) și semnalul generat are 1,400028 MHz, circuitul *FLL* va aduce oscilatorul la cel mai apropiat multiplu al frecvenței de 70 Hz, și anume 1,4 MHz. Frecvența este „ținută" cu o abatere de ± 1 Hz. Cu comutatorul *K* se resetează integratorul.

14.5. Aplicații diverse

14.5.1. Numărător sincron cu increment programabil [3]

În figura 14.39 este prezentat un numărător sincron reversibil cu incrementul (decrementul) programabil.

Circuitul este compus din două registre de 4 biți (R_1 și R_2) și două unități logice-aritmetice conectate ca sumatoare. Pe intrările paralel ale registrelor este prezentă suma dintre informația de la ieșire și incrementul (decrementul) prezent la intrările $I_0 \div I_6$. Astfel, la fiecare impuls pozitiv de ceas conținutul registrului va crește (descrește) cu valoarea incrementului (decrementului) ($1 \div 127$).

Circuitul funcționează ca un numărător înainte, respectiv înapoi, după cum intrarea $U/\bar{D}$ este în 1 sau 0. Circuitul mai are o ieșire de *overflow* (*underflow*) activă în starea SUS.

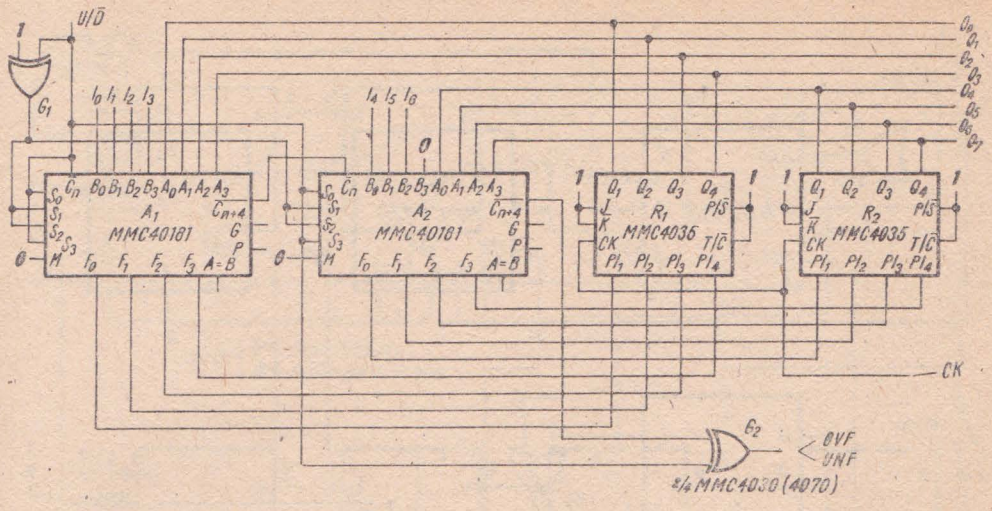


Fig. 14.39. Numărător sincron cu increment programabil.

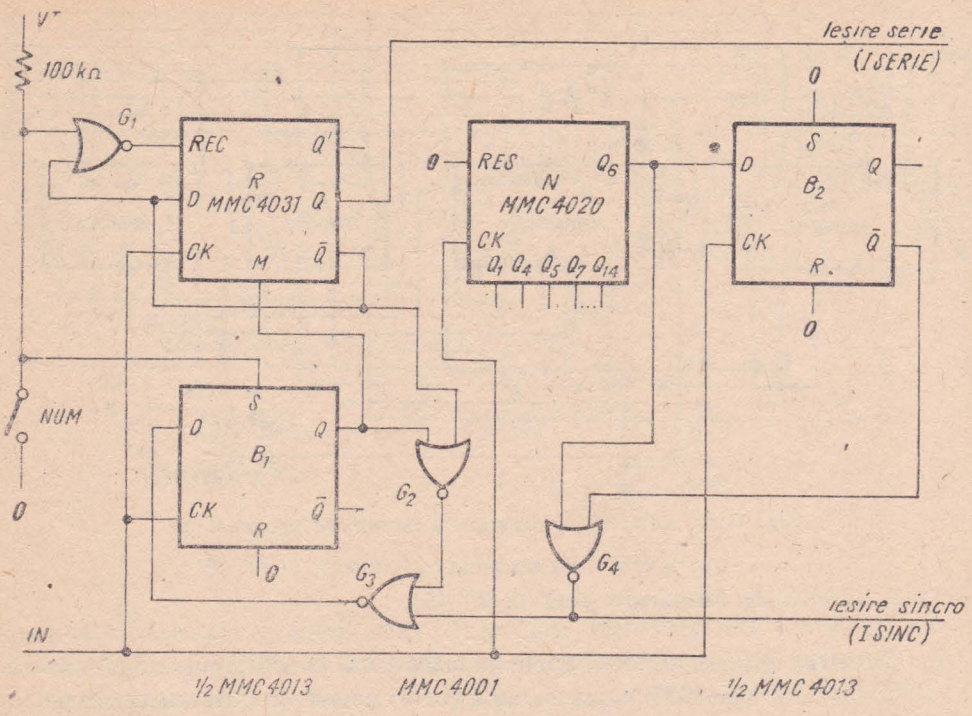
14.5.2. Circuit de numărare pînă la 2^{70} [5]

Circuitul din figura 14.40 poate număra pînă la 2^{70} impulsuri de intrare.

Circuitul MMC 4020 numără impulsurile de intrare. Același ceas de intrare comandă și recircularea informației din registrul de deplasare MMC 4031. După *RESET*, toți bistabilii din registru se găsesc în starea **0**, iar ieșirea Q a registrului și ieșirea Q_{B1} sînt în starea **SUS**. Intrarea D_{B1} rămîne în starea **SUS** pînă cînd se generează un impuls de sincronizare. După ce ieșirea de sincronizare trece în **1**, la următorul impuls de ceas ieșirea Q_{B1} trece în **0**, determinînd inversarea următorului bit din registrul de deplasare. Ieșirea Q a registrului fiind acum în **1** logic, după apariția următorului impuls de sincronizare ieșirea Q a bistabilului B_1 trece în **1** logic și conținutul registrului este recirculat fără modificări.

Informația din registru va fi acum **100...000**. La următorul impuls de sincronizare în registru va fi informația **010...000**; după încă un impuls de sincronizare vom avea **110...000**, ș.a.m.d. Deci, numărul conținut în registrul de deplasare arată de cîte ori numărătorul N a numărat pînă la $2^6 = 64$. În acest fel, circuitul poate număra pînă la $2^{2^6+6} = 2^{70}$ impulsuri. Dacă este nevoie, se poate modifica această capacitate (la un ceas de 1 MHz, 37,4 milioane ani!): se schimbă lungimea registrului și se alege corespunzător ieșirea numărătorului MMC 4020.

Circuitul prezentat poate fi folosit la medierea pe durată îndelungată a unor mărimi convertite în frecvență. Dacă, de exemplu, sursa de semnal o reprezintă un convertor temperatură/frecvență, după o anumită perioadă, citind conținutul registrului R și al numărătorului N putem afla frecvența medie (numărul mediu de impulsuri în unitatea de timp), deci, vom avea și măsura temperaturii medii. În figura 14.41 sînt arătate diferitele moduri în care se pot cascada registrele de deplasare MMC 4031.



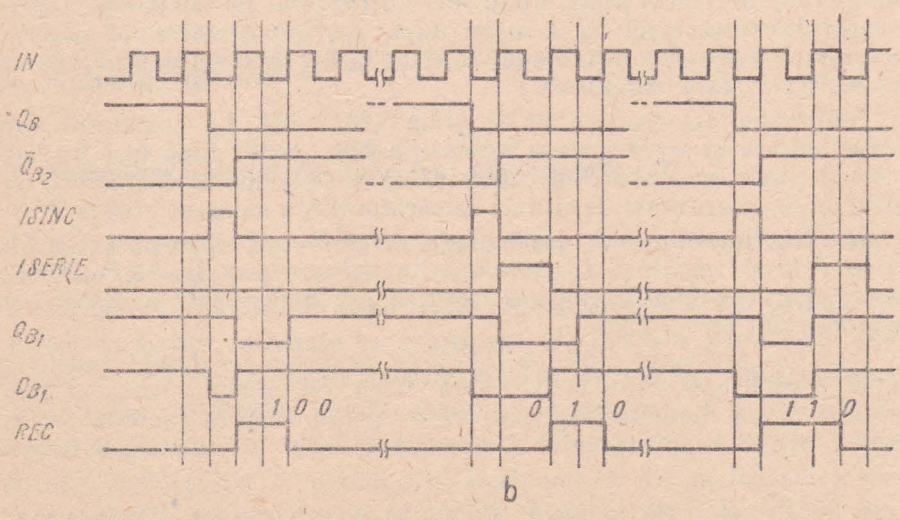


Fig. 14.40. Circuit de numărare pînă la 2^{70} :
a) schema ; *b)* forme de undă.

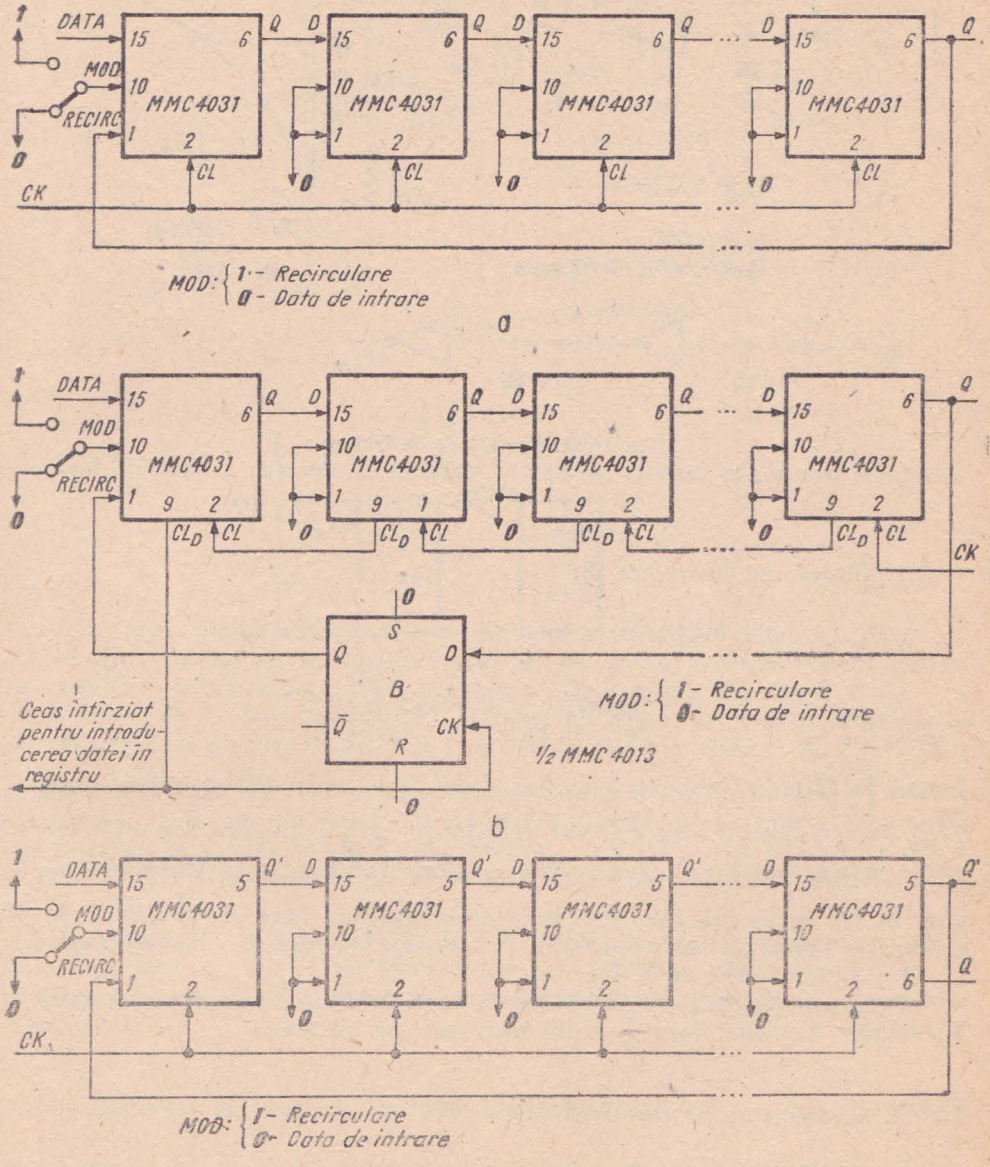


Fig. 14.41. Cascadarea registrelor de deplasare MMC 4031 :
a) cu aplicarea în paralel a semnalului de ceas ; *b)* cu transportul succesiv al semnalului de ceas ; *c)* cu folosirea ieșirii Q', pentru un semnal de ceas cu fronturi lente.

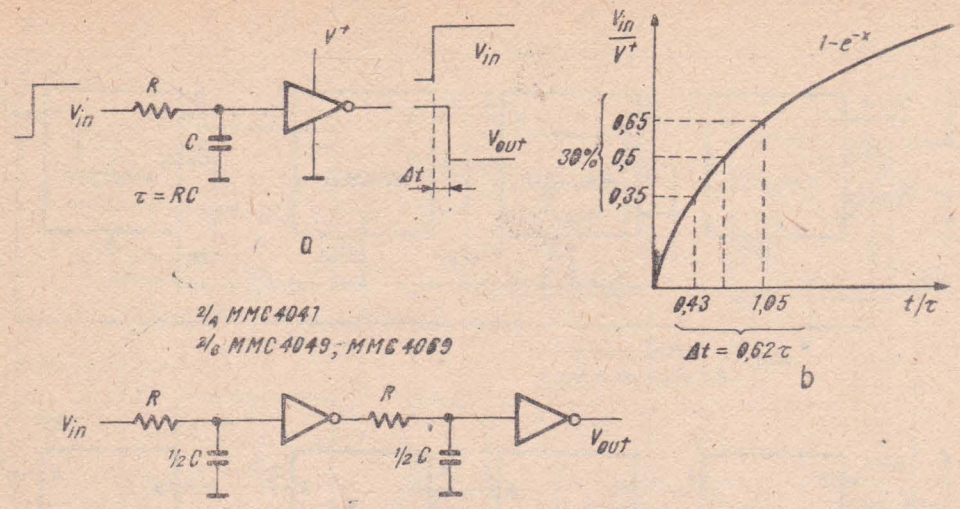


Fig. 14.42. Circuit de întîrziere:
a) schema uzuală; *b)* variația normată a tensiunii pe intrare; *c)* varianta îmbunătățită.

14.5.3. Circuit de întîrziere [3]

Una din modalitățile de a întîrzia un semnal este de a-l trece printr-un circuit format dintr-o poartă logică cu un integrator de intrare (fig. 14.42).

Dacă tensiunea de tranziție nominală este jumătate din tensiunea de alimentare și toleranța este de ±30%, întîrzierea produsă va varia între 0,43 τ și 1,05 τ, unde $\tau = RC$ (vezi fig. 14.42, *b*). Tensiunea de tranziție nominală $\left(\frac{V_{DD}}{2}\right)$ se atinge după 0,69 τ. Întîrzierea se va abate cu mai mult de 30% de la valoarea nominală iar variația sa este neliniară. O soluție este să se folosească două inversoare cu cîte un integrator la intrare, fiecare cu $\tau' = \frac{1}{2}\tau$ (fig. 14.42, *c*). În cazul cel mai defavorabil (primul inversor la limita de jos, celălalt la limita de sus a tensiunii de tranziție) se obține o întîrziere de $0{,}5 \cdot 0{,}43 \cdot \tau + 0{,}5 \cdot 1{,}05 \cdot \tau = 0{,}74 \cdot \tau$.

Pentru acest gen de circuit nu se vor întrebuința circuite cu intrări de tip trigger Schmitt, care prezintă histerezis pe intrare!

14.5.4. Comparator cu fereastră [3]

Circuitul din figura 14.43, *a* funcționează ca un comparator cu fereastră cu pragul inferior V_L fixat de potențiometrul P_1 și pragul superior V_H dat de semireglabilul P_2. În figura 14.43, *b* se poate urmări funcționarea schemei pentru un semnal triunghiular la intrare cu amplitudinea egală cu tensiunea de alimentare V^+ (10 V).

Cînd tensiunea de intrare V_{IN} este mai mică decît V_L, ieșirea inversorului I_1 este în starea SUS, deci, la V^+ și dioda D_1 este blocată. Ca urmare,

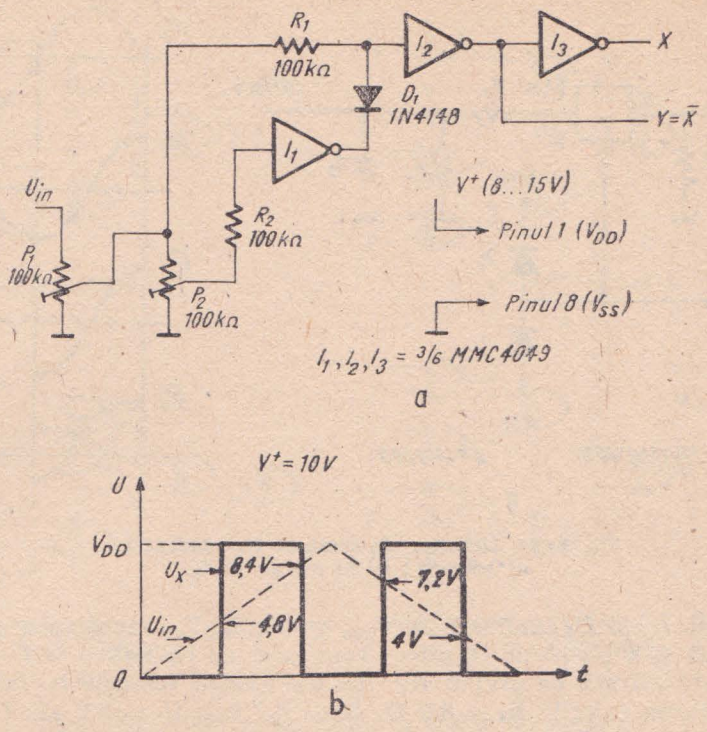


Fig. 14.43. Comparator cu fereastră :
a) schema ; *b)* forma de undă.

la intrarea inversorului I_2 tensiunea corespunde lui **0** logic și $V_x = 0$, $V_y = V^+$. Pentru $V_L \leqslant V_{IN} < V_H$, ieșirea inversorului I_1 este în continuare în **1** logic, dar intrarea în I_2 este tot în **1** logic deci, $V_x = V^+$, $V_y = 0$. Cînd V_{IN} depășește V_H, ieșirea inversorului I_1 trece în **0** și, corespunzător, și intrarea în I_2 va fi în **0** logic.

Rezultă $V_x = 0$, $V_y = V^+$. Pe panta descrescătoare fenomenele se petrec în ordine inversă, cu un oarecare histeresis. Diferența de praguri $V_H - V_L$ rămîne aceeași datorită simetriei caracteristicii de transfer a circuitului MMC 4049.

14.5.5. Detector de semnale în cuadratură [9]

Ieșirea circuitului din figura 14.44, *a* este în **0** dacă semnalele de pe intrările IN_1 și IN_2 sînt în cuadratură.

Dacă diferența de fază $\Phi_1 - \Phi_2 < 90°$, tensiunea de ieșire este negativă, iar dacă $\Phi_1 - \Phi_2 > 90°$, tensiunea de ieșire este pozitivă. Rezistențele R_1, R_2 formează un divizor care limitează tensiunea pe intrarea I/O a porții de transmisie G (tensiunea pe intrarea porții de transmisie nu trebuie să depășească valorile tensiunilor de alimentare).

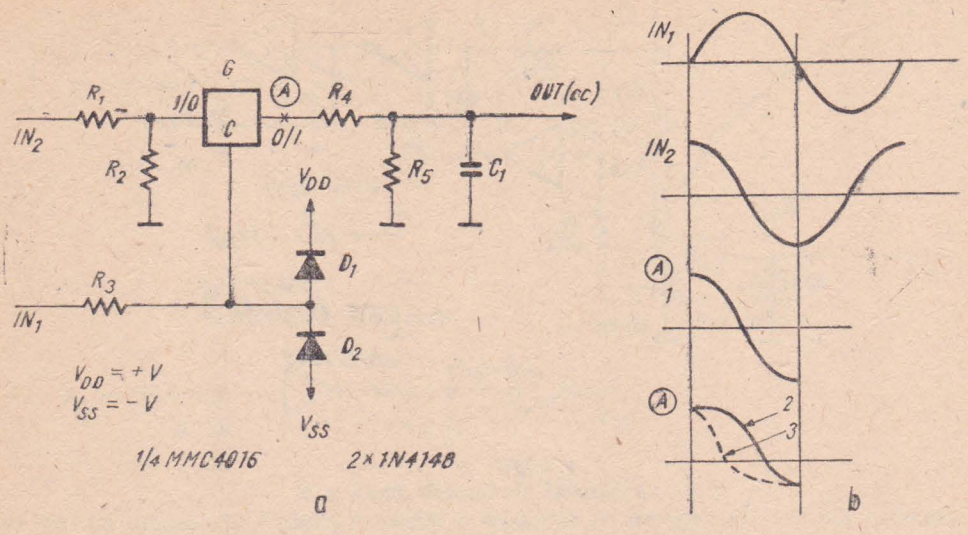


Fig. 14.44. Detector de semnale în cuadratură : *a)* schema ; *b)* forme de undă.

Diodele D_1 și D_2 limitează la V_{DD}, respectiv V_{SS}, tensiunea pe intrarea de comandă C a porții de transfer. Tensiunea de pe ieșirea O/I a porții de transfer este filtrată de grupul R_4, R_5, C_1. Pentru semnale cu frecvența de 25 kHz, convin valorile $R_4 = 8{,}2\ \Omega$, $R_5 = 4{,}7\ k\Omega$, $C_1 = 3{,}2\ \mu F$. Dacă $R_1 = 8{,}2\ k\Omega$ și $R_2 = 2{,}2\ k\Omega$ poate fi suportat un semnal de 24 V_{vv} pe intrarea IN_2.

Tensiunile de alimentare V_{DD} și V_{SS} trebuie să fie adecvate excursiei de semnal pe intrarea I/O a porții de transfer. Astfel, pentru un semnal de ± 3 V pe intrare se vor impune tensiunile $V_{DD} = +5$ V și $V_{SS} = -5$ V. În figura 14.44, *b* se pot vedea formele de undă în diferite puncte ale montajului. Pentru semnale în cuadratură în punctul A se obține forma de undă 1, cu valoarea medie nulă, iar pentru defazaj diferit de 90°, semnale de tip 2 sau 3.

14.5.6. Generarea/verificarea bitului de paritate [7]

În figura 14.45 se prezintă cîteva aplicații ale porților SAU-EXCLUSIV (XOR) la generarea sau la testarea bitului de paritate asociat unui șir de date binare.

Circuitul din figura 14.45 *a* generează bitul de paritate pentru un cuvînt de 8 biți : ieșirea F reprezintă suma modulo 2 a biților de pe intrări. Deci, $F = 0$ dacă suma biților este 0 și 1 dacă suma este 1, cu alte cuvinte, ieșirea care semnalează paritatea este activă în starea **JOS**. Circuitul din figura 14.45, *b* semnalează imparitatea, ieșirea sa fiind activă în starea **JOS**.

În figurile 14.45 *c*, *d* sînt prezentate circuite de verificare prin intermediul parității, a corectitudinii transmisiei unor date. Circuitele calculează paritatea cuvîntului de 8 biți recepționat și o compară cu paritatea calculată

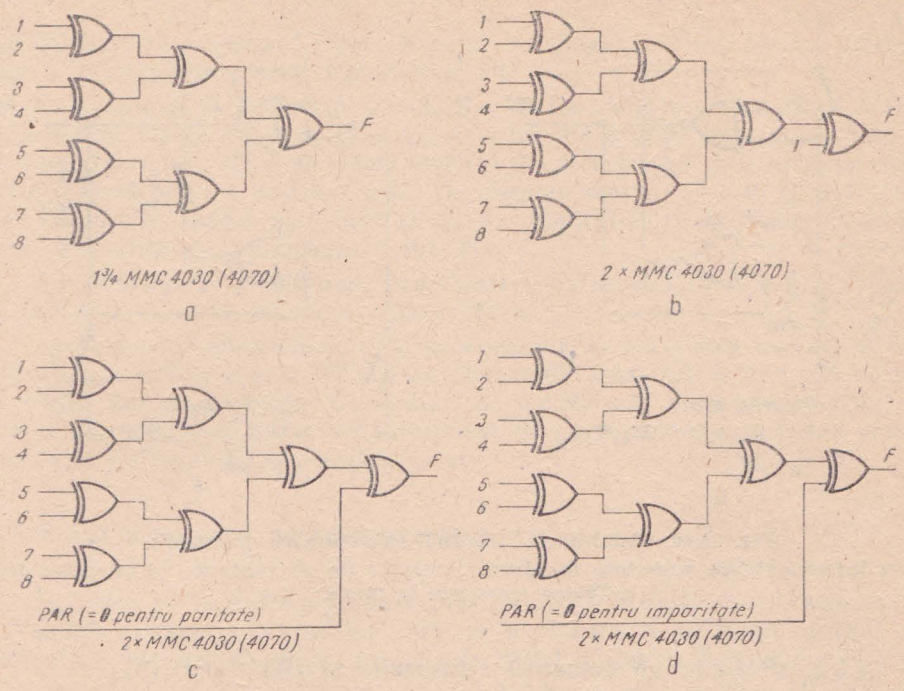


Fig. 14.45. Generarea/verificarea bitului de paritate :
a) generarea bitului de paritate (activ în starea **JOS**) ; *b)* generarea bitului de paritate (activ în starea **SUS**) ; *c)* verificarea parității ; *d)* verificarea imparității.

la emisie și transmisă. Din punct de vedere fizic, circuitul este același în ambele figuri. Pentru cazul din figura 14.45 *c*, bitul de paritate este activ în starea **JOS** și ieșirea $F = 0$ va semnala emiterea și recepționarea unui număr par (este posibilă apariția simultană a două erori, dar mai puțin probabilă ; astfel, dacă datele sînt la emisie **00101000**, $PAR = 0$ și la recepție **01001000**, bitul de paritate va fi tot $PAR = 0$ iar $F = 0$!).

Celălalt circuit va avea ieșirea în **1** logic pentru o transmisie corectă (cu bitul de paritate PAR activ în starea **SUS**).

14.5.7. Bistabili SET/RESET cu acționare manuală [10]

În figura 14.46 sînt prezentate două moduri de realizare pentru bistabilul cu acționare manuală. O închidere momentană a întrerupătorului S_1 aduce ieșirea în starea **1** logic, iar o apăsare de scurtă durată pe butonul S_2 aduce ieșirea în **0** logic.

În varianta din figura 14.46 *a* întrerupătoarele au un capăt conectat la plusul tensiunii de alimentare, în timp ce la al doilea montaj (fig. 14.46, *b*) întrerupătoarele stabilesc un contact la masă.

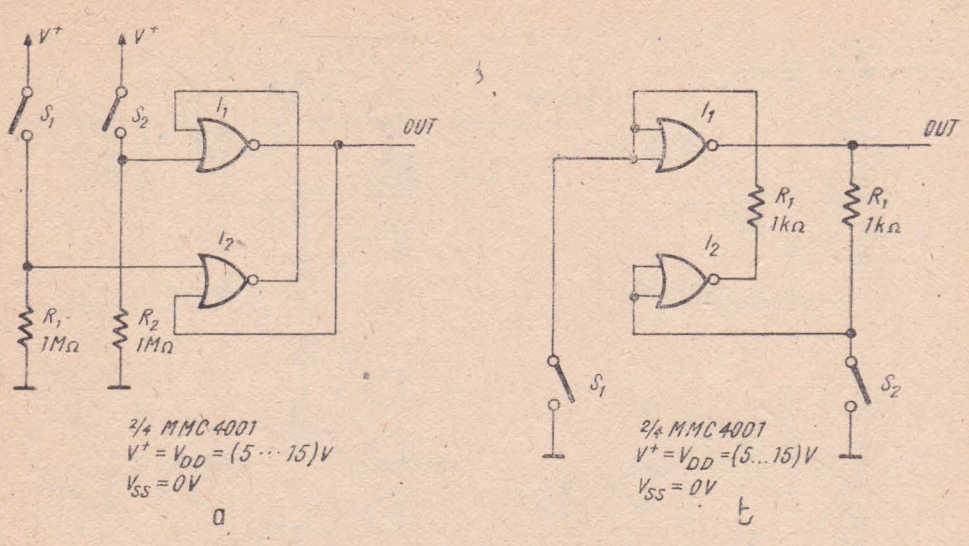


Fig. 14.46. Bistabili *SET/RESET* cu acționare manuală : *a)* cu întrerupătoare conectate la plusul tensiunii de alimentare ; *b)* cu întrerupătoare conectate la masă.

14.5.8. Oscilator cu comandă senzorială START-STOP [4]

În figura 14.47 este prezentat un astabil comandat cu *touch-control*. Porțile $G_1 \div G_4$ constituie un oscilator cu o frecvență aproximativ 0,5 Hz. Dacă senzorul nu este atins, tensiunea în punctul X este **0** și ieșirile porților G_1 și G_2 sînt ținute în 1 logic. Ieșirile Q și $\bar{Q}$ se găsesc într-o stare stabilă oarecare ($Q = 0$ și $\bar{Q} = 1$ sau $Q = 1$ și $\bar{Q} = 0$). Dacă senzorul este atins, rezistența contactului stabilit este suficient de mică în raport cu valorile rezistențelor R_1 și R_2, pentru ca tensiunea în punctul X să reprezinte 1 logic. Porțile

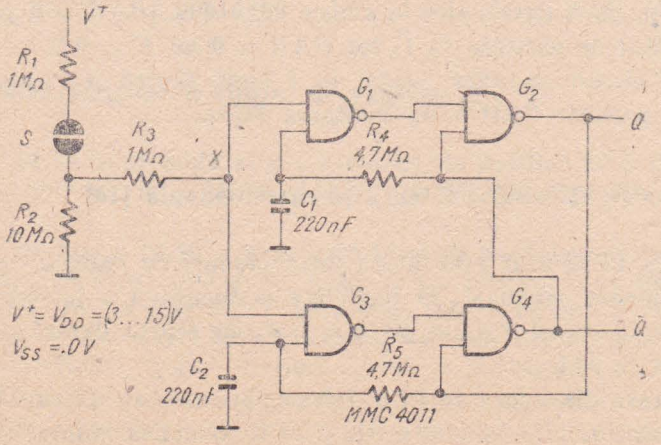


Fig. 14.47. Oscilator cu comandă senzorială *START-STOP*.

CMOS, datorită impedanței foarte mari de intrare, sînt foarte potrivite pentru construirea acestui tip de senzori.

Presupunem că în repaus $Q = 1$, $\overline{Q} = 0$. La atingerea senzorului, ieșirile își schimbă starea ($Q = 0$, $\overline{Q} = 1$). Această stare este menținută timp de aproximativ 0,5 s. Dacă se ridică degetul de pe senzorul S înainte de 0,5 s, latch-ul construit cu porțile G_2, G_4 va memora starea $Q = 0$, $\overline{Q} = 1$. Dacă senzorul S este apăsat mai mult de 0,5 s, circuitul intră în regim de astabil cu o frecvență de aproximativ 0,5 Hz.

La „eliberarea" senzorului, funcționarea ca astabil încetează și latch-ul de ieșire G_2—G_4 va memora ultima stare.

Acest gen de circuit este util, de exemplu, la potrivirea ceasurilor digitale: la apăsări de scurtă durată pe „butonul" senzorial S circuitul dă cîte un singur impuls, la ieșire. La apăsări de durată mai mare se generează un tren de impulsuri cu o frecvență suficient de mică pentru a se putea urmări răspunsul sistemului comandat (ceasul).

14.5.9. Latch cu porți neinversoare [11]

În figura 14.48 *a* este prezentat un latch *SET*-$\overline{RESET}$ neconvențional.

Latch-ul este construit cu porți neinversoare și se poate dovedi util acolo unde pe o placă rămîn neutilizate astfel de porți. Semnalul *SET* este activ în starea **SUS**, pe cînd $\overline{RESET}$ este activ în starea **JOS**. În figura 14.48 *b* se văd formele de undă pentru acest circuit.

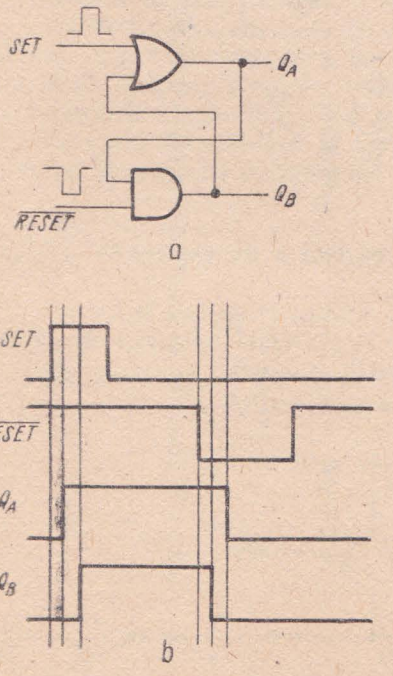


Fig. 14.48. Latch cu porți neinversoare:
a) schema; *b)* forme de undă.

14.5.10. Comanda unor porți de transfer cu MMC 4054 [12]

Cu circuitul din figura 14.49 se realizează comanda, cu semnale între 0 și 5V a unor porți de transfer alimentate cu tensiune pozitivă $V_{DD} = +5$ V și cu tensiune negativă $V_{EE} = -5$ V. Translarea de nivel este asigurată de un circuit MMC 4054.

14.5.11. Circuit de comandă a LED-urilor [11]

Într-un sistem de circuite CMOS, pentru a comanda LED-uri se folosesc de obicei porți de putere (MMC 4049, MMC 4050, MMC 40107, etc.). Dacă pentru o intensitate luminoasă convenabilă curentul prin LED trebuie să fie

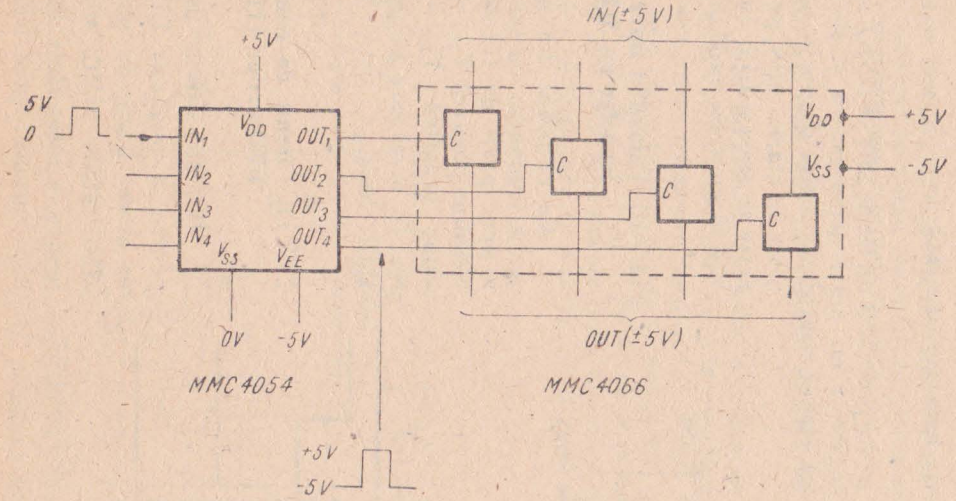


Fig. 14.49. Comanda unor porți de transfer cu MMC 4054.

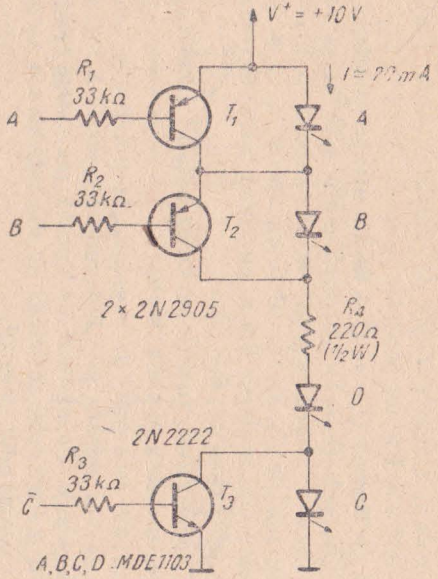


Fig. 14.50. Circuit de comandă a LED-urilor.

de 15 mA, puterea disipată va fi considerabilă. Se poate evita acest lucru folosind o configurație în care LED-urile sînt montate în serie, ca în figura 14.50.

În paralel cu fiecare LED este montat un tranzistor. Comanda pentru LED se aplică pe baza tranzistorului respectiv. Dacă tranzistorul este blocat, LED-ul luminează. Dacă tranzistorul este saturat, el „deturnează" curentul care, altfel, ar parcurge LED-ul.

Dacă dorim să aprindem LED-ul cu un semnal în starea **SUS**, în paralel cu el vom monta un tranzistor *pnp*. Pentru un semnal activ în starea **JOS**, se va folosi un tranzistor *npn*. LED-urile comandate de tranzistoare *pnp* vor fi conectate în partea superioară a lanțului pentru a se evita tensiuni inverse bază-emitor mari. Curentul de bază poate fi debitat de porți CMOS obișnuite. În plus, se reduce puterea disipată pe rezistența de limitare.

14.5.2. Schemă pentru interfațarea TTL-CMOS [4]

Circuitul din figura 14.51 realizează translarea de nivel de la TTL la CMOS cu timpi de creștere și descreștere mai mici ai semnalului de pe intrarea porții CMOS și fără disipare de putere în starea **JOS**.

Porțile TTL folosite sînt cu colectorul în gol. Astfel, dacă intrarea porții I_1, este în **1** logic, tranzistorul T este saturat și intrarea circuitului CMOS este în **1** logic. Dacă intrarea porții I_1 este în **0** logic, tranzistorul T este blocat, iar tranzistorul de ieșire al porții TTL I_2 este saturat, intrarea circuitului CMOS este în starea **JOS**.

Lipsind rezistența care conectează, în mod obișnuit, ieșirea porții TTL la tensiunea V_{DD}, încărcarea și descărcarea capacității de intrare a circuitului CMOS se face mai repede. De asemenea nu mai există disiparea de putere pe rezistența respectivă, cînd ieșirea porții TTL era în starea **JOS**.

Curentul de colector al tranzistorului T fiind nul, se va disipa putere doar pe joncțiunea bază-emitor cînd T este saturat.

14.5.13. Tester pentru o memorie RAM [3]

Circuitul din figura 14.52 *a* reprezintă un tester simplu pentru o memorie RAM, de exemplu MMN 2114 (1 k × 4 biți).

Numărătorul N (MMC 4040) generează adresele tuturor locațiilor memoriei (0÷1023). În memorie se scriu pe rînd la o adresă **1111** și se verifică

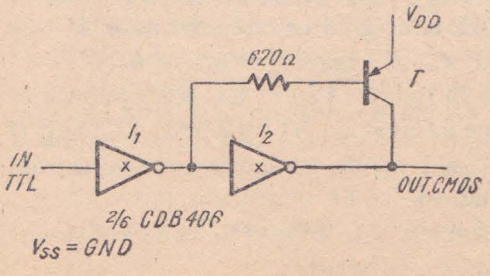


Fig. 14.51. Schemă pentru interfațarea TTL-CMOS.

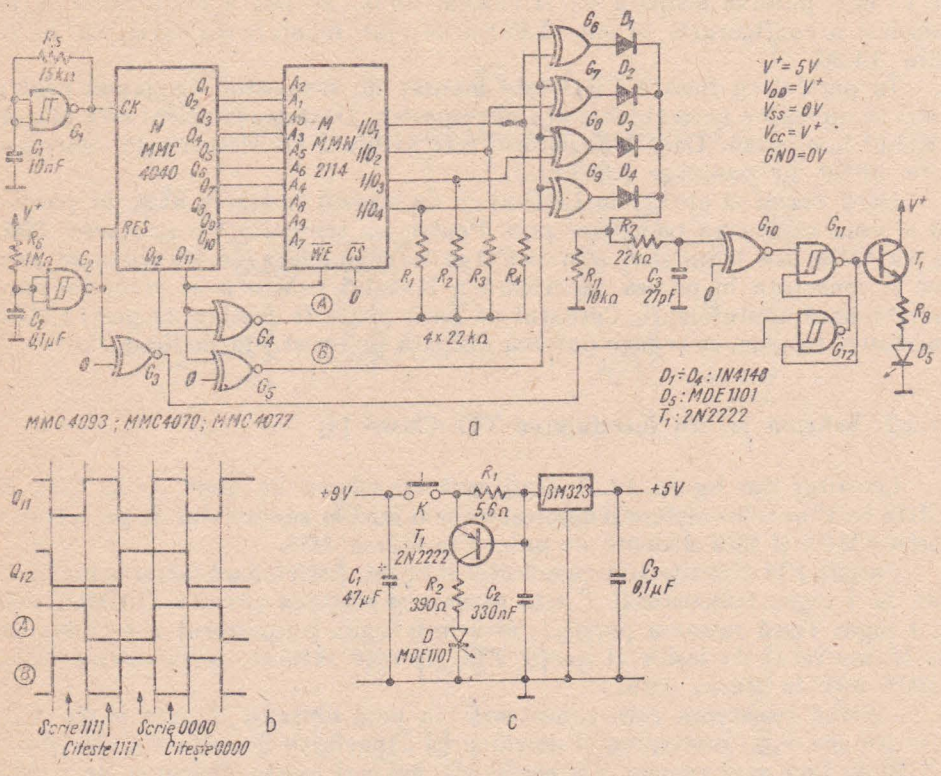


Fig. 14.52. Tester pentru o memorie RAM :
a) schema ; *b)* forme de undă ; *c)* cursa de alimentare.

(prin citire și comparare) dacă s-a înscris corect data, apoi **0000** și se verifică din nou (vezi formele de undă din fig. 14.52, *b*). Dacă se detectează diferențe, ieșirea circuitului SAU (OR) cu diodele $D_1 \div D_4$ trece în **1** logic.

Circuitul de integrare $R_7 - C_3$ servește la înlăturarea impulsurilor parazite de durată scurtă care pot apărea la comutare. Latch-ul format din porțile G_{11} și G_{12} memorează existența unei erori și determină semnalarea ei prin aprinderea LED-ului D_5.

La conectarea sursei de alimentare se resetează numărătorul N și latch-ul $G_{11} - G_{12}$. Lungimea impulsului de *RESET* se asigură cu circuitul de întîrziere format din rezistența R_6, condensatorul C_2 și triggerul Schmitt G_2.

Sursa de alimentare este prezentată în figura 14.52 *c*. Ea este constituită în principal dintr-un regulator de tensiune integrat de 5V βM 323. LED-ul D se aprinde în cazul în care montajul (mai precis, memoria) consumă mai mult de 100 mA, indicînd un circuit defect.

Cît timp butonul K este apăsat memoria este testată în mod continuu. O testare completă durează cîteva zecimi de secundă.

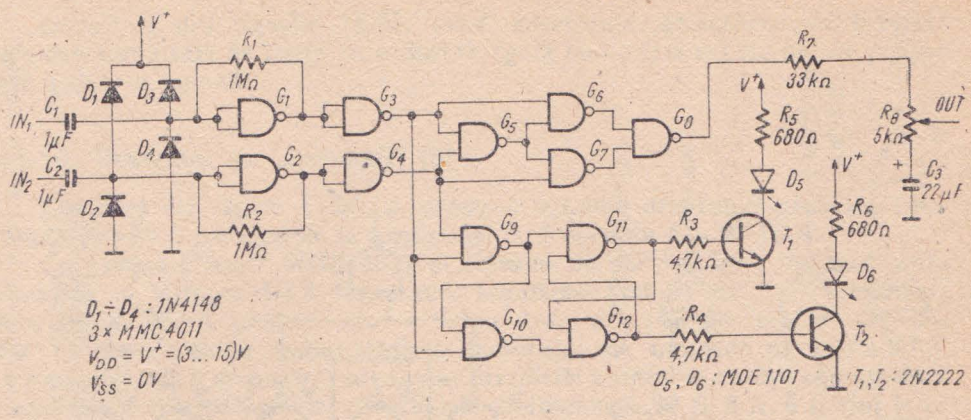


Fig. 14.53. Fazmetru.

14.5.14. **Fazmetru [11]**

Fazmetrul din figura 14.53 funcționează pentru semnale de la 5 Hz la cîțiva MHz, în funcție de tensiunea de alimentare.

Porțile G_1 și G_2 funcționează în regim liniar și amplifică semnalele de intrare. Porțile G_3 și G_4 formează semnalele dreptunghiulare necesare pentru a ataca restul circuitului. Detectorul de fază propriu-zis este format din porțile $G_5 \div G_8$ montate ca un SAU-EXCLUSIV (XOR). Factorul de umplere al semnalului de la ieșirea porții G_8 este proporțional cu defazajul dintre semnalele de intrare. La ieșirea circuitului se obține, prin filtrarea cu rezistențele R_7, R_8 și condensatorul C_3, o tensiune proporțională cu defazajul ($V_{out} = 0V$ pentru $\Delta\Phi = 0$, $V_{out} = (V_{DD} - V_{SS})/2$ pentru $\Delta\Phi = 90°$ și $V_{out} = V_{DD} - V_{SS}$ pentru $\Delta\Phi = 180°$). Tensiunea de ieșire V_{out} se va măsura cu un voltmetru.

Circuitul format din porțile $G_9 \div G_{12}$, tranzistoarele T_1, T_2 și LED-urile D_5, D_6 semnalizează optic semnul diferenței de fază: dacă semnalul 1 este înaintea semnalului 2 va lumina LED-ul D_6, iar dacă semnalul 2 este înaintea semnalului 1 va lumina LED-ul D_5.

14.5.15. **Detectarea de fronturi [5]**

Circuitele care sînt prezentate în figurile 14.54, 14.55, sînt cunoscute fie ca „detectoare de fronturi", fie ca „dubloare de frecvență".

Circuitele generează la ieșire impulsuri cu o anumită polaritate pentru fiecare tranziție (pozitivă sau negativă) a semnalului de intrare.

Circuitul din figura 14.54 *a* furnizează impulsuri negative de durată egală cu timpul de propagare printr-o poartă (G_1). Ieșirea porții G_2 este în **0** atît timp cît ambele semnale pe intrări sînt în **0** sau în **1**. Circuitul din figura 14.54 *b* produce impulsuri pozitive cu durată egală cu dublul timpului de propagare printr-o poartă (G_1, G_2). Durata impulsului de ieșire poate fi mărită prin inserarea de elemente $R-C$ pe ieșirile porților G_1, G_2.

Circuitul din figura 14.54, *c* poate genera impulsuri de ieșire negative ($A = \mathbf{0}$, $B = \mathbf{1}$) sau pozitive ($A = \mathbf{1}$, $B = \mathbf{0}$).

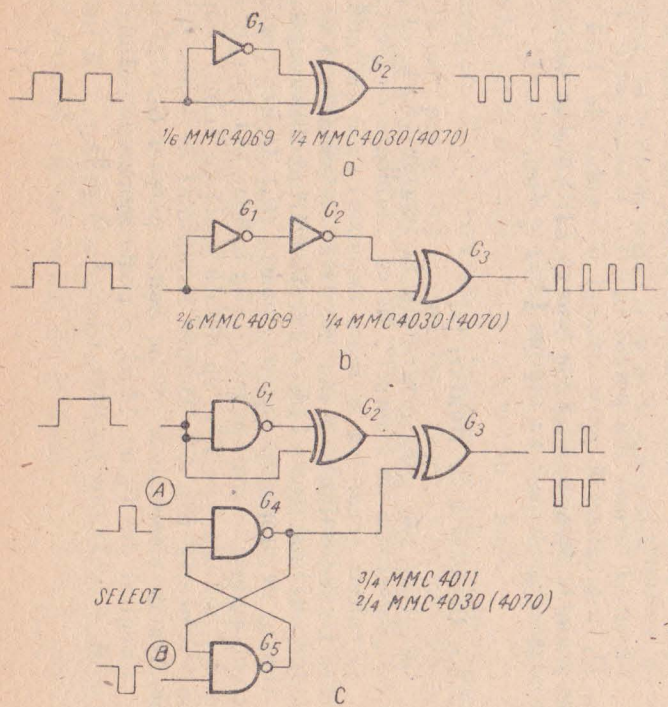


Fig. 14.54. Detectoare de fronturi :
a) cu impulsuri de ieșire negative ; *b)* cu impulsuri de ieșire pozitive ; *c)* cu polaritate comandată.

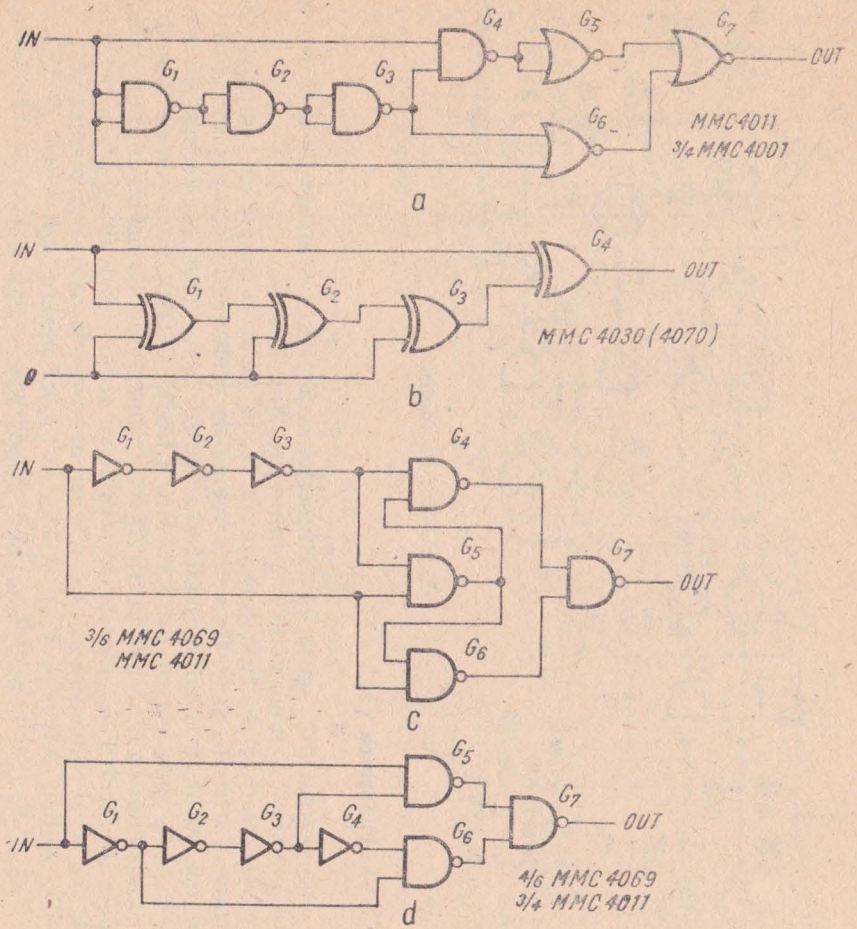


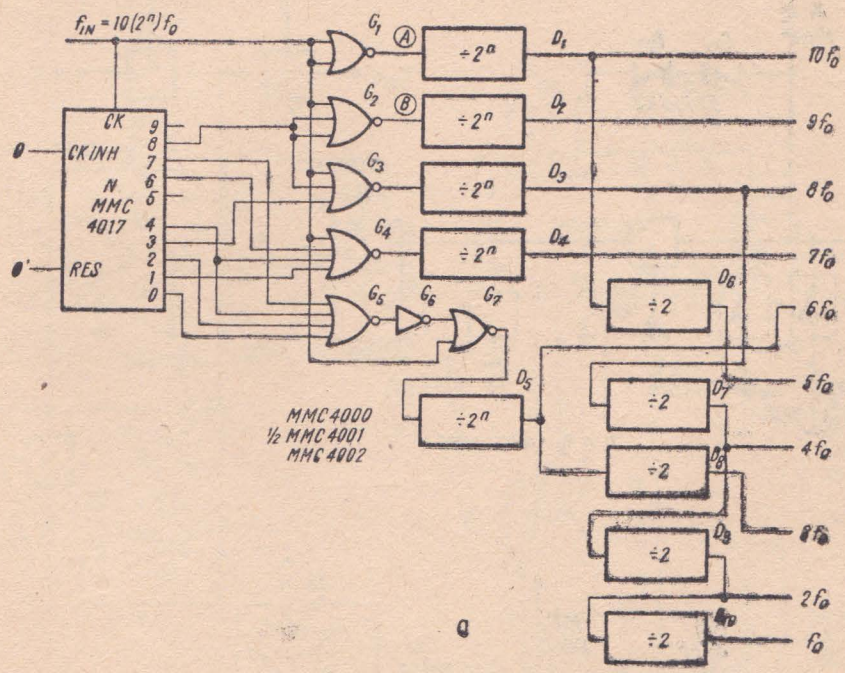
Fig. 14.55 (a-d). Detector de fronturi cu impulsuri de ieșire de durată $3t_p$.

Circuitele din figurile 14.55, $a \div d$, reprezintă detectoare de fronturi care dau impulsuri de ieșire cu o durată egală cu de trei ori timpul de propagare printr-o poartă.

14.5.16. Generator de „armonici" [5]

Circuitul din figura 14.56, *a*, produce semnale dreptunghiulare cu frecvențele $f_0 \div 10\ f_0$ pornind de la un semnal cu frecvența $f = 2^n \cdot 10\ f_0$.

Cu „numărătorul" MMC 4017 și rețeaua de porți $G_2 \div G_7$ se „scot" din semnalul de intrare $1 \div 4$ impulsuri, rezultînd trenuri de 9—6 impulsuri (vezi fig. 14.56, *b*, pentru cazul a 9 impulsuri din 10). Divizoarele $D_1 - D_5$ sînt necesare pentru îmbunătățirea factorului de umplere al semnalului. În figura 14.56, *b* se poate vedea cum divizările succesive cu doi conduc spre o egalizare a semiperioadelor. Semnalele de frecvențe 10 f_0, 8 f_0, 6 f_0 sînt folosite pentru a obține, prin divizare cu 2 sau cu 4, semnale de frecvențe $f_0 \div 5\ f_0$.



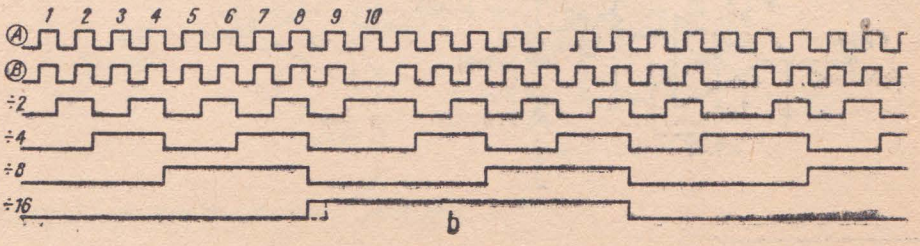


Fig. 14.56. Generator de „armonici" :
a) schema ; *b)* forme de undă.

14.5.17. Voltmetru de $3^3/_4$ cifre cu circuitul integrat MMP 190*

În figura 14.57 este prezentată o schemă de voltmetru electronic de $3^3/_4$ cifre (0000—599,9), realizat cu circuitul MMP 190.

Circuitul MMP 190 realizează logica de comandă pentru un voltmetru cu integrare cu dublă pantă, cu auto-zero, cu alegerea automată a scalei și cu detectarea polarității.

Selectarea domeniului de măsură se face cu releele $B_0 \div B_2$. Porțile de transfer S_2, S_4 (MMC 4066) comandă integrarea tensiunii de referință, în funcție de polaritatea semnalului de intrare. În faza de auto-zero poarta de transfer S_2 conectează intrarea buffer-ului AO_1 la masă, iar comutatorul S_3 închide bucla. Amplificatorul operațional AO_2 realizează integrarea, iar compararea se face cu circuitul AO_4($^1/_4$ βM339).

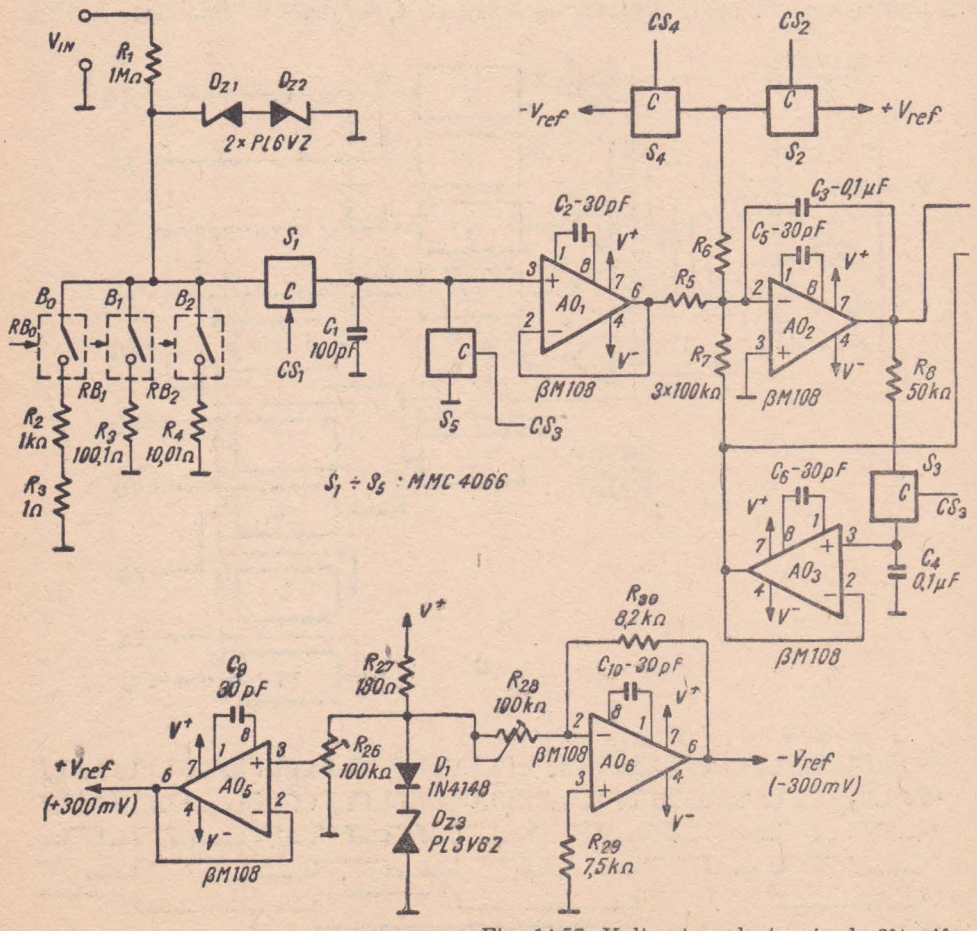


Fig. 14.57. Voltmetru electronic de $3^3/_4$ cifre

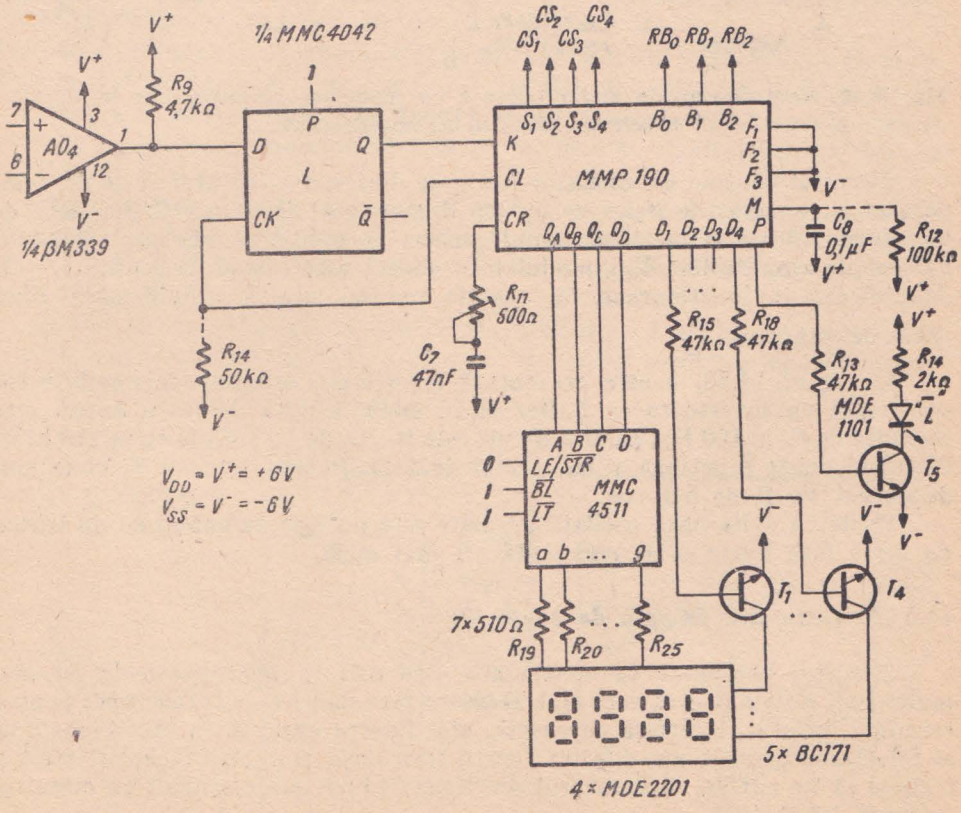
* Această schemă a fost proiectată și experimentată de inginerul Leonard Gagea de la Microelectronica.

Tensiunile de referință sînt disponibile la ieșirile amplificatoarelor operaționale AO_5, respectiv AO_6. Bistabilul B servește la sincronizarea comutării ieșirii comparatorului cu semnalul de ceas generat de circuitul MMP 190.

Comanda cifrelor se face cu multiplexare. Pe ieșirile $Q_A \div Q_D$ ale circuitului MMP 190 se găsește codul BCD al cifrei de afișat, iar pe ieșirile $D_1 \div D_4$ apare semnalul de comandă a multiplexării. Decodificarea BCD-7 segmente se face cu circuitul MMC 4511. Afișajul folosit poate fi alcătuit din cifre de tip MDE 2111 (cu catodul comun).

14.5.18. Amplificator de audiofrecvență cu modularea impulsurilor în durată [14]

În figura 14.58, *a* este prezentată schema de principiu a unui amplificator de audiofrecvență cu modularea impulsurilor în durată.



(MMP 190 se alimentează cu $V_{DD} = V^-$ și $V_{SS} = V^+$).

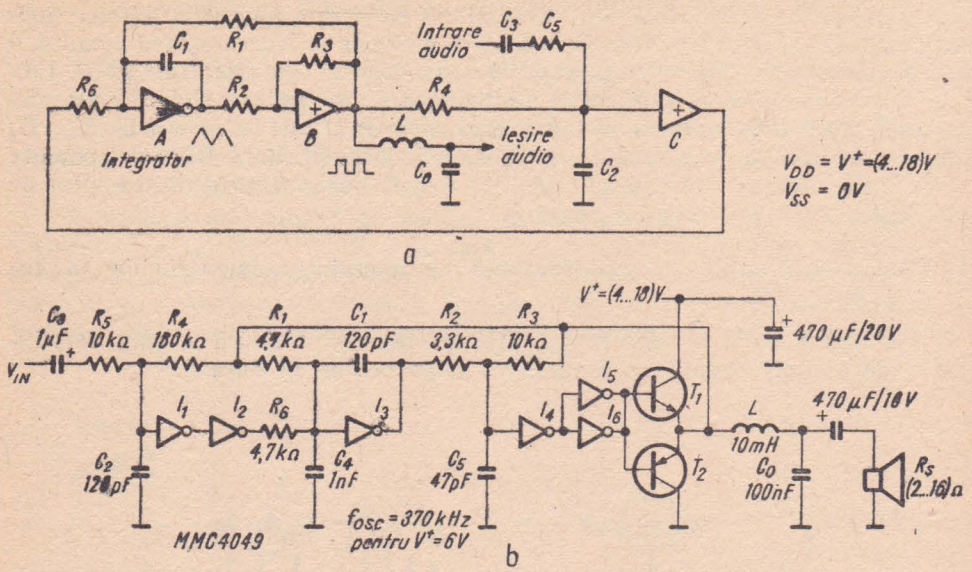


Fig. 14.58. Amplificator de audiofrecvență cu modularea impulsurilor în durată : *a)* schema bloc ; *b)* schema detaliată.

Circuitul conține un oscilator (compus dintr-un integrator *A* și un comparator cu un etaj de ieșire de putere *B*) și un etaj de intrare *C*. Semnalul de intrare modulează în durată semnalul generat de oscilator. Semnalul dreptunghiular de amplitudine V_{DD} modulat în durată este filtrat de grupul $L-C_0$. Amplificatorul funcționează cu reacție paralel-paralel, amplificarea fiind dată de raportul $\frac{R_4}{R_5}$.

În figura 14.58, *b* este prezentată o variantă practică de amplificator construită cu inversoare cu buffer MMC 4049. Limita de jos a benzii este stabilită de C_3 la 100 Hz. Limita de sus este fixată de R_4 și C_2 la circa 200 kHz. Circuitul poate funcționa și cu sarcini de 2 Ω. Pentru $V^+ = 6$ V, consumul de curent va fi de 5,6 mA.

Pentru a evita orice oscilații parazite este necesar un cablaj cu un traseu de masă fără bucle și de rezistență cît mai mică.

14.5.19. Generator de rată de *bauds* [3]

Circuitul prezentat în continuare este util în microsistemele cu mai multe linii seriale pentru care sînt necesare rate diferite de transmisie : pentru terminal, printer, interfață cu caseta, etc. Pentru cazurile în care trebuie să se folosească generatoare diferite pentru transmisie și pentru recepție, acestea trebuie să fie ieftine. Generatorul din figura 14.59 este construit cu circuitul integrat MMC 4060.

Oscilatorul cu rețea *RC* funcționează pe frecvența de 38,4 kHz. Frecvența se reglează cu potențiometrul P_1. La ieșirile Q_4, Q_5, ..., Q_{10} se obțin simultan semnale cu frecvențe de 9 600, 4 800, ..., 150 Hz. Pentru unele USART-uri (6850, 8251, Z80-SIO, etc.) funcționînd în regim asincron

este necesară o frecvență de ceas de 16 ori mai mare decît rata de transmisie, de aceea oscilatorul va trebui să funcționeze pe 614,4 kHz. Pentru aceasta se va înlocui condensatorul C_1 cu unul de 27 nF.

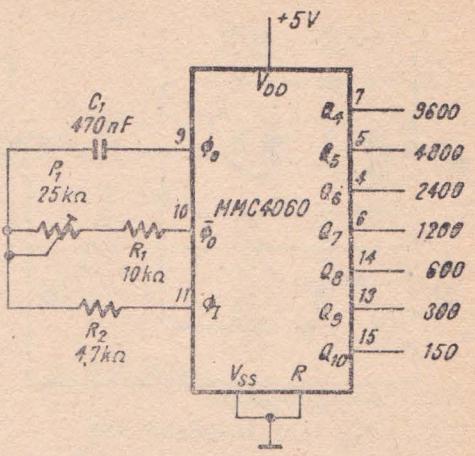


Fig. 14.59. Generator de rată de *bauds*.

14.5.20. **Diapazon** [3]

Circuitul din figura 14.60 reprezintă un generator pe frecvența de 440 Hz (nota LA_5), stabilizat cu cuarț.

Oscilatorul cu cuarț este construit cu inversorul I_1. Poarta I_2 servește la formarea impulsurilor necesare pentru a ataca numărătorul MMC 4040. Numărătorul este montat ca divizor cu 2273. Diodele $D_1 \div D_5$ și rezistența R_3 funcționează ca un circuit SI (AND) cu cinci intrări (vezi § 4.1).

Cînd la ieșiri apare numărul **100011100001**, intrarea de aducere la zero R trece în **1** logic și numărarea se reia de la **00...0**. Cuarțul folosit este de 1 MHz.

Frecvența de 1 MHz divizată cu 2273 conduce la o frecvență de ieșire de 440 Hz — 0,012%. Pentru aplicații de precizie s-a prevăzut trimerul C_2, care va regla frecvența oscilatorului cît mai aproape de 1000120 Hz = 2 273 × × 440 Hz.

Etajul de ieșire în contratimp cu tranzistoarele T_1 și T_2 este comandat de porțile $I_3 \div I_6$ montate două cîte două în paralel pentru o capabilitate de curent mai mare.

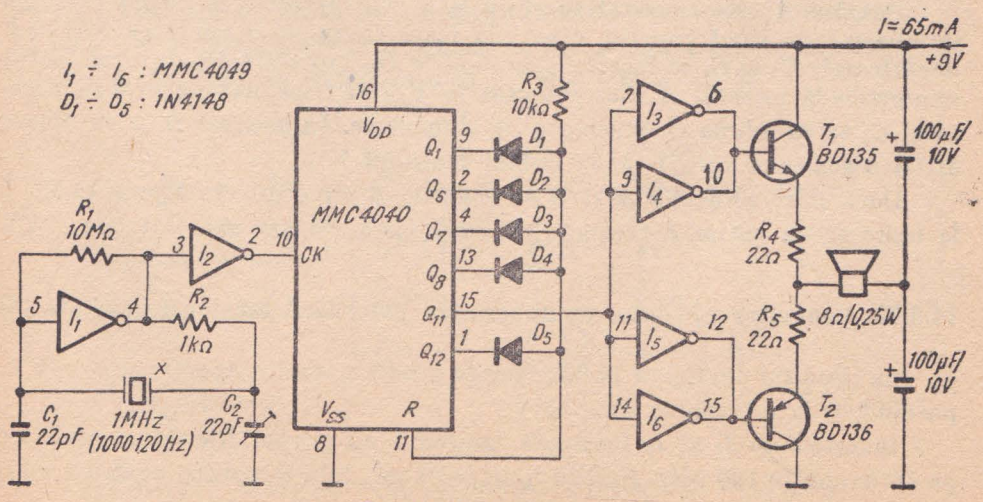


Fig. 14.60. Diapazon.

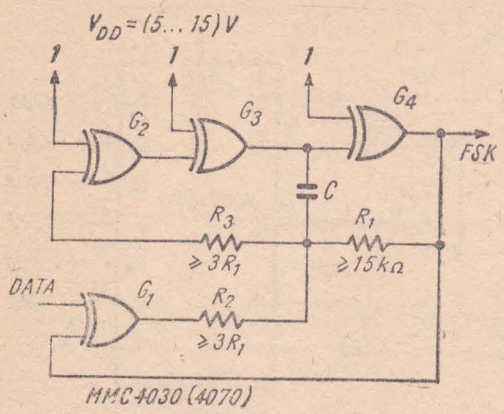


Fig. 14.61. Modulator *FSK*.

14.5.21. Modulator *FSK* [13]

În figura 14.61 este prezentat un modulator *FSK* (*frequency-shift-keying*) care folosește o singură poartă SAU-EXCLUSIV (XOR).

Porțile $G_2 \div G_4$ conectate ca inversoare formează un oscilator a cărui frecvență este comandată de semnalul de pe intrarea *DATA* a porții G_1. Cînd intrarea *DATA* este în **0**, ieșirea porții G_1 este în aceeași stare cu ieșirea porții G_4 și circuitul se comportă ca și cum rezistența R_2 ar fi în paralel cu rezistența R_1. Cînd intrarea *DATA* este în **1** logic, ieșirea porții G_1 reprezintă inversul ieșirii porții G_4 și frecvența de oscilație va fi mai mică. Deci, circuitul generează trenuri de impulsuri de frecvență mare pentru $DATA = \mathbf{0}$ și de frecvența mică pentru $DATA = \mathbf{1}$.

14.5.22. Dublor de tensiune

Cu cele 6 inversoare de putere conținute în capsula MMC 4049 se poate construi un ridicător de tensiune continuă pentru tensiuni de intrare de 5...15 V (fig. 14.62, *a*).

Inversoarele I_1, I_2, rezistența R_1 și condensatorul C_3 alcătuiesc un oscilator pe o frecvență în jur de 10 kHz. Porțile $I_3 \div I_6$ sînt legate în paralel și funcționează ca un inversor cu capabilitate mai mare în curent, pentru a reduce dependența de sarcină a tensiunii de ieșire.

Punctul *A* este conectat succesiv la masă, respectiv la plusul tensiunii de alimentare. Cînd punctul *A* este la masă (timp de o semiperioadă) condensatoarele C_1 și C_2 se încarcă prin diodele D_1, respectiv D_2. În următoarea semiperioadă punctul *A* este conectat la V_{DD} și tensiunea de pe condensatorul C_1 se va aduna cu tensiunea de alimentare. În punctul *B* se va obține astfel o tensiune apropiată de dublul tensiunii V^+.

Dacă între punctele *A* și *B* se conectează circuitul din figura 14.62, *b* la ieșire se va obține o tensiune negativă cu o valoare apropiată de $-V^+$.

14.5.23. Convertor c.c.—c.c. cu inversarea polarității tensiunii generate [5]

Cu circuitul din figura 14.63 se poate genera o tensiune continuă de −5 V, pornind de la o tensiune de +15 V.

Inversoarele I_1 și I_2 formează împreună cu grupul R_1, C_1 un oscilator pe aproximativ 100 kHz. Porțile $I_3 \div I_6$ sînt montate în paralel pentru a mări curentul de încărcare al condensatorului C_2.

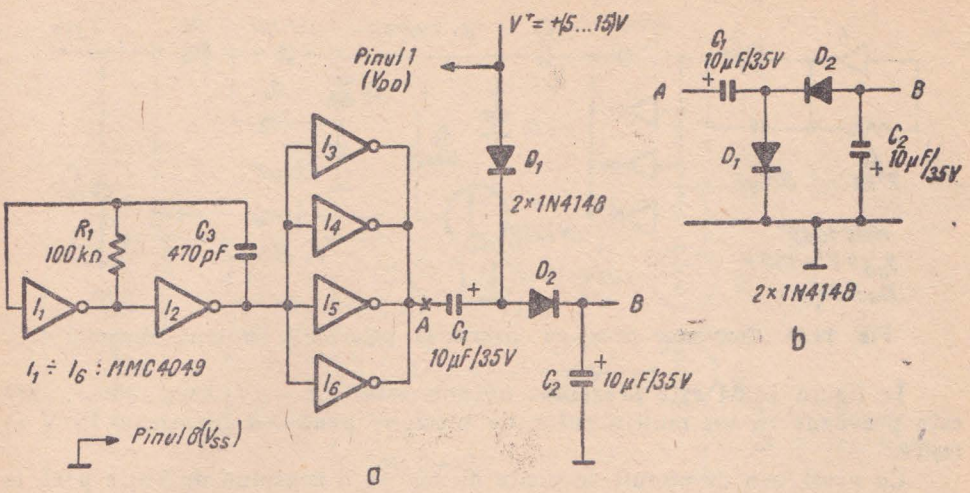


Fig. 14.62. Dublor de tensiune :
a) schema (pentru o tensiune de ieșire pozitivă) ; *b)* redresor (pentru o tensiune de ieșire negativă).

La început, cînd ieșirile porților $I_3 \div I_6$ sînt în starea **SUS**, condensatorul C_2 se încarcă la V_{DD} prin dioda D_2 și tranzistorul T (presupus deschis). Cînd ieșirile inversoarelor $I_3 \div I_6$ trec în starea **JOS**, dioda D_2 se polarizează invers, dioda D_1 se deschide și sarcina de pe condensatorul C_2 se transferă pe condensatorul C_3. Mai departe, C_3 se încarcă la o tensiune negativă egală în modul cu tensiunea de intrare mai puțin căderile de tensiune pe diode, pe inversoarele $I_3 \div I_6$ în starea **SUS** și pe tranzistorul T în saturație. Rezistența R_2 (10 kΩ) menține tranzistorul T deschis pînă cînd se deschide dioda Zener D_z. Cînd tensiunea de ieșire scade sub $V_{BE} - V_Z$, tranzistorul T se blochează. Astfel, la următoarea trecere a ieșirilor porților $I_3 \div I_6$ în starea **SUS**, sarcina pe condensatorul C_2 nu se va schimba. În acest fel, sarcina pierdută de C_3 nu va putea fi compensată și tensiunea pe C_3 va scădea (în valoare absolută). Tensiunea de ieșire se stabilizează la $-5{,}6 + 0{,}6 = -5$ V.

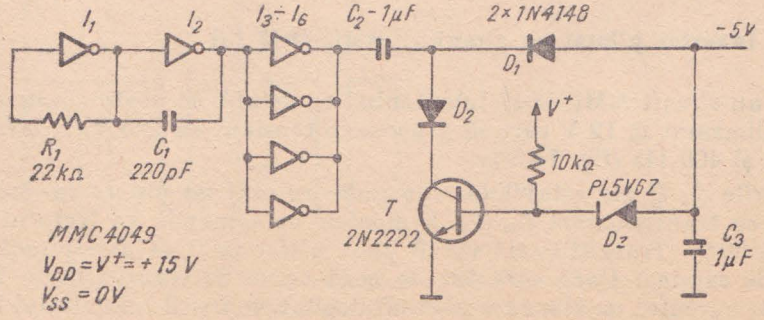


Fig. 14.63. Convertor cc-cc cu inversarea polarității tensiunii generate (I).

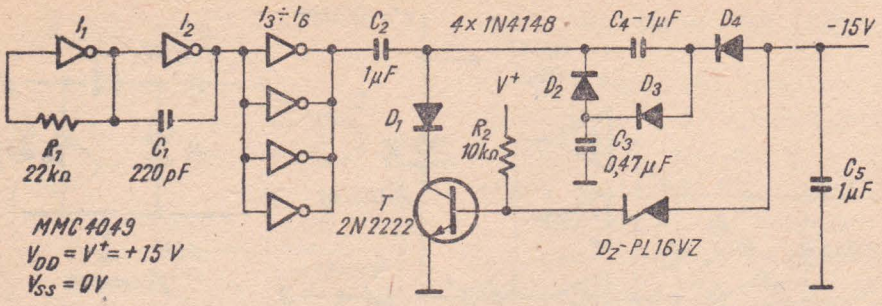


Fig. 14.64. Convertor cc-cc cu inversarea polarității tensiunii generate (II).

În figura 14.64 este prezentat un convertor c.c.—c.c. asemănător, care este prevăzut cu un multiplicator de tensiune pentru a furniza —15 V la ieșire.

Cu acest gen de circuit se poate ajunge la o tensiune de ieșire pînă la dublul tensiunii de alimentare (în valoare absolută).

14.5.24. Convertor c.c.—c.c. de curent mare [8]

În figura 14.65, *a* se poate vedea o altă variantă de convertor c.c. fără inversarea polarității.

Porțile (trigger Schmitt) $G_1 \div G_4$ formează un oscilator care furnizează semnale de ieșire defazate cu 180° și în așa fel încît tranzistoarele T_1 și T_2 să nu fie simultan deschise (fig. 14.65, *b*).

Cînd se deschide tranzistorul T_2, condensatorul C_3 se încarcă prin dioda D_1 la tensiunea $V_{C3} = V_{IN} - V_{D1} - V_{CEsat2}$. Cînd se deschide tranzistorul T_1, potențialul punctului F urcă la aproape dublul tensiunii de intrare. Dioda D_2 se deschide și sarcina de pe condensatorul C_3 se transferă pe condensatorul C_4. Tranzistoarele T_1, T_2 și diodele D_1, D_2 se vor alege în așa fel încît să suporte, curenții de încărcare ai condensatoarelor C_3 și C_4.

Condensatorul C_3 nu se mai încarcă prin ieșirea unei porți CMOS, ci prin tranzistorul T_1 și dioda D_1. Ca urmare, curentul furnizat poate fi mult mai mare decît în cazul convertoarelor prezentate anterior.

14.5.25. Invertor pilotat cu circuitul MMC 4047 [3]

Cu un circuit MMC 4047 funcționînd ca astabil se poate construi un invertor alimentat la 12 V care să genereze o tensiune de 220 V, la o frecvență între 50 și 400 Hz (fig. 14.66).

Ieșirile Q, $\bar{Q}$ ale astabilului comandă un etaj de putere în contratimp realizat cu tranzistoarele T_1, T_2. Semnalele de comandă au factorul de umplere de 50%. Tranzistoarele vor fi alese astfel încît să corespundă puterii cerute de sarcină. Dacă curentul de bază cerut de tranzistoarele T_1 și T_2 depășește curentul maxim care poate fi debitat de ieșirile circuitului integrat, se vor folosi tranzistoare Darlington. Frecvența se ajustează cu semireglabilul R_1.

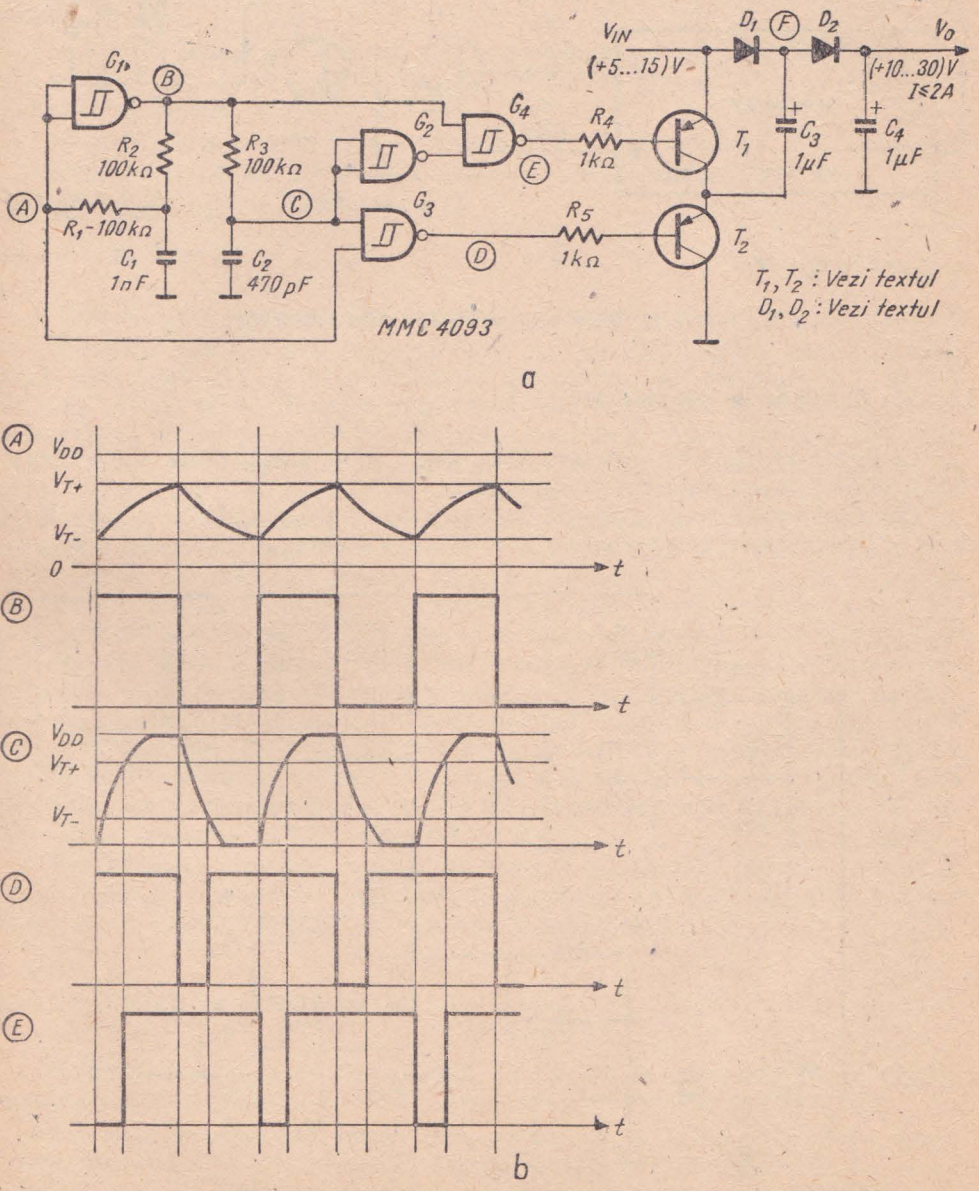


Fig. 14.65. Convertor cc-cc de curent mare :
a) schema ; *b)* forme de undă.

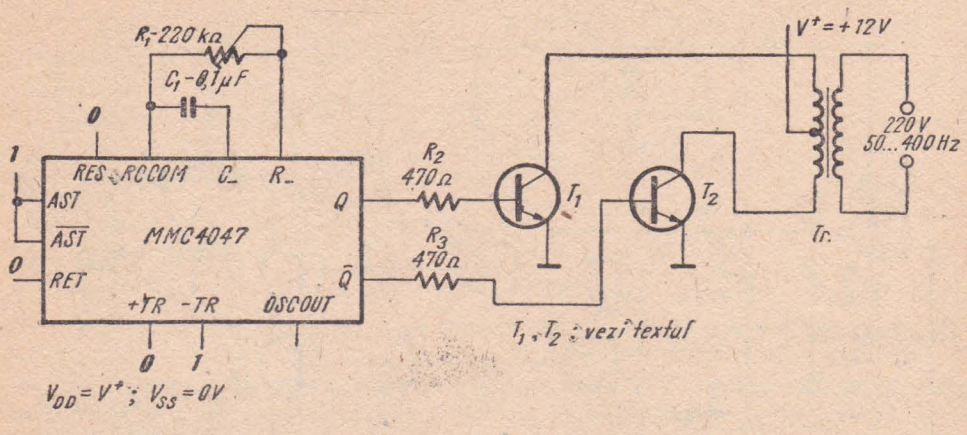


Fig. 14.66. Invertor pilotat cu circuitul MMC 4047.

14.5.26. Detector de proximitate [11]

În figura 14.67, *a* este prezentat un detector de proximitate, cu consum redus, construit cu circuitul MMC 4007.

Circuitul este format dintr-un oscilator (cu tranzistorul T_1, cu canal *n*) și un trigger Schmitt (cu tranzistoarele $T_2 \div T_4$). Bobina oscilatorului (aproxi-

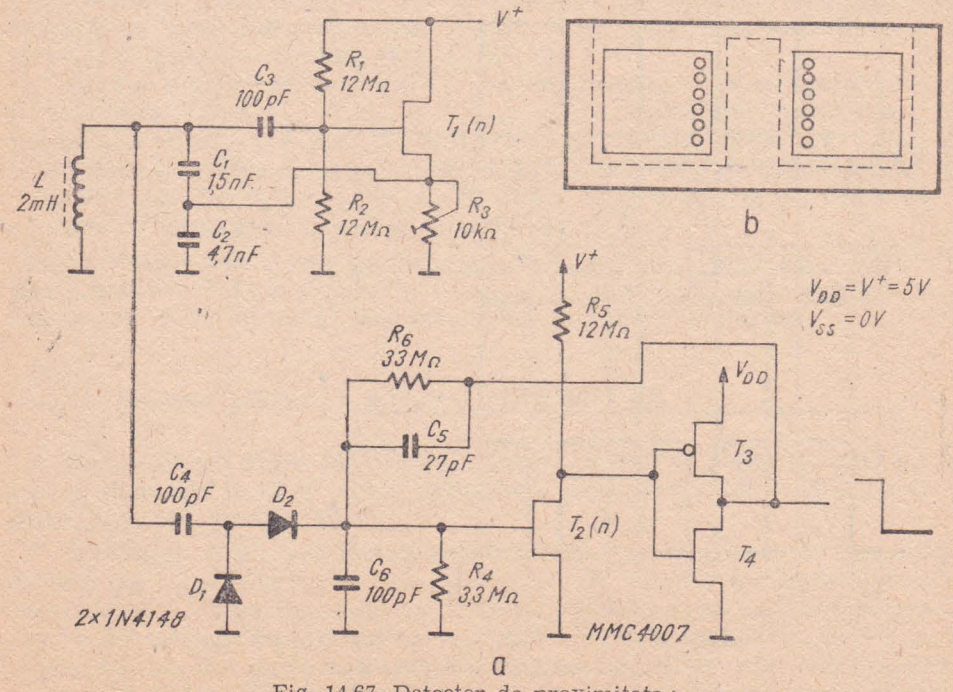


Fig. 14.67. Detector de proximitate :
a) schema ; *b)* bobina.

mativ 2 mH) are 150 spire plasate într-o jumătate de oală de ferită (fig. 14.67, *b*). Oscilatorul funcționează pe o frecvență de 100 kHz. Nivelul oscilației este detectat cu diodele D_1 și D_2. Cînd în apropierea bobinei nu există nici un corp conductor amplitudinea oscilației este maximă, și ieșirea triggerului Schmitt este în **1** logic.

Cînd de bobină se apropie un corp conductor amplitudinea oscilației scade, tensiunea de pe condensatorul C_6 scade sub pragul de jos al triggerului Schmitt și ieșirea trece în **0** logic.

Sensibilitatea montajului se reglează cu semireglabilul R_3. Consumul circuitului este de 250 μA pentru o tensiune de alimentare de 9 V.

14.5.27. Jackpot [3]

Circuitul din figura 14.68 simulează binecunoscutul joc mecanic *Jackpot*.

Circuitul conține trei „numărătoare" în inel (MMC 4017) care comandă LED-urile D_1-D_{27} prin intermediul circuitelor neinversoare cu buffer $I_{10}\div I_{36}$ (MMC 4050). Fiecare numărător este comandat de un oscilator pe o frecvență de aproximativ 3,5 Hz. Oscilatoarele lucrează în regim *START-STOP* fiind, la rîndu-le, comandate de un comutator senzorial. Cînd nu se atinge contactul S tranzistoarele sînt blocate, ieșirile porților I_1, I_4, I_7 sînt în **0** logic și oscilatoarele nu funcționează. Numărătoarele sînt într-o poziție oarecare. Cînd se atinge comutatorul S tranzistoarele T_1, T_2, T_3 conduc și oscilatoarele încep să funcționeze. Diodele semnalează stările ieșirilor „numărătoarelor" $N_1\div N_3$. Din cauza dispersiei valorilor componentelor, semnalele generate de cele trei oscilatoare vor avea frecvențe ușor diferite. Ca urmare, stările celor trei „numărătoare" vor fi necorelate. Cînd se întrerupe contactul S, LED-urile rămîn aprinse într-o poziție oarecare, asemănător celor trei discuri din jocul amintit. Cu ajutorul unui comparator digital (fig. 14.69) se poate semnala sonor identitatea celor trei numere afișate. Cînd ieșirile omoloage (de exemplu „3" N_1, „3" N_2, „3" N_3) sînt în **1** logic, ieșirea porții SI (AND) corespunzătoare (I_{50}) este în **1** logic, ieșirea porții I_{46} trece în **1** logic, baza tranzistorului T_4 se conectează la masă.

Tranzistorul T_4 fiind blocat, oscilatorul format de porțile $I_{50}\div I_{52}$ și tranzistorul T_5 începe să funcționeze, avertizînd asupra coincidenței. Semnalul sonor este activ pînă la reînceperea numărării.

14.5.28. Circuit de avertizare [4]

Schema din figura 14.70 prezintă un circuit de supraveghere și avertizare cu aplicații diverse.

Circuitul conține un astabil (cu porțile G_3, G_4) funcționînd în gama audio, comandat prin intermediul porților G_1, G_2 de contactele K_1, K_2 și de fotorezistorul T_2. Pentru a analiza funcționarea, presupunem mai întîi comutatorul K_1 deschis.

Astfel, în cazul în care comutatorul K_2 este deschis, tranzistorul T_3 conduce, ieșirea porții G_1 este în **1** logic, ieșirea porții G_2 este în **0** logic și oscilatorul nu funcționează.

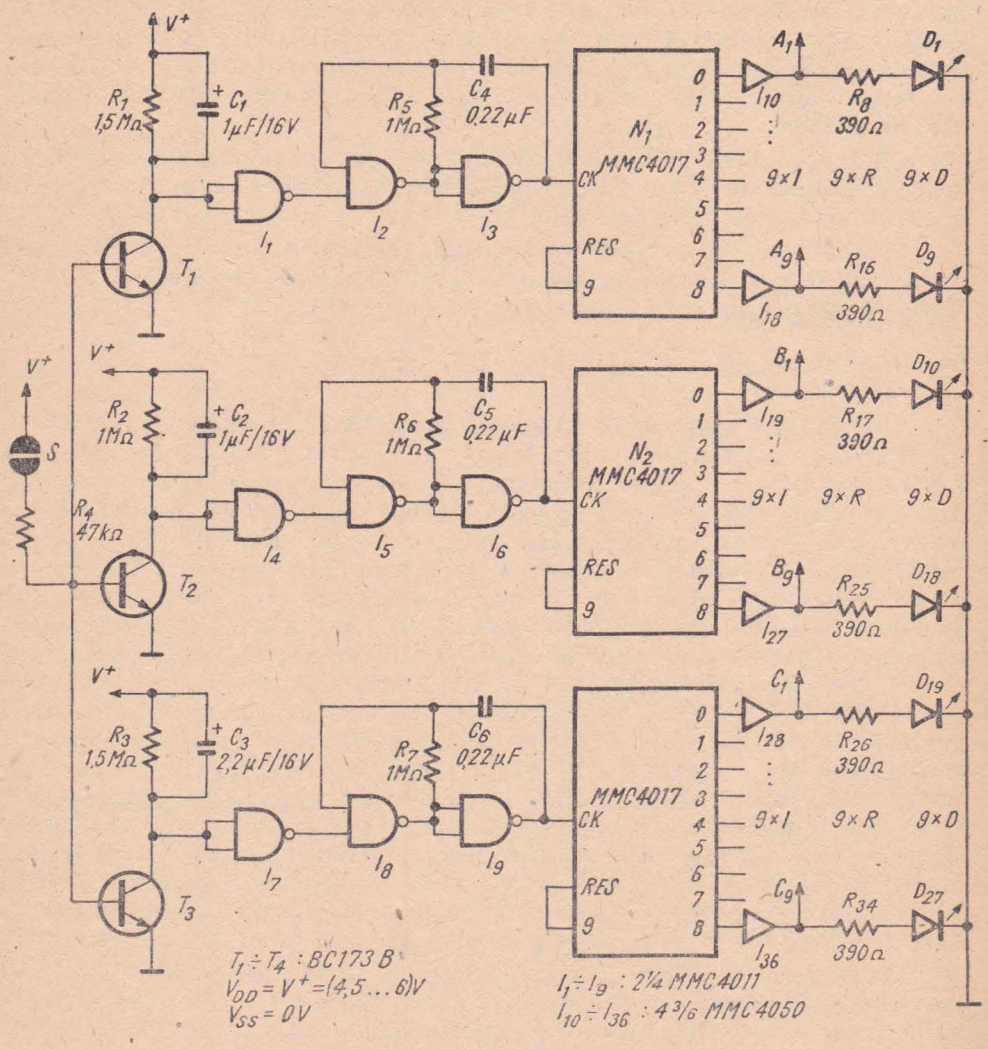


Fig. 14.68. Simulator de *Jackpot*.

Dacă se închide comutatorul K_2, becul B va lumina, iar tranzistorul T_3 se blochează. Dacă lumina ajunge la fototranzistorul T_2, acesta se deschide, potențialul în punctul A va fi mult mai mic decît tensiunea de tranziție pentru poarta G_1 și oscilatorul este din nou inhibat.

Dacă becul nu se aprinde sau calea razelor de lumină spre fototranzistor este obturată, tensiunea în punctul A va corespunde stării **1** logic și oscilatorul va începe să funcționeze, avertizînd sonor starea sistemului bec-fototranzistor.

De remarcat că în starea de repaus, tensiunea în punctul B va fi întotdeauna în **0**, blocînd tranzistorul compus Darlington T_4-T_5. În acest fel

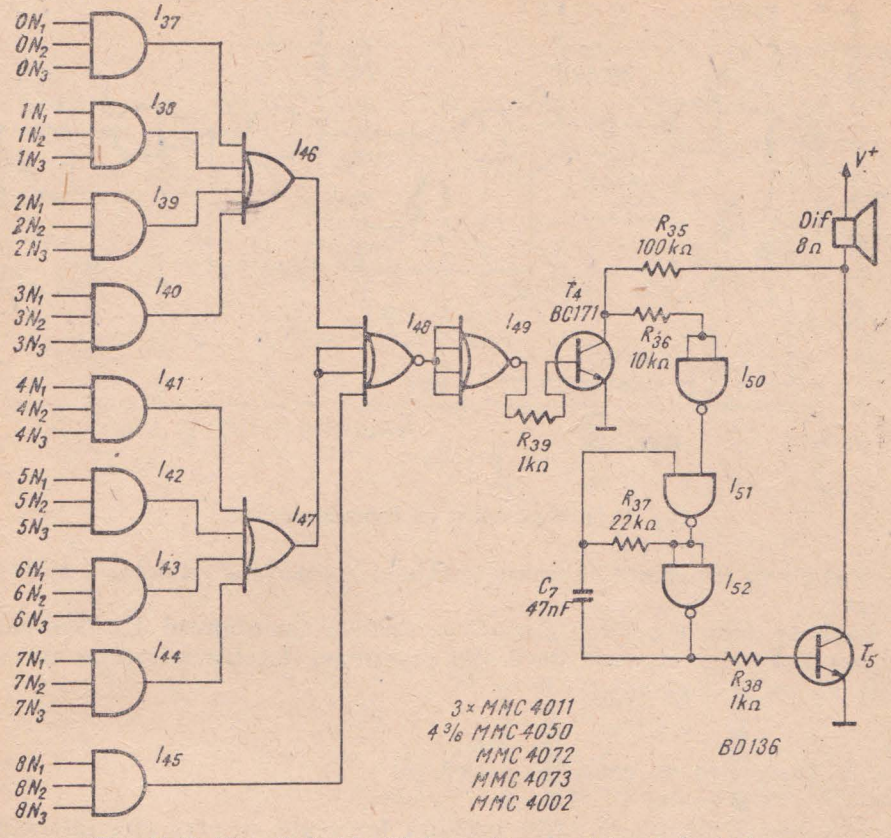


Fig. 14.69. Circuit de identitate pentru simulatorul de *Jackopt*.

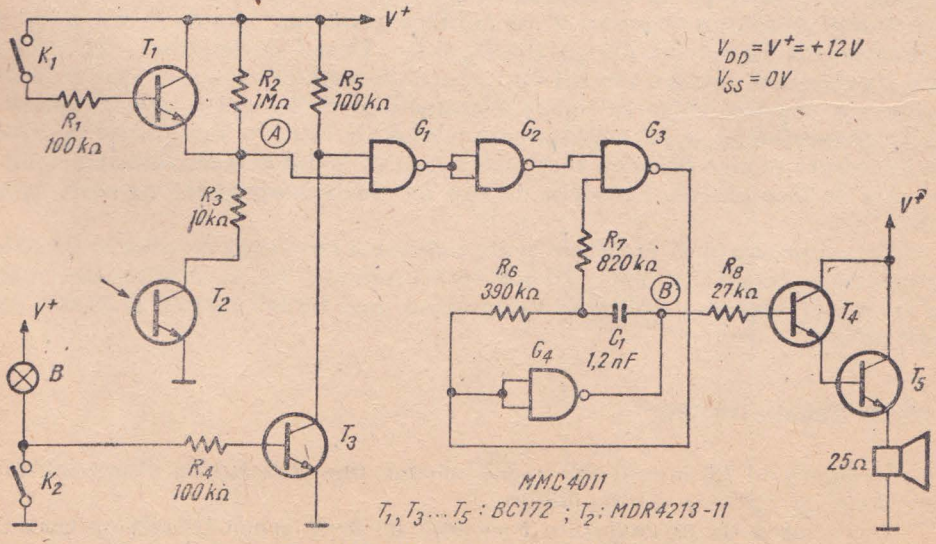


Fig. 14.70. Circuit de avertizare.

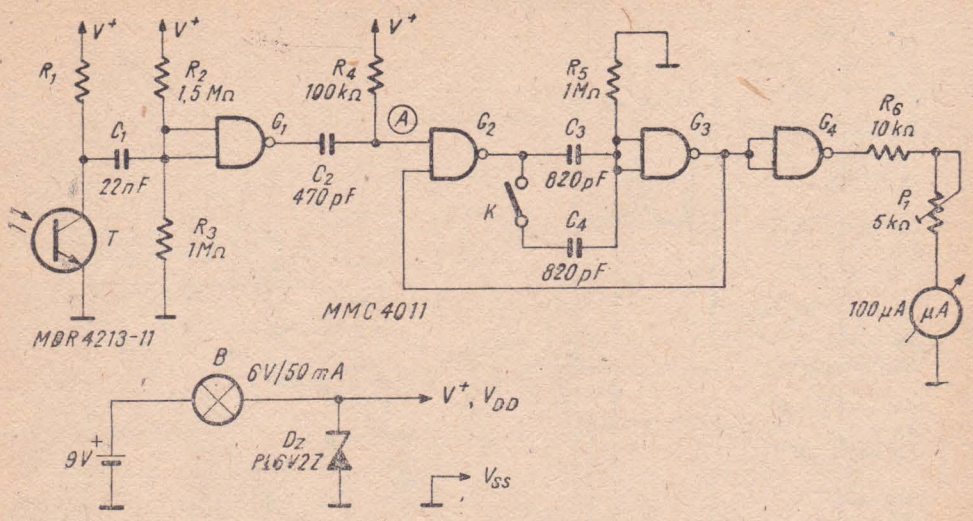


Fig. 14.71. Turometru cu comandă optică.

difuzorul nu va fi parcurs de curent continuu atunci cînd oscilatorul nu funcționează.

Dacă se dorește oprirea alarmei se închide comutatorul K_1. Tensiunea în punctul A va corespunde stării **SUS** și acțiunea fototranzistorului în conducție T_2 va fi compensată.

14.5.29. **Turometru cu comandă optică [4]**

Turometrul din figura 14.71 măsoară frecvența cu care este întreruptă lumina care cade pe fototranzistorul T.

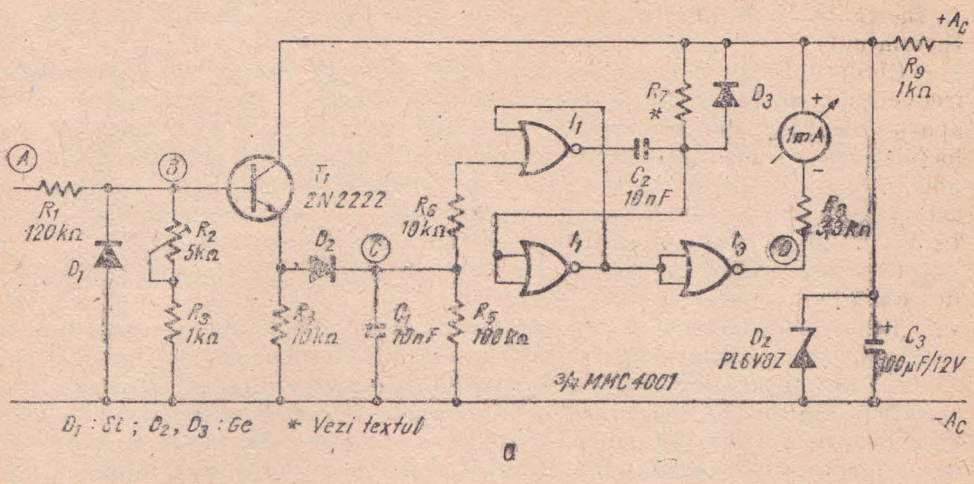
Iluminarea tranzistorului T se traduce printr-un impuls la intrarea A a monostabilului format din porțile G_2 și G_3. Trenul de impulsuri de intrare este transformat într-un semnal cu factorul de umplere proporțional cu frecvența. Ca urmare, valoarea medie a semnalului de la ieșirea monostabilului va fi proporțională cu frecvența semnalului de intrare. Integrarea trenului de impulsuri se face datorită inerției sistemului mobil al microampermetrului cu care se face citirea. Valoarea de cap de scală se ajustează cu semireglabilul P_1.

Cu comutatorul K închis se poate măsura o frecvență de pînă la 330 Hz (respectiv o turație de max. 19 800 rotații/minut). Cu K deschis domeniul de frecvență va fi 0...660 Hz corespunzînd unei turații între 0 și 39 600 rotații/minut.

14.5.30. **Tahometru [10]**

În figura 14.72, *a* se poate vedea schema unui tahometru alimentat din instalația de 12 V a automobilului.

Semnalul de la ruptor are o frecvență de bază proporțională cu turația motorului. Forma semnalului în diverse puncte ale circuitului este arătată



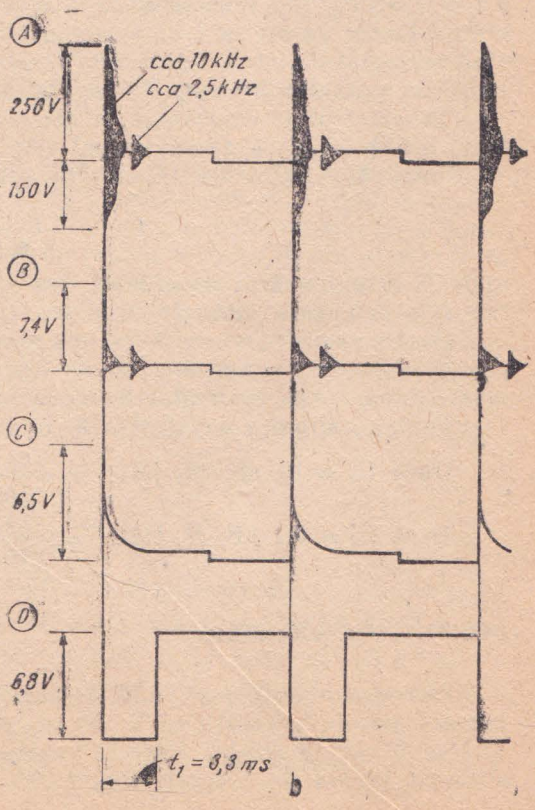


Fig. 14.72. Tahometru : *a)* schema ; *b)* forme de undă.

în figura 14.72, *b* (pentru un motor în patru timpi funcționînd la 3 000 de ture/minut).

Cînd ruptorul se deschide, bobina de inducție începe să oscileze la o frecvență de aproximativ 10 kHz. La început o tensiune de aproximativ 250 V apare pe ruptor, dar valoarea de vîrf scade rapid la 30 V pe măsură ce are loc ionizarea. După aproximativ 1,5 ms ionizarea încetează și bobina intră din nou în oscilație, pe o frecvență în jurul valorii de 2,5 kHz. După ce și această oscilație se amortizează tensiunea la bornele ruptorului ajunge la 12 V. Eventual ruptorul se închide și tensiunea ajunge la 0V.

Cînd ruptorul se deschide, un alt proces oscilatoriu începe și formele de undă se repetă.

Tahometrul trebuie să sesizeze frecvența de deschidere a ruptorului și să elimine toate oscilațiile parazite. Tensiunea de intrare este divizată (cu R_1, R_2, R_3) și limitată inferior (cu D_1) înainte de a se aplica pe intrarea repetorului pe emitor (T). Orice tensiune din punctul B care depășește semnificativ tensiunea de 6,8 V a alimentării (dată de dioda Zener D_z) determină deschiderea joncțiunii $B-C$ a tranzistorului. În felul acesta tensiunea în punctul B se limitează la circa 7,4 V. Tensiunea din emitorul tranzistorului se aplică detectorului de vîrf cu dioda D_2, condensatorul C_1 și rezistența R_5. Rezultă impulsuri cu timpi de creștere scurți și timpi de descreștere relativ lungi (punctul C). Aceste impulsuri declanșează monostabilul format din porțile I_1 și I_2. Dacă monostabilul este declanșat de un impuls pozitiv de cel puțin 3,4 V (= 50% din tensiunea de alimentare) și dacă atenuatorul de intrare are un factor de divizare de aproximativ 40, monostabilul acționează atunci cînd semnalul de intrare depășește tensiunea de 126 V. Se elimină astfel impulsurile parazite de amplitudine mică.

Tahometrul se conectează la acumulator prin intermediul cheii de contact, indiferent dacă acumulatorul este cu plusul sau cu minusul la masă.

Frecvența citită de tahometru este:

$$f = \frac{T(\text{rot/min}) \times N}{60K}$$

unde N este numărul de cilindri, iar $K = 1$ pentru motoare în doi timpi, sau $K = 2$ pentru motoare în patru timpi.

Pentru reglare se conectează un generator de semnal cu frecvență corespunzătoare și cu o amplitudine de aproximativ 6,8 V între punctul B și masă, după ce R_2 s-a reglat la valoarea maximă.

Pentru calibrare se ajustează R_7.

Dacă $C_2 = 10$ nF, R_7 [MΩ] $= \frac{73}{f[\text{Hz}]}$.

Dacă $C_2 = 0{,}1$ μF, R_7 [MΩ] $= \frac{7{,}3}{f[\text{Hz}]}$.

14.5.31. Cifru electronic

Circuitul din figura 14.73 comandă un anumit element de execuție numai dacă de la clapele „0", „1"..., „9" se „formează" un anumit număr de trei cifre programabil. Dacă se formează un alt număr, circuitul blochează automat partea de execuție (fig. 14.73, *b*).

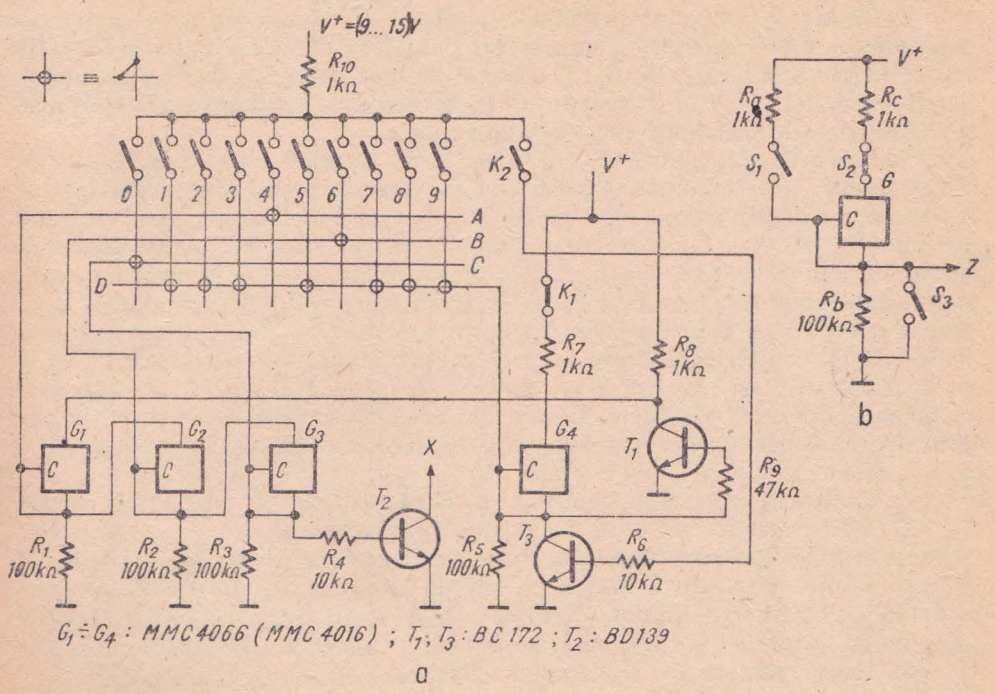


Fig. 14.73. Cifru electronic :
a) schema ; *b*) latch cu poartă de transfer.

Elementul principal al circuitului este un latch construit cu o poartă de transmisie (1/4 MMC 4016, MMC 4066). Presupunem că, inițial, comutatoarele S_1 și S_3 sînt deschise, iar S_2 închis. Închidem comutatorul S_3. Potențialul punctului Z va fi zero. Intrarea C de control a porții de transfer G va fi conectată la masă și poarta va fi blocată. Deschidem apoi comutatorul S_3. Punctul C va rămîne în continuare la potențialul masei (curentul prin rezistența R_b — curentul de poartă al unor tranzistoare MOS — produce o cădere de tensiune neglijabilă). În felul acesta poarta va fi în continuare blocată. Dacă închidem comutatorul S_1, tensiunea în punctul C va fi aproximativ egală cu tensiunea de alimentare și poarta de transmisie se va deschide.

Tensiunea în punctele C, Z va fi :

$$V_c = V_z = \frac{R_b}{R_b + R_a \| R_c} V^+ \simeq V^+$$

Dacă se deschide S_1, poarta va rămîne în continuare deschisă, pentru că la intrarea de comandă se aplică tensiunea ridicată a ieșirii. Circuitul funcționează ca bistabil RS, cu S_1 „intrarea" de SET și S_3 „intrarea" de $RESET$.

Odată setat, circuitul poate fi adus la zero și prin deschiderea comutatorului S_2 (normal închis). În urma deschiderii lui S_2, tensiunea în punctul Z (respectiv) cade în **0** și poarta de transmisie se blochează, memorînd starea **0** a ieșirii.

Revenind la circuitul principal, acesta este compus dintr-o parte de programare și recunoaștere a numărului (matricea de conexiuni și latch-urile legate în cascadă cu G_1, G_2, G_3) și o parte de blocare la formarea unui număr greșit (cu G_4 și T_1, T_3). Tranzistorul T_3 servește la acționarea unui element de execuție (de exemplu un electromagnet).

Matricea de conexiuni are 4 linii (A, B, C, D) și 10 coloane (0, 1, ..., 9). Codul folosit are trei cifre. Prima cifră se înscrie pe linia A (vezi figura), a doua pe linia B și a treia cifră pe linia C. În cazul ilustrat numărul este 460. Pe linia a patra se fac conexiuni pentru toate coloanele rămase libere. În acest fel, cînd se apasă pe o clapă corespunzînd unei cifre neprogramate, ieșirea latch-ului G_4 trece în 1 logic (V^+), tranzistorul T_1 se deschide și la intrarea porții G_1 se aplică o tensiune apropiată de zero. În felul acesta, chiar la o acționare ulterioară corectă, prin porțile (eventual) deschise G_1, G_2, G_3 se va transmite un nivel de 0V, care va menține tranzistorul T_2 blocat și elementul de execuție inactiv. Ieșirea din această stare se poate face fie prin deschiderea temporară a comutatorului K_1 (normal închis), fie prin apăsarea tastei K_2 de pe panou.

La aplicarea succesiunii corecte de cifre se deschid pe rînd porțile G_1, G_2, G_3 care transmit pe baza tranzistorului T_2 tensiunea de pe colectorul tranzistorului T_1. Dacă acesta a fost blocat, tranzistorul T_2 se deschide. Pentru a aduce circuitul în starea inițială de așteptare a unui număr, se apasă o clapă corespunzînd unui număr incorect și apoi clapa $K_2(K_1)$. Conectînd mai multe latch-uri și mărind corespunzător numărul de linii ale matricii se pot folosi numere cu mai multe cifre.

BIBLIOGRAFIE

[1] * * * McMOS Handbook, Motorola Inc., 1974.
[2] * * * Applications Notes, AN 88, 183, National Semiconductor.
[3] * * * Colecția revistei Elektor, 1977—1982.
[4] * * * Colecția revistei Amaterske Radio pro Konstruktery, 1979—1985.
[5] * * * Circuits for Electronics Engineers, Electronics Book Series, McGraw-Hill, 1977.
[6] * * * COS/MOS Integrated Circuits, RCA Solid State, 1972.
[7] * * * COS/MOS Integrated Circuits, RCA Solid State, 1977.
[8] * * * Colecția revistei Wireless World, 1973—1981.
[9] * * * Colecția revistei EDN (1985).
[10] R. L. Marston. 101 COS/MOS Digital Projects for the Home Constructor.
[11] * * * Design Techniques for Electronics Engineers, Electronics Book Series, McGraw-Hill, 1977.
[12] * * * Catalog Microelectronica, 1985.
[13] * * * Colecția revistei Electronique et microéléctronique industrielles, 1982.
[14] * * * Designer's casebook No. 5, Electronics Book Series, McGraw-Hill, 1982.

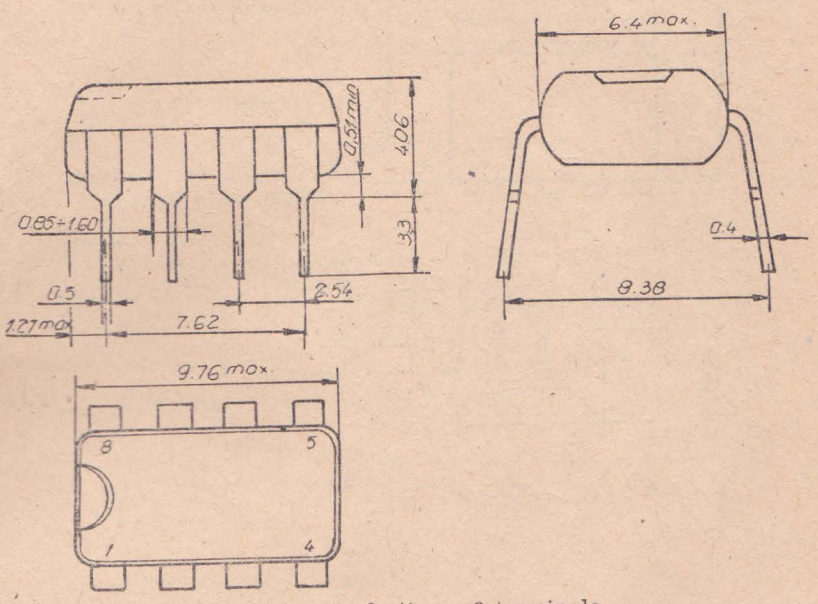
Anexa A_1 | Echivalenţe în cadrul seriei 4000

R. S. ROMÂNIA COD: *MMC 4XXX*	firma RCA — SUA COD: *CD 4XXX*	firma NATIONAL SEMICONDUCTOR — SUA COD: *CD 4XXX*	firma SGS — ATES Italia *HCC/HCF 4XXX*	firma MOTOROLA — SUA COD: *MC 14XXX*	URSS COD: *K561/K176*	R. S. CEHOSLOVACIA COD: *MHB/MHF 4XXX*	R. D. GERMANĂ COD: *U/V 4XXX*	R. P. UNGARĂ COD: *4XXX PC*	R. P. POLONĂ COD: *UCY 74XXX*
1	2	3	4	5	6	7	8	9	10
4 000	4 000	4 000	4 000	14 000	K176LN4	—	—	—	74 000
4 001	4 001	4 001	4 001	14 001	K561LE5	4 001	4 001	4 001	74 001
4 002	4 002	4 002	4 002	14 002	K561LE6	4 002	—	—	74 002
4 007	4 007	4 007	4 007	14 007	—	—	4 007	4 007	—
4 011	4 011	4 011	4 011	14 011	K561LA7	4 011	4 011	4 011	74 011
4 012	4 012	4 012	4 012	14 012	K561LA8	—	4 012	4 012	74 012
4 013	4 013	4 013	4 013	14 013	K561TN2	—	—	—	—
4 014	4 014	4 014	4 014	14 014	—	—	—	—	—
4 015	4 015	4 015	4 015	14 015	K561IR2	4 015	4 015	—	—
4 016	4 016	4 016	4 016	14 016	K561KT1	—	—	4 016	—
4 017	4 017	4 017	4 017	14 017	K561IE8	—	4 017	4 017	—
4 018	4 018	4 018	4 018	14 018	K561IE19	—	—	—	—
4 019	4 019	4 019	4 019	14 519	K561LS2	—	4 019	—	74 019
4 020	4 020	4 020	4 020	14 020	K561IE16	4 020	—	4 020	—
4 021	4 021	4 021	4 021	14 021	—	—	—	—	—
4 022	4 022	4 022	4 022	14 022	K561IE9	—	—	4 022	—
4 023	4 023	4 023	4 023	14 023	K561LA9	—	4 023	4 023	74 023
4 024	4 024	4 024	4 024	14 024	K561IE1	4 024	—	—	—
4 025	4 025	4 025	4 025	14 025	K561LE10	—	—	—	74 025
4 027	4 027	4 027	4 027	14 027	K561TV1	—	4 027	4 027	74 027
4 028	4 028	4 028	4 028	14 028	K561ID1	—	4 028	4 028	74 028
4 029	4 029	4 029	4 029	14 029	K561IE15	4 029	4 029	4 029	—
4 030	4 030	4 030	4 030	—	K561LP2	4 030	4 030	4 030	—
4 031	4 031	4 031	4 031	—	—	—	—	—	—
4 035	4 035	4 035	4 035	14 035	K561IR9	4 035	4 035	—	—
4 040	4 040	4 040	4 040	14 040	—	—	—	—	—
4 041	4 041	4 041	4 041	—	—	—	—	—	—
4 042	4 042	4 042	4 042	14 042	K561TM2	—	4 042	4 042	—
4 043	4 043	4 043	4 043	14 043	K561TR2	—	—	—	—
4 044	4 044	4 044	4 044	14 044	—	—	4 044	4 044	—
4 046	4 046	4 046	4 046	14 046	—	4 046	4 046	—	—
4 047	4 047	4 047	4 047	—	—	4 047	—	—	74 047
4 048	4 048	4 048	4 048	—	—	—	4 048	—	—
4 049	4 049	4 049	4 049	14 049	K561LN2	4 049	—	4 049	74 049
4 050	4 050	4 050	4 050	14 050	K561PU4	4 050	4 050	4 050	74 050

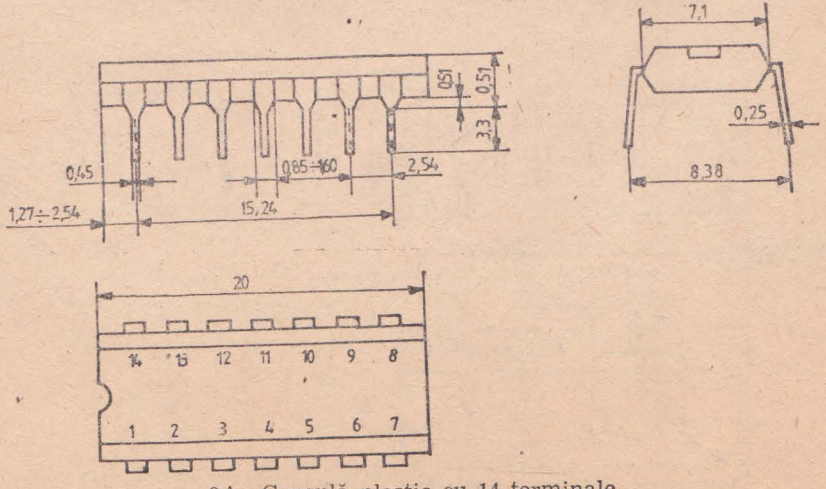
Anexa A_1 (continuare)

1	2	3	4	5	6	7	8	9	10
4 051	4 051	4 051	4 051	14 051	K561KP2	4 051	4 051	—	—
4 052	4 052	4 052	4 052	14 052	K561KP1	4 052	—	—	—
4 053	4 053	4 053	4 053	14 053	—	4 053	—	—	—
4 054	4 054	—	4 054	—	—	—	—	—	—
4 055	4 055	—	4 055	—	—	—	—	4 055	—
4 056	4 056	—	4 056	—	—	—	—	4 056	—
4 060	4 060	4 060	4 060	14 060	—	—	—	4 060	—
4 066	4 066	4 066	4 066	14 066	K561KT3	4 066	4 066	4 066	74 066
4 067	4 067	—	4 067	—	—	—	—	—	—
4 068	4 068	—	4 068	14 068	—	4 068	—	—	—
4 069	4 069	4 069	4 069	14 069	—	—	—	4 069	74 069
4 070	4 070	4 070	4 070	14 070	K561LP2	—	—	—	—
4 071	4 071	4 071	4 071	14 071	K561LE5	—	—	4 071	74 071
4 072	4 072	4 072	4 072	14 072	—	—	—	—	74 072
4 073	4 073	4 073	4 073	14 073	—	—	—	4 073	—
4 075	4 075	4 075	4 075	14 075	—	—	—	—	—
4 076	4 076	4 076	4 076	14 076	—	4 076	—	—	—
4 077	4 077	—	4 077	14 077	—	—	—	—	—
4 078	4 078	—	4 078	14 078	—	—	—	—	—
4 081	4 081	4 081	4 081	14 081	—	4 081	—	4 081	74 081
4 082	4 082	4 082	4 082	14 082	—	—	—	—	—
4 093	4 093	4 093	4 093	14 093	K561TL1	—	4 093	4 093	—
4 095	4 095	—	4 095	—	—	—	—	—	—
4 096	4 096	—	4 096	—	—	—	—	—	—
4 097	4 097	—	4 097	—	—	—	—	—	—
4 098	4 098	—	4 098	14 528	—	—	4 098	4 098	—
4 099	4 099	4 099	4 099	14 099	—	4 099	—	—	—
4 500	—	—	—	14 500	—	—	—	—	—
4 503	—	4 503	4 503	14 503	—	4 503	—	—	—
4 508	4 508	—	4 508	14 508	—	—	—	4 508	—
4 510	4 510	4 510	4 510	14 510	—	—	—	4 510	—
4 511	4 511	4 511	4 511	14 511	—	—	—	4 511	—
4 516	4 516	4 516	4 516	14 516	K561IE11	—	—	4 516	—
4 518	4 518	4 518	4 518	14 518	—	4 518	—	4 518	—
4 520	4 520	4 520	4 520	14 520	K561IE10	—	4 520	—	—
4 543	—	4 543	—	14 543	K561ID2	4 543	—	—	—
4 599	—	—	—	14 599	—	—	—	—	—
40 104	40 104	—	40 104	—	—	—	—	—	—
40 107	40 107	—	40 107	—	K561LA10	—	—	—	—
40 181	40 181	—	40 181	14 581	—	—	—	—	—
40 192	40 192	40 192	40 192	—	—	—	—	—	—
40 193	40 193	40 193	40 193	—	—	—	—	—	—

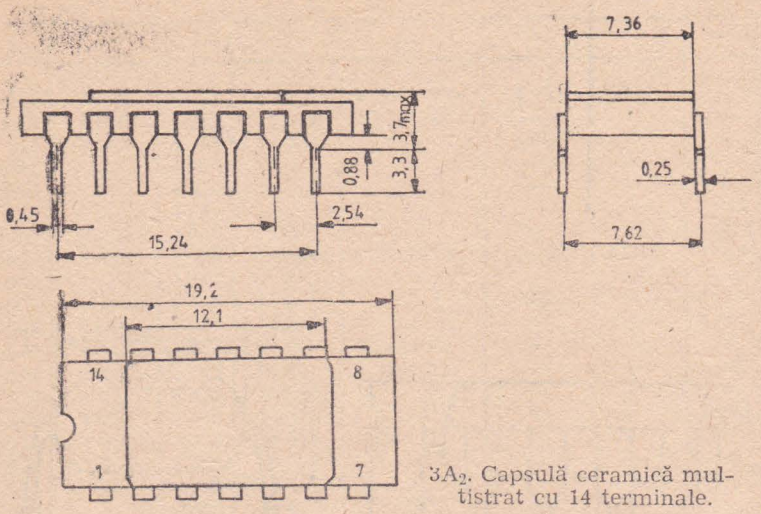
Anexa A_2 | Capsule



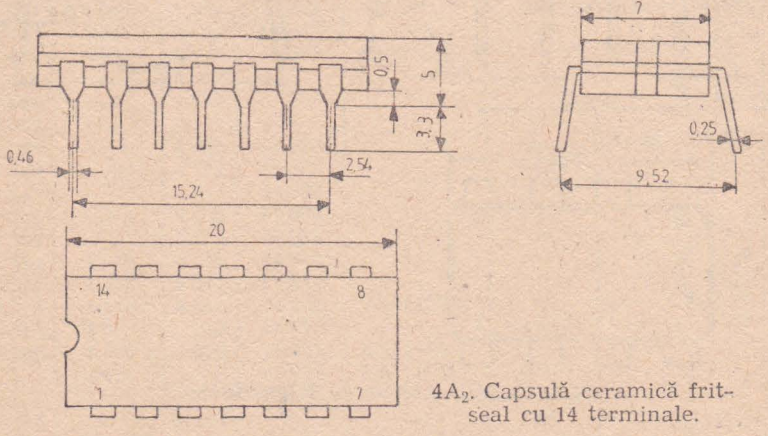
$1A_2$ Capsulă plastic cu 8 terminale.



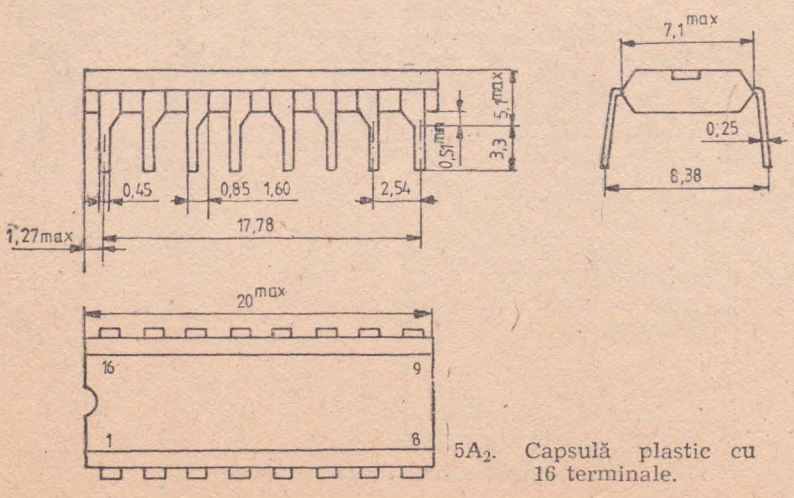
$2A_2$. Capsulă plastic cu 14 terminale.



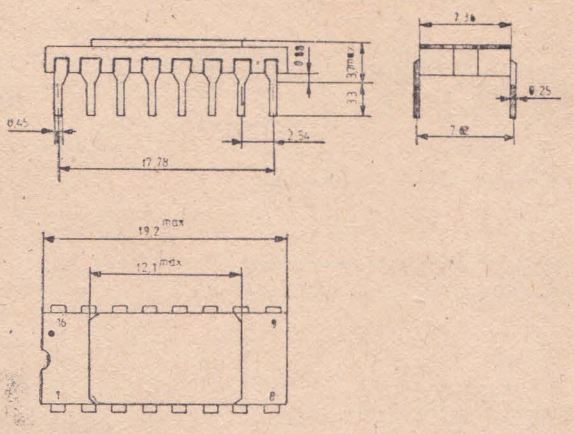
$3A_2$. Capsulă ceramică multistrat cu 14 terminale.



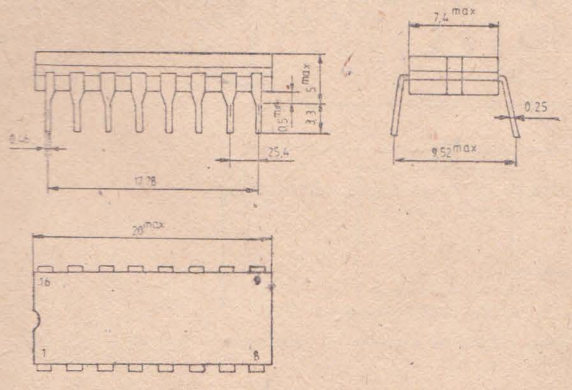
$4A_2$. Capsulă ceramică fritseal cu 14 terminale.



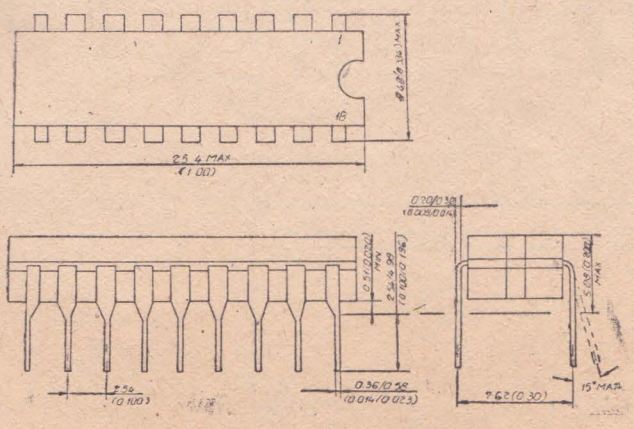
$5A_2$. Capsulă plastic cu 16 terminale.



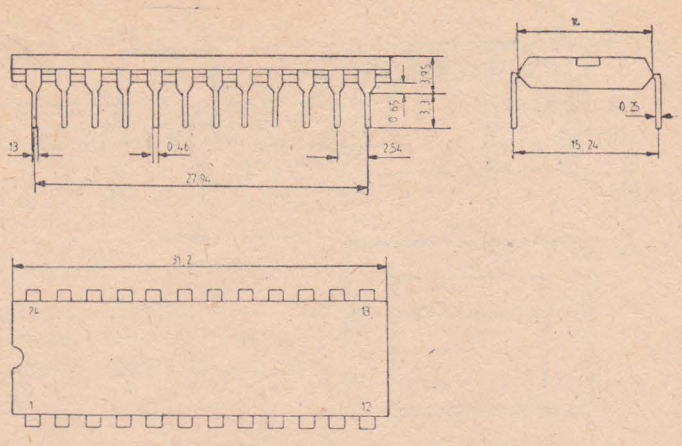
$6A_2$. Capsulă multistrat cu 16 terminale.



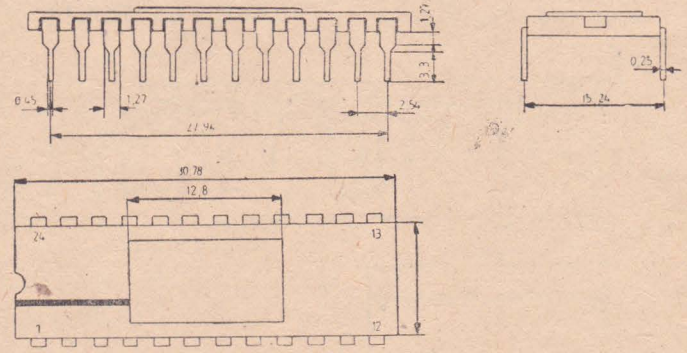
$7A_2$. Capsulă ceramică frit-seal cu 16 terminale.



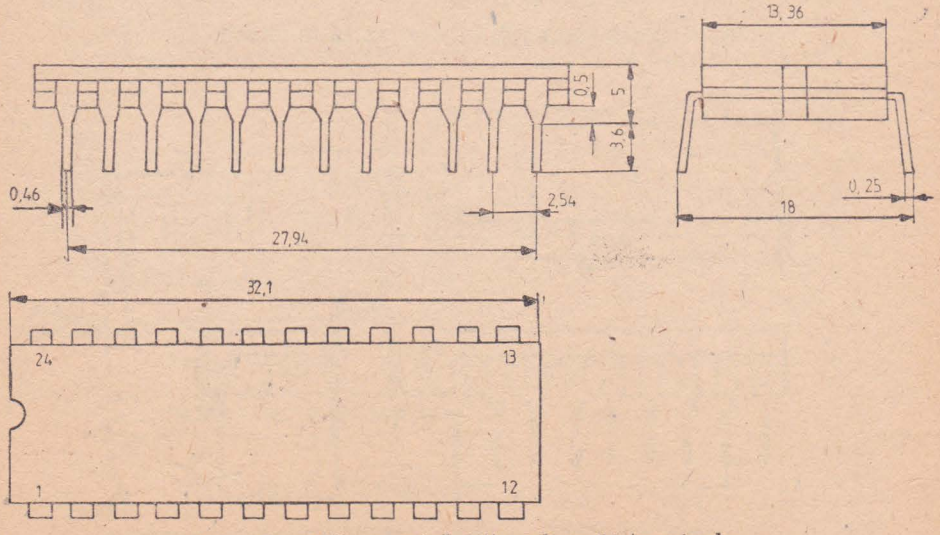
$8A_2$. Capsulă ceramică cu 18 terminale.



9A$_2$. Capsulă plastic cu 24 terminale.



10A$_2$. Capsulă ceramică multistrat cu 24 terminale.

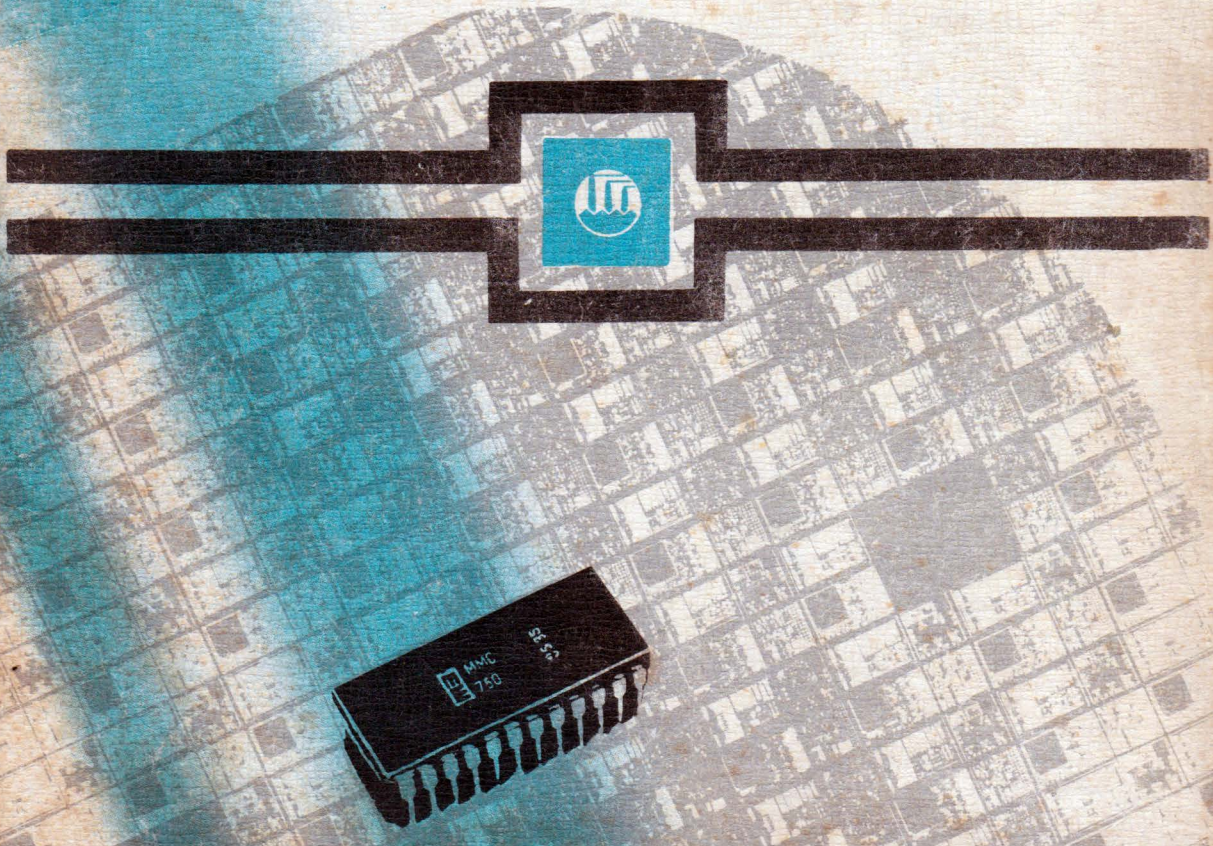


11A$_2$. Capsulă ceramică frit-seal cu 24 terminale.

Lei 48

Ciclul „Manuale de utilizare" apărut în seria „Practică" este destinat utilizatorilor componentelor electronice produse în România. Avînd ca punct de plecare cunoștintele de bază din domeniu și întrunind caracteristicile unei literaturi tehnice „de firmă", ciclul se constituie ca o sursă de informație riguroasă, la obiect, elaborată de cei ce au conceput și fabricat circuitele, componentele, dispozitivele etc.

Primele 4 volume, în ordinea apariților editoriale au prezentat descrierea structurii, modul de funcționare și aplicațiile circuitelor integrate liniare fabricate la IPRS-Băneasa.

Prezentul volum, al cincilea, permite utilizatorilor accesul spre cunoașterea realizărilor Întreprinderii „Microelectronica".

EDITURA TEHNICĂ